



Основи рачунарске технике 1 -13C111OPT1-

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Услов за полагање испита је да на задацима 7, 8 и 9 студент освоји најмање 10 од максимално 35 поена.

Поени са првог колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2018/19. године и учествују у коначној оцени са 30%.

Потребно је на корици свеске назначити K2+K3, ако студент жели да поправља поене са другог колоквијума.

Испит траје 3 сата.

=====

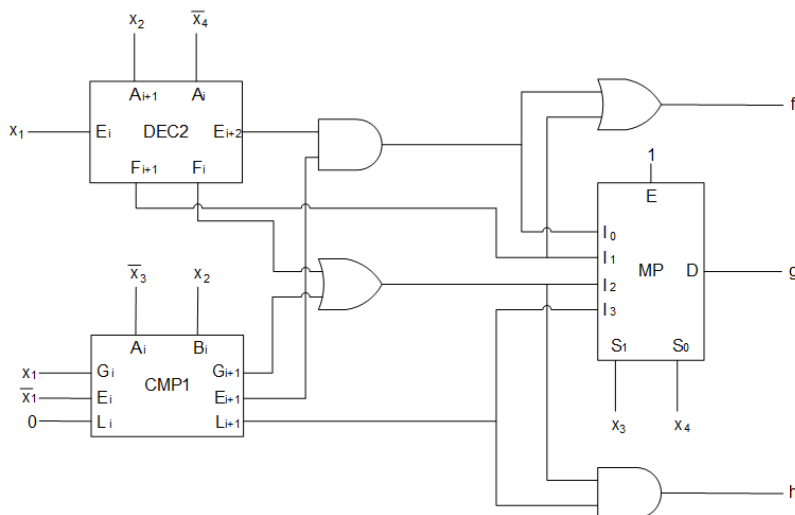
4. (Кол.2) [15] Конструисати структурну шему тактоване секвенцијалне мреже Милијевог типа која има један улаз x и један излаз z , која функционише тако што на излазу z генерише 1, у трајању две периоде сигнала такта, сваки пут када се на улазу x појави секвенца 100. За реализацију користити што мање JK флип-флопова код којих је 0 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза.

Пример детектовања секвенце:

x	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	1
z	0	0	0	0	1	1	0	1	1	0	0	0	1	1	0	0	0	1	1

5. (Кол.2) [5] Конструисати D флип-флоп (код кога је један активна вредност улазног сигнала D), и нула активна вредност улазног сигнала такта C, користећи синхрони RS флип-флоп (са што мањим бројем НИЛИ елемената) и што мањим бројем НИЛИ елемената. У поступку решавања представити структурну шему датог синхроног RS флип-флопа. Табеларно представити законе функционисања оба флип-флопа.

6. (Кол.2) [15]

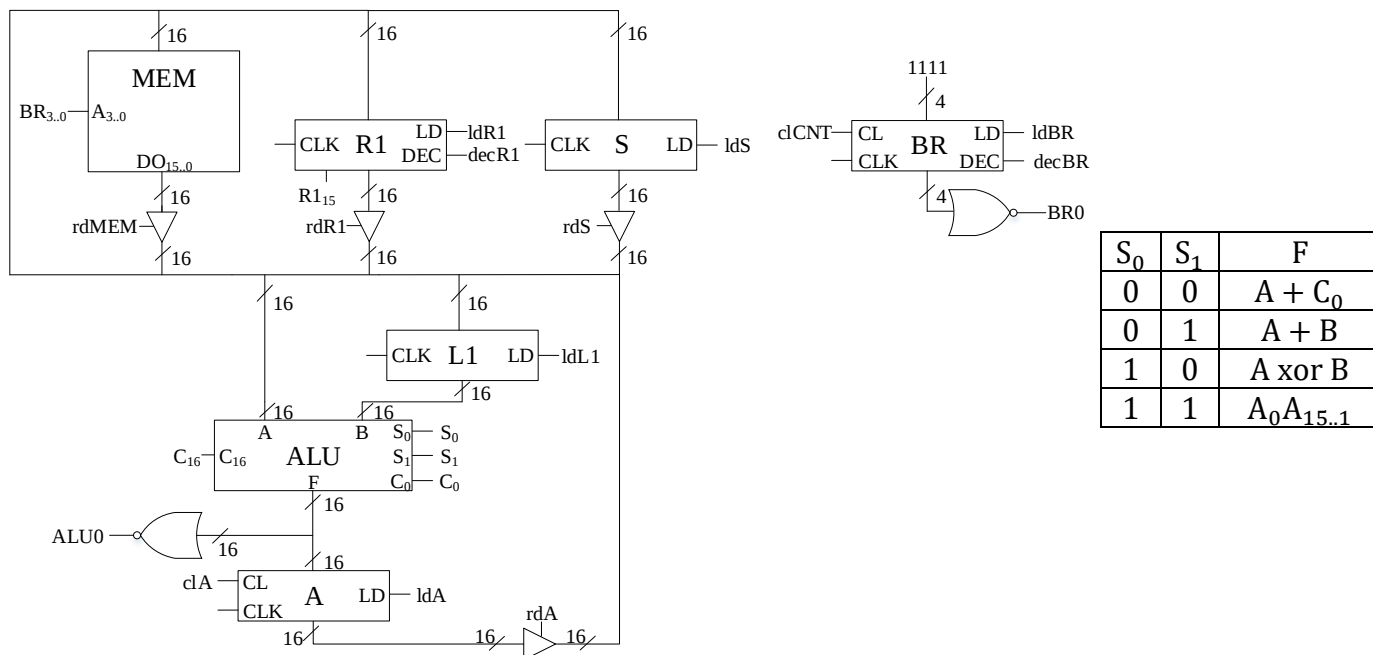


Одредити функције f , g и h које реализује комбинациона мрежа са слике. Функцију f написати у облику минималне ДНФ, а функције g и h написати у облику минималне КНФ, при чему коришћење Карноових карти није обавезно.

За елемент DEC2 у комбинационој мрежи потребно је извести закон функционисања користећи таблицу и написати општу формулу која дефинише његове излазне функције, док је за елементе CMP и MP потребно само написати опште формуле које дефинишу њихове излазне функције. Улази и излази са индексом 0 представљају најнижи бит. Приликом решавања задатка потребно је именовати све сигнале и одредити изразе који их описују.

7. [10] Реализовати један разред регистра са серијским уписом са померањем удесно, декрементирањем и синхроним брисањем помоћу Т флип-флопа код кога је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са серијским уписом са померањем удесно, декрементирањем и брисањем помоћу Т флип-флопа, извести израз за сигнал побуде T_i за све три функције, формирати обједињен сигнал побуде T_i и нацртати структурну шему таквог једноразредног регистра.

8. [20] На слици је приказана структурна шема дела операционе јединице процесора. У меморији MEM налази се 16 меморијских речи које су цели бројеви дужине 16 бита. Микрооперације које се реализују у аритметичко-логичкој јединици ALU су дате у табели.



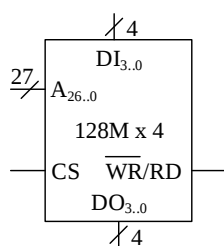
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе $FREQ$ која налази број понављања меморијске речи која се највише пута појавила у меморији MEM и смешта тај број понављања у регистар S. Сматрати да су речи у меморији MEM сортиране. Фаза извршавања наредбе започиње уколико сигнал $FREQ$ има вредност 1.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима за наредбу $FREQ$.

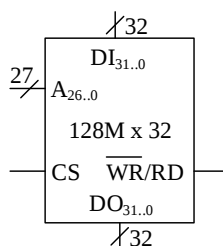
9. [5] Дат је меморијски модул $128M \times 4$ бита (слика 1).

а) Коришћењем меморијских модула $128M \times 4$ бита (слика 1) реализовати меморијски модул веће ширине меморијске речи $128M \times 32$ бита (слика 2).

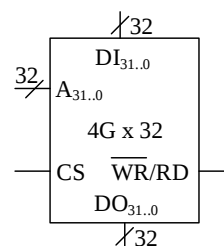
б) Коришћењем меморијских модула $128K \times 32$ бита (слика 2) реализовати меморијски модул већег адресног простора $4G \times 32$ бита (слика 3).



Слика 1.



Слика 2.



Слика 3.