



Основи рачунарске технике 1 -13E111OPT-

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Услов за полагање испита је да на задацима 7, 8 и 9 студент освоји најмање 10 од максимално 35 поена.

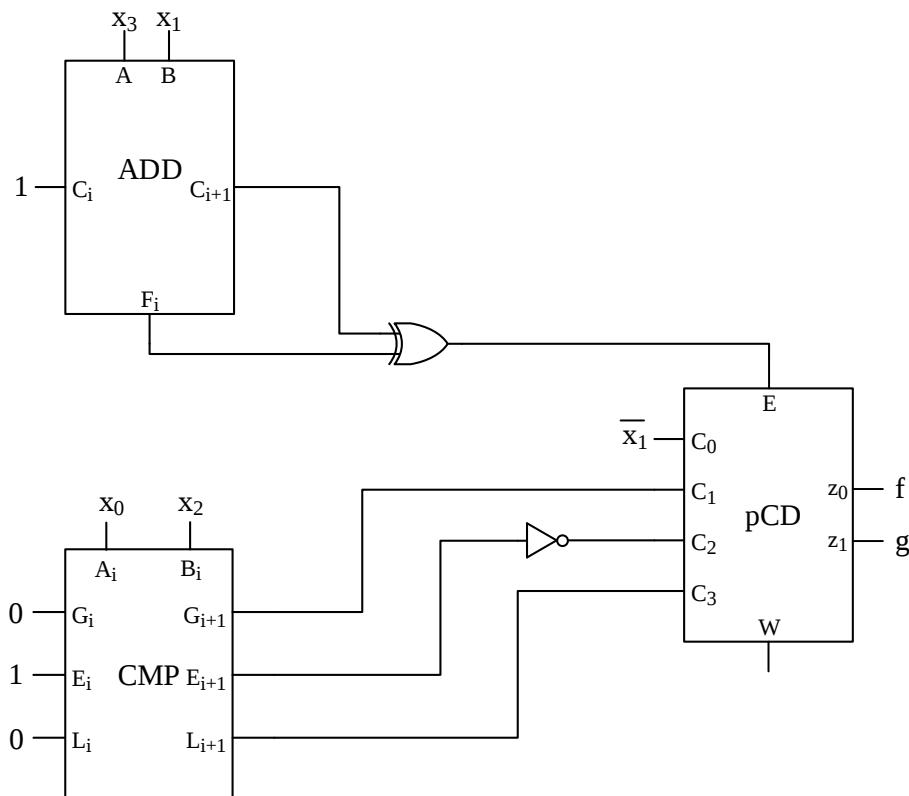
Поени са првог колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2017/18. године и учествују у коначној оцени са 45%.

Испит траје 3 сата.

=====

5. (5) Конструисати *master-slave* JK флип-флоп, код кога је нула активна вредност улазних сигнала J и K, и један активна вредност улазног сигнала такта C, користећи асинхрони RS са НИ елементима и минимални број НИ елемената. У поступку решавања представити структурну шему датог асинхроног RS флип-флопа са НИ елементима а затим га искористити као модул. Табеларно представити законе функционисања оба флип-флопа и извести релевантне изразе.

6. (15) Одредити функције f и g које реализује комбинациона мрежа са слике. Функцију f написати у облику минималне ДНФ, а функцију g написати у облику минималне КНФ, при чему коришћење Карноових карти није обавезно. За елемент pCDу комбинационој мрежи потребно је извести закон функционисања користећи таблицу и опште формуле које дефинишу излазне функције сваког елемента (ADD, CMP, pCD). Елемент pCD представља кодер са приоритетима, код ког мањи индекс има већи приоритет. **Улази и излази са индексом 0 представљају најнижи бит.**



Напомена:

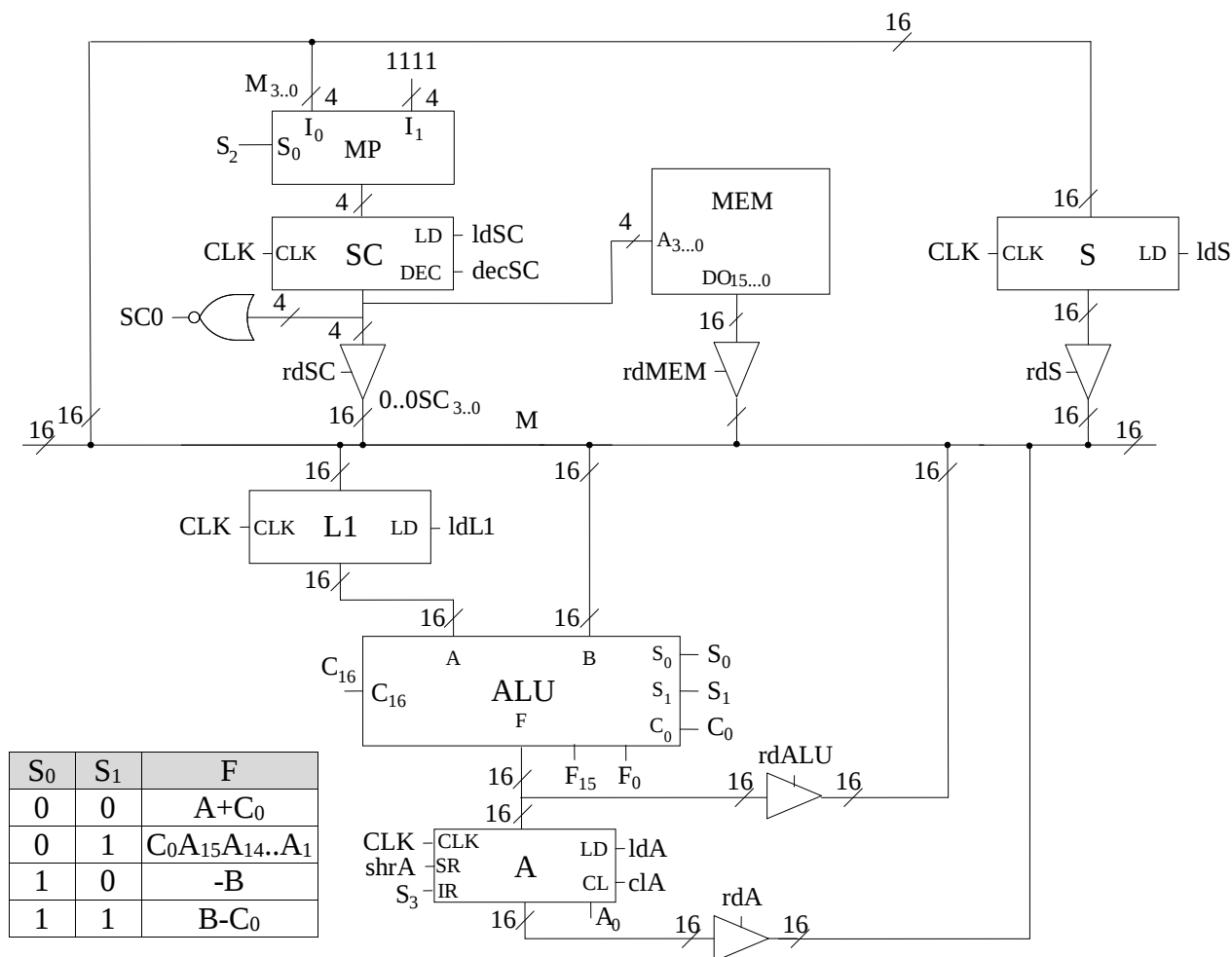
У случају преименовања неких међусигнала у комбинационој мрежи и означавања тих сигнала неким општим ознакама (a_1 , a_2 , a_3 ...) назначити који су то сигнали и на ком елементу или прецртати слику уз додавање ознака.

7. (10) Реализовати један разред регистра са паралелним уписом, декрементирањем и брисањем помоћу Т флип-флопа код кога је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са паралелним уписом, декрементирањем и брисањем помоћу Т флип-флопа, извести израз за сигнал побуде T_i за све три функције, формирати обједињен сигнал побуде T_i и нацртати структурну шему таквог једноразредног регистра.

8. (20) На слици 8 је приказана структурна шема дела операционе јединице процесора. У меморији MEM налази се 16 меморијских речи које су цели бројеви дужине 16 бита. Микрооперације које се реализују у аритметичко-логичкој јединици ALU су дате у табели.

а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе MAXABS која налази највећу вредност од апсолутних вредности бројева који се налазе у меморији MEM и смешта је у регистар S. Фаза извршавања наредбе започиње уколико сигнал MAXABS има вредност 1. Садржај свих меморијских локација мора да остане неизмењен.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима.

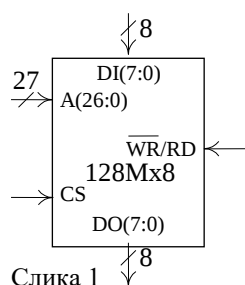


Слика 8 - структурна шема дела операционе јединице процесора

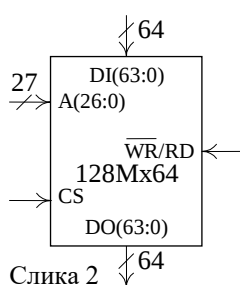
9. (5) Дат је меморијски модул 128M×8 бита (слика 1). Меморијски модул има следеће линије: A - адресне линије, DI - улазне линије података, DO - излазне линије података и управљачке линије CS и $\overline{WR}/RD$. На адресне линије A (*address*) се доводи адреса меморијске локације у коју треба уписати бинарну реч или са које треба прочитати бинарну реч. На улазне линије података DI (*datainput*) се доводи бинарна реч коју треба уписати у меморијску локацију на адреси одређеној садржајем на адресним линијама A. На излазним линијама података DO (*dataoutput*) се добија бинарна реч која је прочитана из меморијске локације са адресе одређене садржајем на адресним линијама A. На управљачку линију CS (*chipselect*) се доводи вредност 1, када са датим меморијским модулом треба реализовати упис или читање. Када је на линији CS вредност 0, нема уписа садржаја са улазних линија података DI, а излазне линије података DO се налазе у стању високе импедансе. На управљачку линију $\overline{WR}/RD$ (*write/read*) се доводи вредност 0 када садржај са улазних линија података DI треба да се упише у меморијску локацију одређену садржајем на адресним линијама A. На управљачку линију $\overline{WR}/RD$ се доводи вредност 1 када треба да се прочита садржај меморијске локације одређен садржајем на адресним линијама A.

а) Коришћењем меморијских модула 128M×8 бита (слика 1) реализовати меморијски модул 128M×64 бита (слика 2).

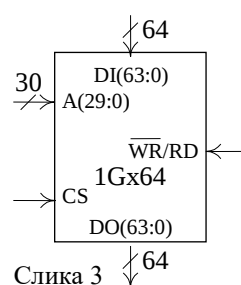
б) Коришћењем меморијских модула 128M×64 бита (слика 2) реализовати меморијски модул 1G×64 бита (слика 3).



Слика 1



Слика 2



Слика 3