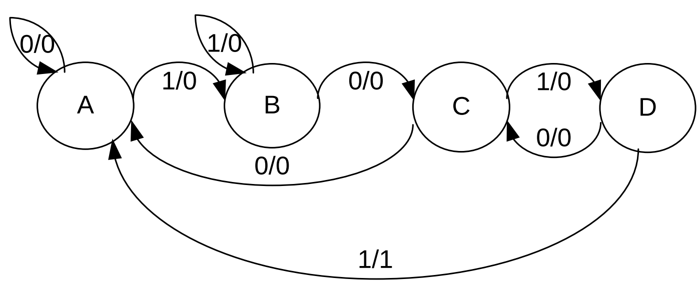
Испит из Основа рачунарске технике I - 2014/2015
(10.06.2015.)
Р е ш е њ е

Задатак 4

Ово је секвенцијална мрежа која врши детекцију описане улазне поворке. У овом случају тражи се да мрежу реализујемо као мрежу Милијевог типа. Прво је потребно нацртати граф стања, који цртамо на следећи начин. Потребно је да имамо почетно стање (A), које представља стање од кога почињемо да пратимо улазну секвенцу, као и стање у које се враћамо након што смо детектовали тражену секвенцу. Уколико се налазимо у почетном стању (A) и на улаз мреже дође јединица, прелазимо у наредно стање (B), које означава да се на улазу појавила прва јединица у секвенци. Уколико се налазимо у почетном стању (A) и на улаз мреже дође нула, остајемо у почетном стању (A) све док се не појави јединица на улазу. Уколико се налазимо у стању B (које означава да се на улазу претходно појавила једна јединица) и на улаз мреже дође нула, прелазимо у наредно стање (C), које означава да се на улазу појавила прва нула у траженој секвенци. Уколико се налазимо у стању B (које означава да се на улазу претходно појавила једна јединица) и на улаз мреже дође јединица, остајемо у стању (B) и нова јединица коју смо детектовали постаје прва јединица у секвенци. Уколико се налазимо у стању C (које означава да се на улазу претходно појавила секвенца 10) и на улаз мреже дође јединица, прелазимо у наредно стање (D), које означава да се на улазу појавила друга јединица у секвенци. Уколико се налазимо у стању C (које означава да се на улазу претходно појавила секвенца 10) и на улаз мреже дође нула, враћамо се у стање A, због тога што није испоштована секвенца коју треба да детектујемо и детектовање започињемо испочетка. Уколико се налазимо у стању D (које означава да се на улазу претходно појавила секвенца 101) и на улаз мреже дође јединица, враћамо се у почетно стање (A), због тога што смо детектовали тражену секвенцу, како бисмо могли да започнемо нову детекцију секвенце и у овом такту постављамо вредност излаза на један. Уколико се налазимо у стању D (које означава да се на улазу претходно појавила секвенца 101) и на улаз мреже дође нула, враћамо се у стање C, због тога што није испоштована секвенца коју треба да детектујемо, а последња поворка 10 сада може бити почетак нове коректне секвенце.



На основу графа стања цртамо таблицу стања.

Q \ X	0	1
A	A/0	B/0
B	C/0	B/0
C	A/0	D/0
D	C/0	A/1

Након цртања таблице стања, треба кодирати стања мреже. Због тога што се у задатку тражи мрежа са што мање елемената, стања треба кодирати тако да се при преласку из стања у стање мења што је могуће мањи број координата вектора стања. Због тога стања кодирамо на следећи начин: A=00, B=01, C=11, D=10. Након тога можемо нацртати таблицу прелаза/излаза, тако што у таблици стања уместо симболичких ознака стања, мењамо бинарне кодне вредности стања.

Q \ X	0	1
00	00/0	01/0
01	11/0	01/0
10	11/0	00/1
11	00/0	10/0

Како се ради о мрежи Милијевог типа, код које излаз зависи и од стања мреже и од улаза, да бисмо одредили прекидачке функције које описују функцију излаза, као и функције побуда, морамо најпре на основу таблице прелаза/излаза нацртати комбинациону таблицу прелаза/излаза. Узимамо да нам се улаз састоји од вектора улаза X и вектора стања Q(t). У нашем случају X има један бит, а Q(t) два бита, тако да имамо вектор од три бита, што значи да имамо осам различитих вредности, па ће таблица имати осам редова. За сваку комбинацију X и Q(t) из таблице прелаза/излаза преписујемо која вредност се добија за Q(t+1) и Z и на тај начин добијамо комбинациону таблицу прелаза/излаза.

x	Q(t)	Q(t+1)	Z
0	0 0	0 0	0
0	0 1	1 1	0
0	1 0	1 1	0
0	1 1	0 0	0
1	0 0	0 1	0
1	0 1	0 1	0
1	1 0	0 0	1
1	1 1	1 0	0

Сада је потребно на основу комбинационе таблице прелаза/излаза одредити функцију излаза. Постоји више различитих начина како можемо добити израз за овај сигнал, као што је објашњено у материјалима са вежби. У овом случају бирамо да урадимо минимизацију помоћу Карноових карата и добијемо минималну ДНФ, због тога што се тражи да употребимо што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза.

Q2 \ xQ1	00	01	11	10
0			$\boxed{1}$	
1				

Z

$$z = xQ_1\overline{Q_2}$$

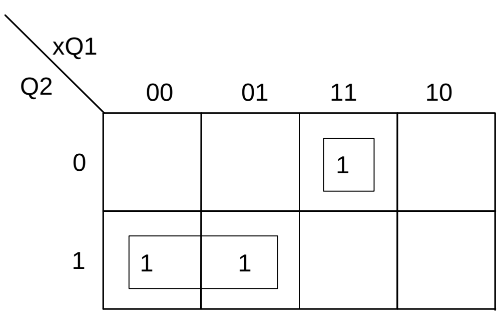
Затим је потребно на основу комбинационе таблице прелаза/излаза нацртати комбинациону таблицу прелаза и побуда за одабрани тип флип-флопа. Због тога што је за реализацију секвенцијалне мреже потребно користити T флип-флопове код којих је 1 активна вредност улазних сигнала, потребно је знати таблицу побуде T флип-флопа код кога је 1 активна вредност улазних сигнала.

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

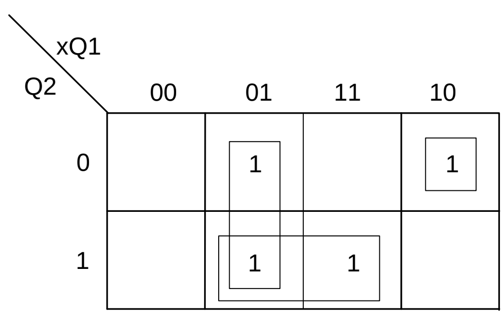
На основу комбинационе таблице прелаза/излаза и таблице побуде флип флопова за Т флип- флопове код којих је 1 активна вредност улазних сигнала, можемо сада конструисати комбинациону таблицу прелаза и побуда за секвенцијалну мрежу коју конструишемо. Ову таблицу попуњавамо, тако што прво препишемо комбинациону таблицу прелаза. Сада користимо таблицу побуде Т флип- флопа да добијемо T_1 и T_2 за сваки прелаз из $Q_i(t)$ у $Q_i(t+1)$ и на тај начин добијамо комбинациону таблицу прелаза и побуда за секвенцијалну мрежу коју конструишемо.

x	Q(t)	Q(t+1)	T_1	T_2
0	0 0	0 0	0	0
0	0 1	1 1	1	0
0	1 0	1 1	0	1
0	1 1	0 0	1	1
1	0 0	0 1	0	1
1	0 1	0 1	0	0
1	1 0	0 0	1	0
1	1 1	1 0	0	1

Сада сваки од сигнала T_1, и T_2 посматрамо као функцију која зависи од три промењиве x, Q_1 и Q_2. Постоји више различитих начина како можемо добити изразе за ове сигнале, као што је објашњено у материјалима са вежби. У овом случају бирамо да урадимо минимизацију помоћу Карноових карата и добијемо минималну ДНФ, због тога што се тражи да употребимо што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза.



T1



T2

$$T_1 = xQ_1\overline{Q_2} + \bar{x}Q_2$$
$$T_2 = Q_1Q_2 + \bar{x}Q_1 + x\overline{Q_1}\,\overline{Q_2}$$

Након решавања Карноових карти добили смо функције побуде за секвенцијалну мрежу коју пројектујемо и сада имамо све што је потребно да бисмо испројектовали мрежу. На основу израза, директно можемо нацртати шему секвенцијалне мреже, коју смо пројектовали (као у задацима са вежби).

Задатак 5

У овом задатку потребно је да знате изразе за комбинационе модуле који су рађени на предавањима и вежбама.

Закон функционисања једноразредног **одузимача SUB** преко таблице изгледа овако:

A_i	B_i	E_i	F_i	E_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Закон функционисања преко формуле, изведене из ове таблице изгледа овако:

$$F_i = \overline{A_i} \cdot \overline{B_i} \cdot E_i + \overline{A_i} \cdot B_i \cdot \overline{E_i} + A_i \cdot \overline{B_i} \cdot \overline{E_i} + A_i \cdot B_i \cdot E_i$$

$$E_{i+1} = \overline{A_i} \cdot B_i + \overline{A_i} \cdot E_i + B_i \cdot E_i$$

Када заменимо вредности у општој формули, добијамо:

$$E_{i+1} = \overline{x_1} \cdot \overline{x_2}$$

$$F_i = \overline{x_1} \cdot x_2 + x_1 \cdot x_2 = x_2$$

Извршићемо преименовање ових израза, како бисмо на даље имали једнозначне изразе:

$$a_1 = E_{i+1} = \overline{x_1} \cdot \overline{x_2}$$

$$a_2 = F_i = \overline{x_1} \cdot x_2 + x_1 \cdot x_2 = x_2$$

Компаратор CMP1 функционише према следећем закону:

$$G_{i+1} = A_i \cdot \overline{B_i} + G_i \cdot (A_i \cdot B_i + \overline{A_i} \cdot \overline{B_i})$$
$$E_{i+1} = E_i \cdot (A_i \cdot B_i + \overline{A_i} \cdot \overline{B_i})$$
$$L_{i+1} = \overline{A_i} \cdot B_i + L_i \cdot (A_i \cdot B_i + \overline{A_i} \cdot \overline{B_i})$$

$$G_{i+1} = \overline{x_3} \cdot \overline{x_4} + \overline{x_3} \cdot x_4 + x_3 \cdot \overline{x_4}$$
$$E_{i+1} = 0$$

даљим сређивањем добијамо:

$$a_3 = G_{i+1} = \overline{x_3} + \overline{x_4}$$

$$a_4 = E_{i+1} = 0$$

$$a_5 = a_1 \cdot a_4 = 0$$
$$a_6 = (\overline{a_2 + a_3}) = (\overline{x_2 + \overline{x_3} + \overline{x_4}}) = \overline{x_2} \cdot x_3 \cdot x_4$$

Из логичке јединице добијамо општу формулу:

$$F_i = \overline{S_o} \cdot \overline{S_1} \cdot (A_i \cdot B_i) + \overline{S_o} \cdot S_1 \cdot (A_i + B_i) + S_o \cdot \overline{S_1} \cdot (\overline{A_i} \cdot B_i + A_i \cdot \overline{B_i}) + S_o \cdot S_1 \cdot \overline{A_i}$$

$S_0 = \overline{x_3}$

$S_1 = x_4$

$A_i = a_5 = 0$

$B_i = \overline{x_2} \cdot x_3 \cdot x_4$

$F_i = \overline{x_2} \cdot x_4 + \overline{x_3} \cdot x_4 = a_7$

$f = \overline{x_2} \cdot \overline{x_3} \cdot x_4 + \overline{x_3} \cdot x_4 = \overline{x_3} \cdot x_4$

f(0) = {XX10} = { 2, 6, 10, 12 }

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00				
01				
11				
10	0	0	0	0

=> $f = \overline{x_3} \cdot x_4$

Задатак 6

Конструисати тактовани T флип-флоп, код кога је један активна вредност улазних сигнала, користећи тактовани JK флип-флоп са инвертованим улазима J и K (нула активна вредност улазних сигнала), приказаним на слици, и минималан број НИ елемената. У поступку решавања представити табеларно законе функционисања флип-флопова и извести релевантне изразе.

Прво ћемо написати закон функционисања T флип флопа, код кога је један активна вредност улазних сигнала :

$$Q(t+1) = T\overline{Q} + \overline{T}Q$$

$\boldsymbol{T}$	$\mathbf{Q(t+1)}$
0	Q
1	$\bar{Q}$

Таблица прелаза JK флип флопа са улазима J и K:

$$Q(t+1) = \bar{J}\,\overline{Q} + KQ$$

$\mathbf{Q(t)}$	$\mathbf{Q(t+1)}$	$\boldsymbol{J}$	$\boldsymbol{K}$
0	0	1	b
0	1	0	b
1	0	b	0
1	1	b	1

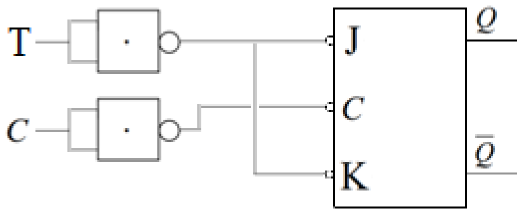
T	$Q(t)$	$Q(t+1)$	J	K
0	0	0	1	b
0	1	1	b	1
1	0	1	0	b
1	1	0	b	0

T / Q(t)	0	1
0	1	0
1	b	b

T / Q(t)	0	1
0	b	b
1	1	0

$J = \bar{T} \quad K = \bar{T}$

Ово су коначни изрази, након чега треба нацртати структурну шему Т флип-флопа.



Задатак 7

Најпре се посебно одређују изрази за сигнал побуде T_i за једноразредни тактовани регистар са серијским уписом улево, за једноразредни тактовани декрементирајући бројач и за једноразредни тактовани регистар са брисањем, па се после формира обједињени израз за сигнал побуде T_i за једноразредни тактовани регистар са серијским уписом улево, декрементирањем и брисањем.

Због тога што је за реализацију секвенцијалне мреже потребно користити T флип-флопове код којих је 0 активна вредност улазних сигнала, потребно је знати таблицу побуде T флип-флопа код кога је 0 активна вредност улазних сигнала.

Q(t)	Q(t+1)	T
0	0	1
0	1	0
1	0	0
1	1	1

Закон функционисања једноразредног тактованог регистра са серијским уписом улево је дат комбинационом таблицом прелаза/излаза.

SL	A_{i-1}	A_i	$A_i(t+1)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

На основу комбинационе таблице прелаза/излаза добија се комбинациона таблица прелаза/излаза и побуда за T флип-флоп.

SL	A_{i-1}	A_i	$A_i(t+1)$	T_i
0	0	0	0	1
0	0	1	1	1
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	0	0
1	1	0	1	0
1	1	1	1	1

Карноова карта за сигнал побуде T_i у функцији сигнала SL, A_{i-1} и A_i дата је на слици.

Ai \ SL Ai-1	00	01	11	10
0			$\boxed{0}$	
1				$\boxed{0}$

Ti

Минимална КНФ за T_i je:

$T_i = (\overline{SL} + \overline{A_{i-1}} + A_i)(\overline{SL} + A_{i-1} + \overline{A_i})$.

<u>Закон функционисања једноразредног тактованог декрементирајућег бројача</u> је дат комбинационом таблицом прелаза/излаза.

DEC	A_i	E_i	$A_i(t+1)$	E_{i+1}
0	0	0	0	b
0	0	1	0	b
0	1	0	1	b
0	1	1	1	b
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

Карноова карта за сигнал позајмице E_{i+1} у функцији сигнала DEC, A_i и E_i је дата на слици.

E_i \ DEC A_i	00	01	11	10
0	b (0)	b (2)	0 (6)	0 (4)
1	b (1)	b (3)	0 (7)	1 (5)

E_{i+1}

Минимална КНФ за E_{i+1} је:

$E_{i+1} = \overline{A_i} \cdot E_i$

На основу комбинационе таблице прелаза/излаза добија се комбинациона таблица прелаза/излаза и побуда за Т флип-флоп.

DEC	A_i	E_i	$A_i(t+1)$	T_i
0	0	0	0	1
0	0	1	0	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	0

Карноова карта за сигнал побуде T_i у функцији сигнала DEC, A_i и E_i дата је на слици.

Ei \ DEC Ai	00	01	11	10
0				
1			0	0

Ti

Минимална КНФ за T_i је:
$T_i = \overline{DEC} + \overline{E_i}$.

<u>Закон функционисања једноразредног тактованог регистра са брисањем</u> је дат комбинационом таблицом прелаза/излаза.

CL	A_i	$A_i(t+1)$
0	0	0
0	1	1
1	0	0
1	1	0

На основу комбинационе таблице прелаза/излаза добија се комбинациона таблица прелаза/излаза и побуда за Т флип-флоп.

CL	A_i	$A_i(t+1)$	T_i
0	0	0	1
0	1	1	1
1	0	0	1
1	1	0	0

Минимални израз за T_i је:
$T_i = \overline{CL} + \overline{A_i}$.

Изрази за сигнал побуде T_i за једноразредни тактовани регистар са серијским уписом улево, декрементирањем и брисањем формиран обједињавањем израза за сигнале побуда

– $T_i = (\overline{SL} + \overline{A_{i-1}} + A_i)(\overline{SL} + A_{i-1} + \overline{A_i})$ за серијски упис улево,

– $T_i = \overline{DEC} + \overline{E_i}$ за декрементирање и

– $T_i = \overline{CL} + \overline{A_i}$ за брисање је

$T_i = (\overline{SL} + \overline{A_{i-1}} + A_i)(\overline{SL} + A_{i-1} + \overline{A_i})(\overline{DEC} + \overline{E_i})(\overline{CL} + \overline{A_i})$.

Структурна шема једноразредног тактованог регистра са серијским уписом улево, декрементирањем и брисањем реализована коришћењем Т флип-флопова код којих је 0 активна вредност улазних сигнала и НЕ, И и ИЛИ елемената може се нацртати на основу израза (као на вежбама).

Задатак 8

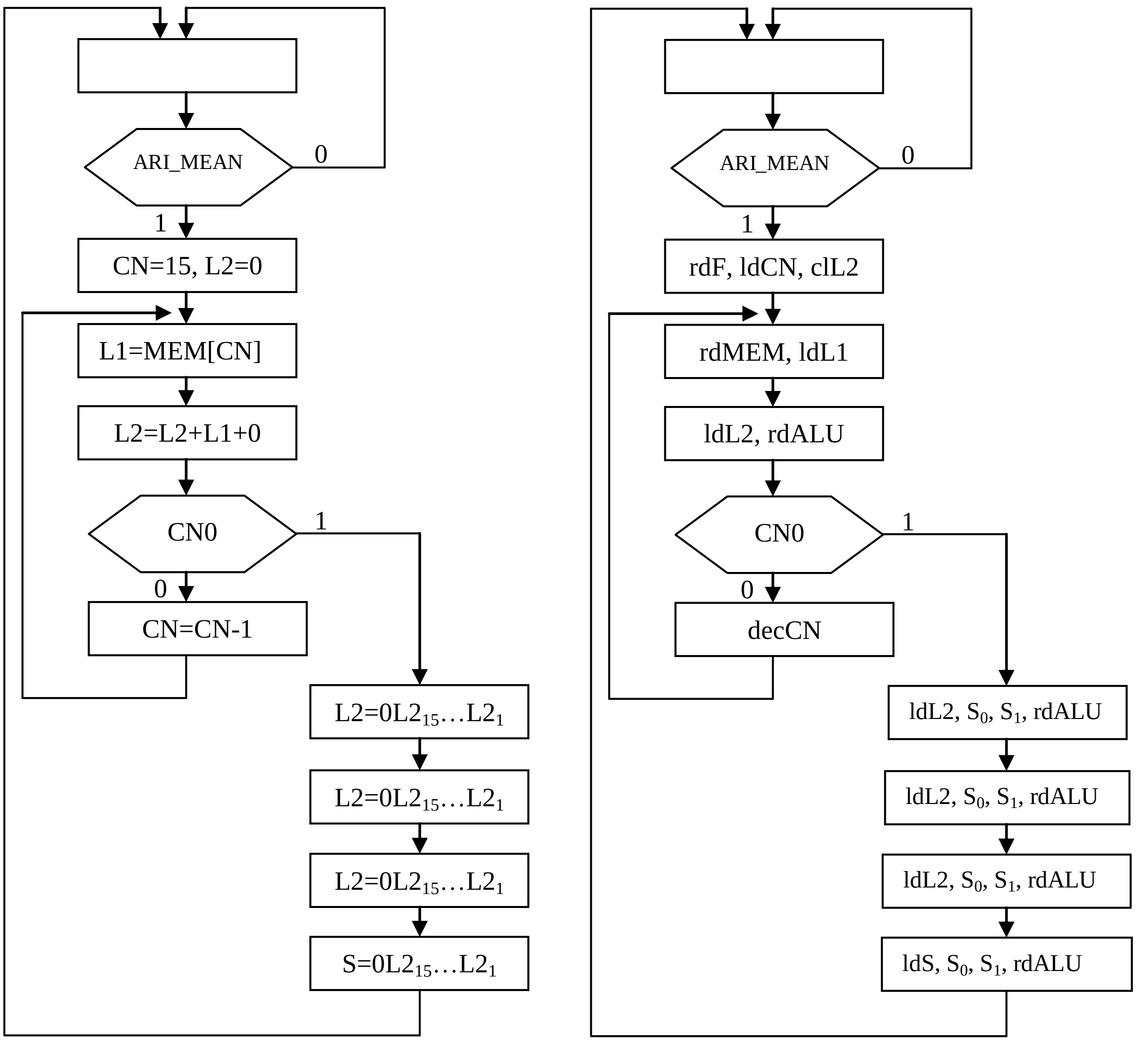
Решење овог задатка треба да буде аритметичка средина 16 меморијских речи, односно збир 16 ненегативних целих бројева дужине 16 битова подељен са бројем 16:

$$S = \frac{MEM[15] + MEM[14] + ... + MEM[1] + MEM[0]}{16}$$

Прво ћемо користити операцију сабирања у ALU, и у једном регистру, рецимо L2, чуваћемо међурезултат сабирања. Регистар L1 ће нам служити за прихватање речи из меморије MEM. Операцију читања из меморије, уписивања меморијске речи у регистар L1, а затим сабирање вредности тог регистра са регистром L2 (односно међурезултатом), треба да радимо 16 пута.

Затим ћемо применити операцију дељења, коју ћемо најлакше реализовати померањем за једно место удесно (то је померај који подели тренутни број са два). Ова итерација треба да се понавља 4 пута, јер је 2^4=16.

Дијаграми тока микрооперација и управљачких сигнала дати су на слици испод:

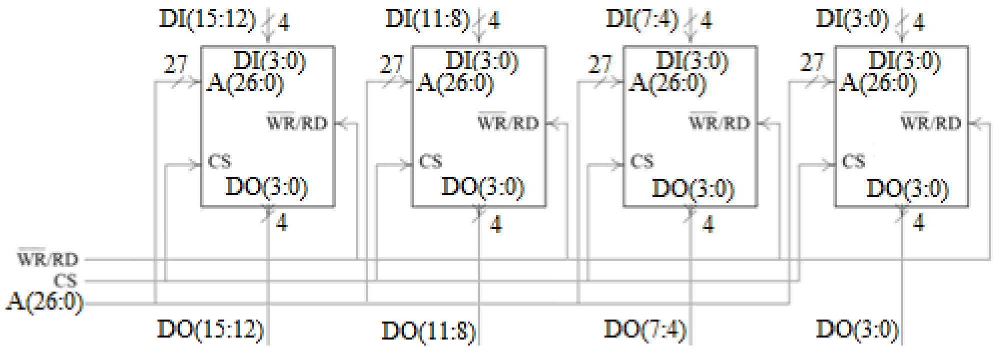


Након овога потребно је нацртати шему управљачке јединице реализоване као „шетајућа јединица“ са 9 D флип флопова, као што је рађено на аудиторним вежбама.

Задатак 9

Дат је меморијски модул 128M × 4 бита (слика 1).

а) Коришћењем меморијских модула 128M × 4 бита (слика 1) реализовати меморијски модул веће ширине меморијске речи 128M × 16 бита (слика 2).



б) Коришћењем меморијских модула 128M × 16 бита (слика 2) реализовати меморијски модул већег адресног простора 1G × 16 бита (слика 3).