



Основи рачунарске технике 1

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Потребно је на корици свеске назначити **ЖЕЛИМ ДА МИ СЕ ПРИЗНА ДРУГИ КОЛОКВИЈУМ** (у том случају НЕ ТРЕБА ДА РАДИТЕ ЗАДАТКЕ 4, 5 и 6, већ ћемо на поене са овог испита додати поене из друге колоквијумске недеље). На трећем делу - испиту (задачи 7, 8 и 9), услов је да се има најмање 10 поена.

Поени са првог колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2015/16. године и учествују у коначној оцени са 30%.

Испит траје 3 сата.

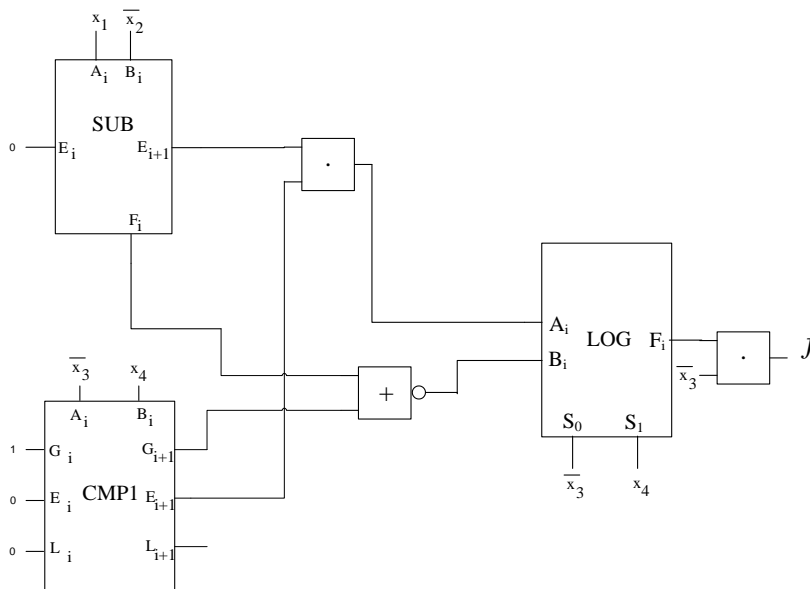
=====

4. (Кол.2) (15) Конструисати структурну шему тактоване секвенцијалне мреже Милијевог типа која има један улаз x и један излаз z , која функционише тако што на излазу z генерише 1, у трајању једне периоде сигнала такта, сваки пут када се на улазу x појави секвенца 1011. За реализацију користити што мање Т флип-флопова код којих је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза.

Пример детектовања секвенце:

x	1	1	0	1	1	0	0	1	0	1	0	1	1	1	0	0	1	0	1	1
z	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1

5. (Кол.2) (15) Одредити функцију f , коју реализује комбинациона мрежа са слике и написати је у облику минималне КНФ. За елементе у комбинационој мрежи потребно је извести закон функционисања користећи таблицу и опште формуле које дефинишу излазне функције сваког елемента. Закон функционисања једноразредне логичке јединице LOG/1 је дат у облику таблице.

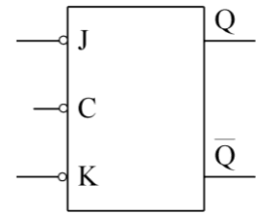


S_0	S_1	F_i
0	0	$A_i \cdot B_i$
0	1	$A_i + B_i$
1	0	$A_i \oplus B_i$
1	1	$\overline{A_i}$

Напомена:

У случају преименовања неких међусигнала у комбинационој мрежи и означавања тих сигнала неким општим ознакама (a_1, a_2, a_3, \dots) назначити који су то сигнали и на ком елементу или прецртати слику уз додавање ознака.

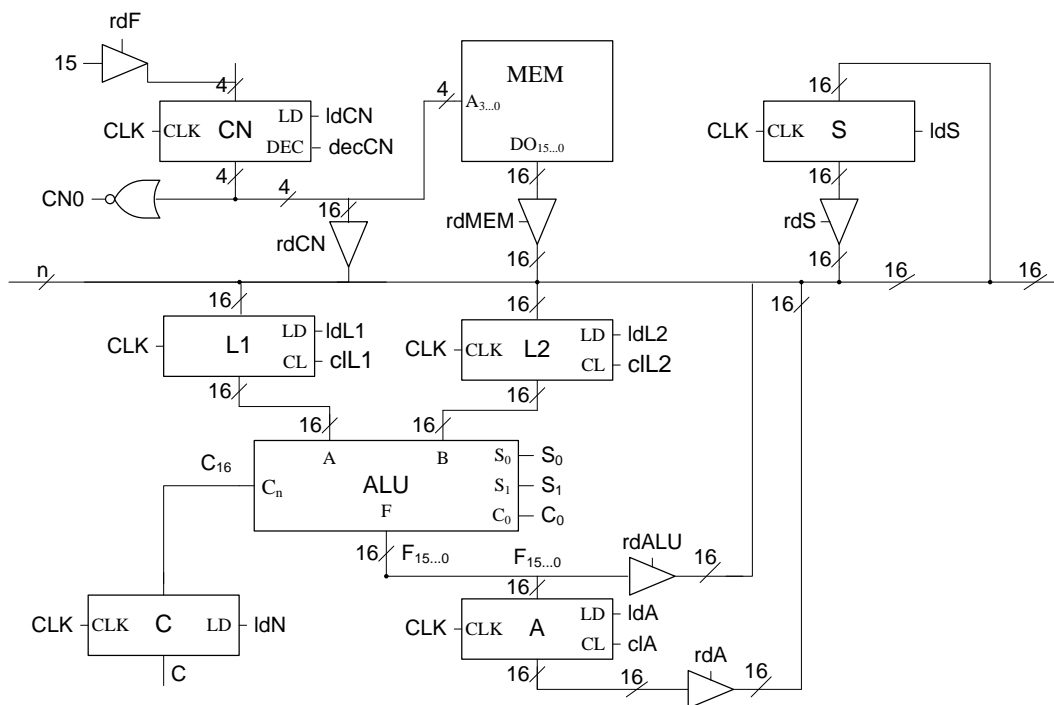
6. (Кол.2) (5) Конструисати тактовани Т флип-флоп, код кога је један активна вредност улазних сигнала, користећи тактовани ЈК флип-флоп са инвертованим улазима Ј и К (нула активна вредност улазних сигнала), приказаним на слици, и минималан број НИ елемената. У поступку решавања представити табеларно законе функционисања флип-флопова и извести релевантне изразе.



Окрнути страницу

7. (ИСПИТ) (10) Реализовати један разред регистра са серијским уписом улево, декрементирањем и брисањем помоћу Т флип-флопова код којих је 0 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са серијским уписом улево, декрементирањем и брисањем помоћу Т флип-флопова, извести израз за сигнал побуде T_i за све три функције, формирати обједињени сигнал побуде T_i и нацртати структурну шему таквог једноразредног регистра.

8. (ИСПИТ) (20) На слици је приказана структурна шема дела операционе јединице процесора. У меморији MEM налази се 16 меморијских речи које су ненегативни цели бројеви дужине 16 бита.



Микрооперације које се реализују у аритметичко-логичкој јединици ALU дате су у табели.

S_0	S_1	F_i
0	0	$A + B + C_0$
0	1	$A - B - C_0$
1	0	$A_{14}...A_0C_0$
1	1	$C_0B_{15}...B_1$

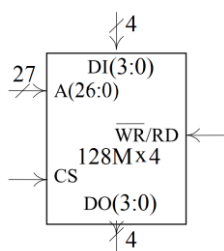
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе ARI_MEAN која над 16-битним ненегативним целим бројевима који су смештени у меморији извршава операцију аритметичке средине и вредност аритметичке средине за тих 16 бројева смешта у регистар S. Фаза извршавања наредбе започиње уколико сигнал ARI_MEAN има вредност 1. Садржај свих меморијских локација мора да остане неизмењен. Претпоставити да је сума меморијских речи таква да се смести у било који регистар шеме приказане на слици.

б) Нацртати структурну шему управљачке јединице реализоване као „шетајућа јединица“ са D флип-флоповима.

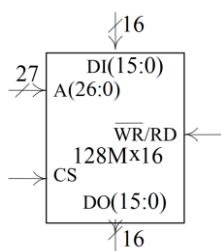
9. (ИСПИТ) (5) Дат је меморијски модул $128\text{M} \times 4$ бита (слика 1). Меморијски модул има следеће линије: A - адресне линије, DI - улазне линије података, DO - излазне линије података и управљачке линије \overline{CS} и \overline{WR}/RD . На адресне линије A (address) се доводи адреса меморијске локације у коју треба уписати бинарну реч или са које треба прочитати бинарну реч. На улазне линије података DI (data input) се доводи бинарна реч коју треба уписати у меморијску локацију на адреси одређеној садржајем на адресним линијама A . На излазним линијама података DO (data output) се добија бинарна реч која је прочитана из меморијске локације са адресе одређене садржајем на адресним линијама A . На управљачку линију \overline{CS} (chip select) се доводи вредност 1, када са датим меморијским модулом треба реализовати упис или читање. Када је на линији \overline{CS} вредност 0, нема уписа садржаја са улазних линија података DI , а излазне линије података DO се налазе у трећем стању (стању високе импедансе). На управљачку линију \overline{WR}/RD (write/read) се доводи вредност 0 када садржај са улазних линија података DI треба да се упише у меморијску локацију одређену садржајем на адресним линијама A . Да би се упис реализовао потребно је и да се на линији \overline{CS} налази вредност 1. У супротном случају, нема уписа. На управљачку линију \overline{WR}/RD се доводи вредност 1 када треба да се прочита садржај меморијске локације одређен садржајем на адресним линијама A . Да би се на излазним линијама података DO појавио прочитани садржај, потребно је и да се на линији \overline{CS} налази вредност 1. У супротном случају, излазне линије података DO се налазе у трећем стању (стању високе импедансе).

а) Коришћењем меморијских модула $128\text{M} \times 4$ бита (слика 1) реализовати меморијски модул веће ширине меморијске речи $128\text{M} \times 16$ бита (слика 2).

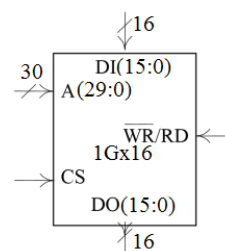
б) Коришћењем меморијских модула $128\text{M} \times 16$ бита (слика 2) реализовати меморијски модул већег адресног простора $1\text{G} \times 16$ бита (слика 3).



Слика 1.



Слика 2.



Слика 3.