



Основи рачунарске технике 1

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Потребно је на корици свеске назначити **ЖЕЛИМ ДА МИ СЕ ПРИЗНА ДРУГИ КОЛОКВИЈУМ** (у том случају НЕ ТРЕБА ДА РАДИТЕ ЗАДАТКЕ 4, 5 и 6, већ ћемо на поене са овог испита додати поене из друге колоквијумске недеље). На трећем делу - испиту (задачи 7, 8 и 9), услов је да се има најмање 10 поена.

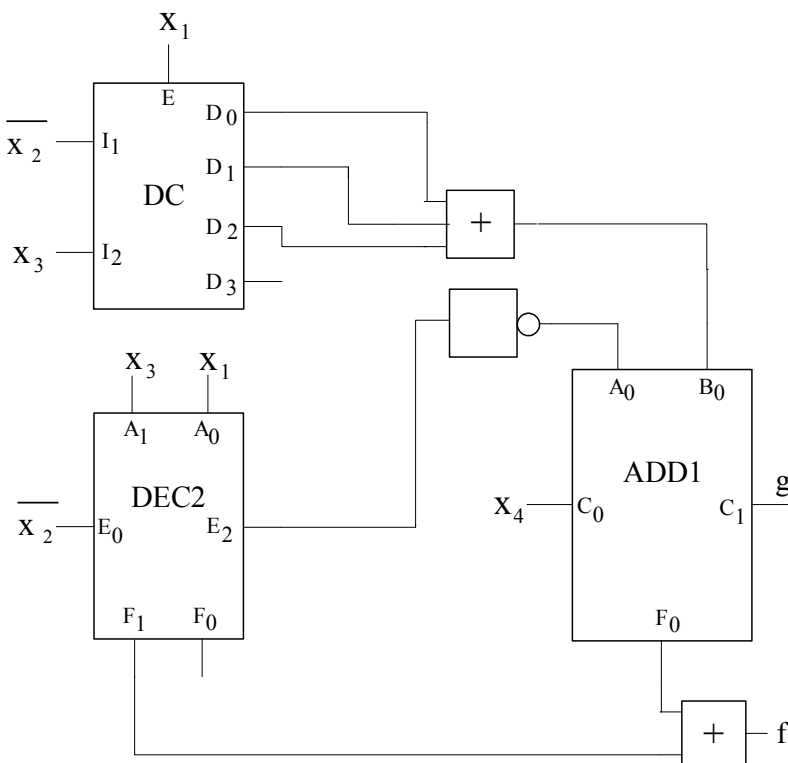
Поени са првог колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2014/15. године и учествују у коначној оцени са 30%.

Испит траје 3 сата.

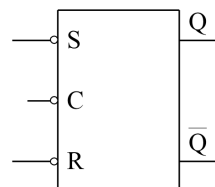
4. (Кол.2) (15) Нацртати граф и таблицу прелаза-излаза секвенцијалне мреже која има један улаз x и три излаза z_1 , z_2 и z_3 . Када сигнал x има вредност један ова секвенцијална мрежа треба да броји по следећој секвенци 2-6-0-7-1-2. Када сигнал x има вредност нула ова секвенцијална мрежа треба да броји по следећој секвенци 2-1-6-7-0-2. Реализовати ову секвенцијалну мрежу као мрежу Муровог типа код које су стања мреже кодирана тако да одговарају излазима мреже. Користити што мање RS флип-флопова код којих је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза. Подразумевати да на улазе могу да долазе комплементи.

5. (Кол.2) (15) Одредити функције f и g које реализује комбинациона мрежа са слике и написати их у облику минималне ДНФ. За елементе у комбинационој мрежи потребно је извести закон функционисања користећи таблице (DEC2, ADD1) и опште формуле које дефинишу излазне функције сваког елемента.

Напомена: У случају преименовања неких међусигнала у комбинационој мрежи и означавања тих сигнала неким општим ознакама (a_1 , a_2 , a_3 ...) назначити који су то сигнали и на ком елементу или прецртати слику уз додавање ознака.



6. (Кол.2) (5) Конструисати тактовани Т флип-флоп, код кога је један активна вредност улазног сигнала Т, користећи тактовани RS флип-флоп са улазима R и S, приказаним на слици, и минималан број НИ елемената. У поступку решавања представити табеларно законе функционисања флип-флопова и извести релевантне изразе.



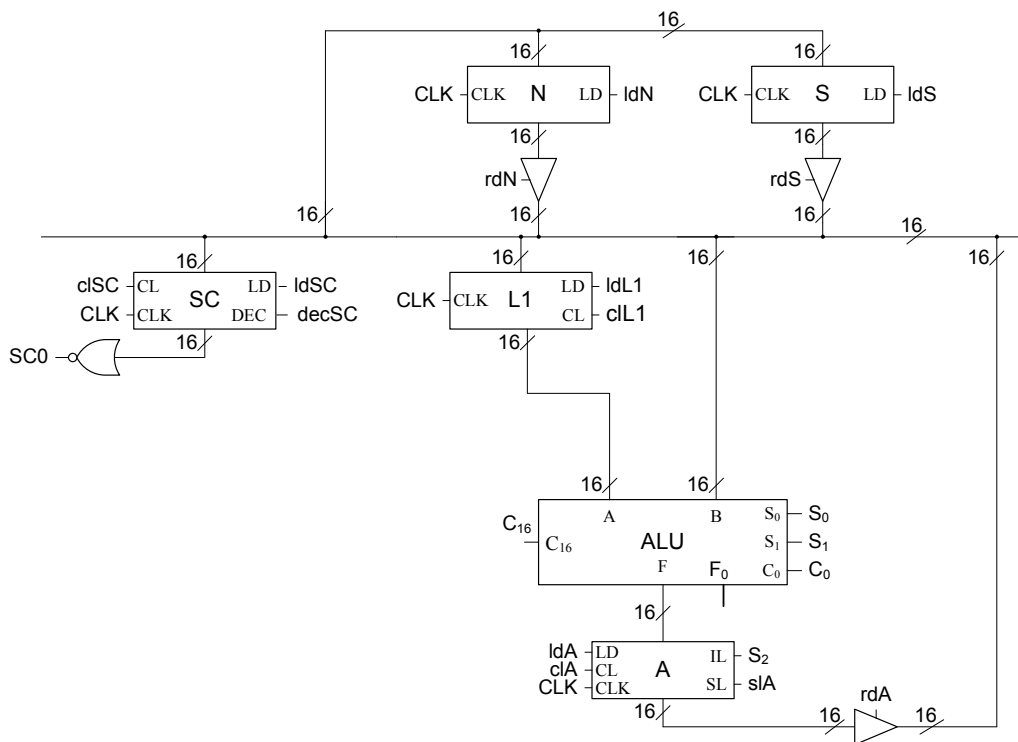
7. (ИСПИТ) (10) Реализовати један разред регистра са паралелним уписом, декрементирањем и брисањем помоћу RS флип-флопова код којих је 0 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са паралелним уписом, декрементирањем и брисањем помоћу RS флип-флопова, извести изразе за сигнале побуде R_i и S_i за све три функције, формирати обједињене сигнале побуде R_i и S_i и нацртати структурну шему таквог једноразредног регистра.

8. (ИСПИТ) (20) На слици је приказана структурна шема дела операционе јединице процесора. У регистру N дужине 16 бита налази се бинарна вредност неког броја. Микрооперације које се реализују у аритметичко-логичкој јединици ALU дате су у табели.

S_0	S_1	F_i
0	0	$A + B$
0	1	$A + C_0$
1	0	$B - C_0$
1	1	$1A_{15}...A_1$

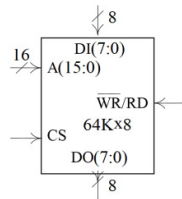
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе 2COMPL која бинарни број који је смештен у регистар N, даје у другом комплементу и тај резултат смешта у регистар S. Фаза извршавања наредбе започиње уколико сигнал 2COMPL има вредност 1. Садржај регистра N не сме да се мења и на крају мора да остане неизмењен.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима.

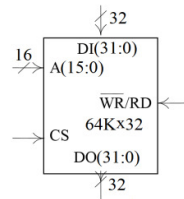


9. (ИСПИТ) (5) Дат је меморијски модул $64K \times 8$ бита (слика 1). Меморијски модул има следеће линије: **A** - адресне линије, **DI** - улазне линије података, **DO** - излазне линије података и управљачке линије **CS** и **WR/RD**. На адресне линије **A** (address) се доводи адреса меморијске локације у коју треба уписати бинарну реч или са које треба прочитати бинарну реч. На улазне линије података **DI** (data input) се доводи бинарна реч коју треба уписати у меморијску локацију на адреси одређеној садржајем на адресним линијама **A**. На излазним линијама података **DO** (data output) се добија бинарна реч која је прочитана из меморијске локације са адресе одређене садржајем на адресним линијама **A**. На управљачку линију **CS** (chip select) се доводи вредност 1, када са датим меморијским модулом треба реализовати упис или читање. Када је на линији **CS** вредност 0, нема уписа садржаја са улазних линија података **DI**, а излазне линије података **DO** се налазе у трећем стању (стању високе импедансе). На управљачку линију **WR/RD** (write/read) се доводи вредност 0 када садржај са улазних линија података **DI** треба да се упише у меморијску локацију одређену садржајем на адресним линијама **A**. Да би се упис реализовао потребно је и да се на линији **CS** налази вредност 1. У супротном случају, нема уписа. На управљачку линију **WR/RD** се доводи вредност 1 када треба да се прочита садржај меморијске локације одређен садржајем на адресним линијама **A**. Да би се на излазним линијама података **DO** појавио прочитани садржај, потребно је и да се на линији **CS** налази вредност 1. У супротном случају, излазне линије података **DO** се налазе у трећем стању (стању високе импедансе).

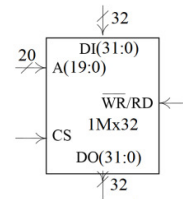
- Коришћењем меморијских модула $64K \times 8$ бита (слика 1) реализовати меморију четвороструко веће ширине меморијске речи $64K \times 32$ бита (слика 2).
- Коришћењем меморијских модула $64K \times 32$ бита (слика 2) реализовати меморију шеснаестоструко већег адресног простора $1M \times 32$ бита (слика 3).



Слика 1.



Слика 2.



Слика 3.