



Основи рачунарске технике 1

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Потребно је на свесци назначити да ли желите да Вам се призна други колоквијум (у том случају не треба да радите задатке 4, 5 и 6). На трећем делу - испиту (задачи 7, 8 и 9), мора се имати најмање 10 поена.

Поени са првог колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2013/14.год. и учествују у коначној оцени са 30%.

Испит траје 3 сата.

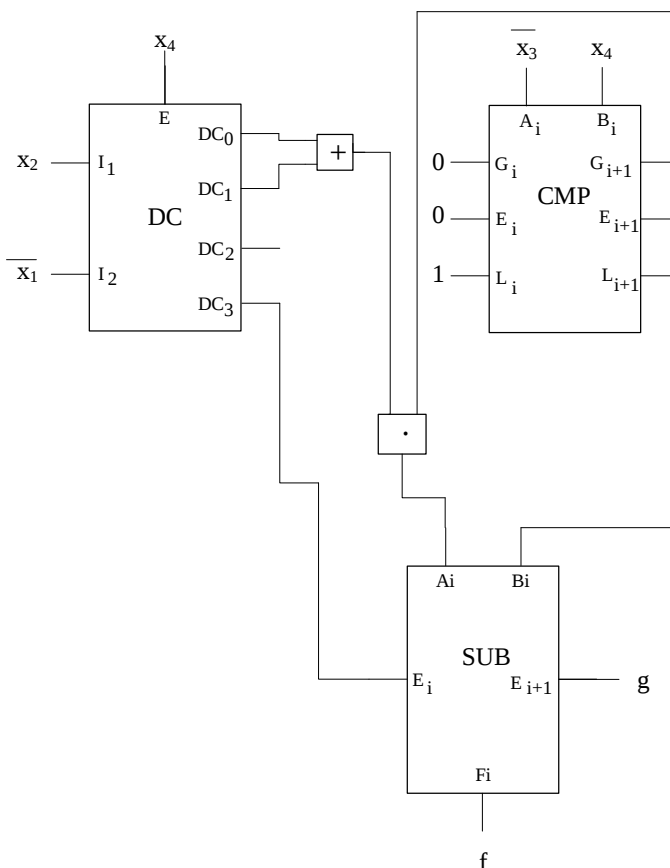
=====

4. (Кол.2) (15) Конструисати структурну шему тактоване секвенцијалне мреже Милијевог типа која има један улаз x и један излаз z , која функционише тако што на излазу z генерише 1, у трајању једне периоде сигнала такта, сваки пут када се на улазу x појави нова секвенца 1001. За реализацију користити што мање RS флип-флопова код којих је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза.

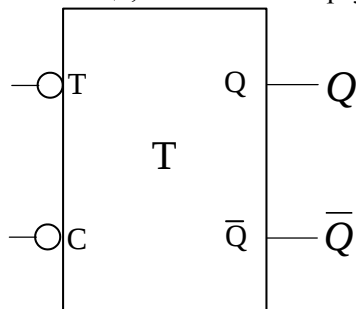
Пример детектовања секвенце:

x	1	0	0	1	1	0	0	1	0	0	1	0	0	1	0	1	1	0	0	1
z	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1

5. (Кол.2) (15) Одредити функције f и g , које реализује комбинациона мрежа са слике и написати их у облику минималних ДНФ. За сваки елемент у комбинационој мрежи потребно је извести закон функционисања користећи таблицу и формуле које дефинишу излазне функције.



6. (Кол.2) (5) Конструисати тактовани JK флип-флоп, код кога су сигнали J и K инвертовани (нула активна вредност улазних сигнала J и K), користећи тактовани T флип-флоп са инвертованим улазом T (нула активна вредност улазног сигнала T), приказаним на слици, и минималан број НИ елемената.

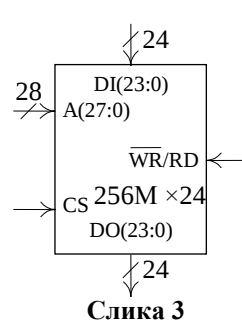
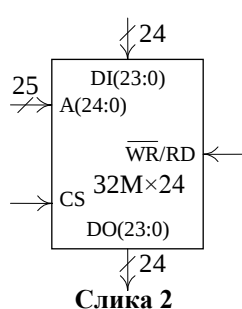
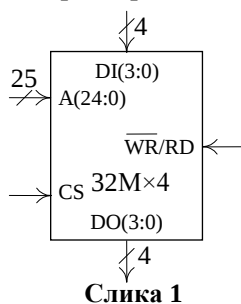


7. (ИСПИТ) (10) Реализовати један разред регистра са серијским уписом са померањем улево, декрементирањем и брисањем помоћу JK флип-флопова код којих је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза. Када ниједан од управљачких сигнала није активан, обезбедити да се стање регистра не мења. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са серијским уписом улево, декрементирањем и брисањем помоћу JK флип-флопова, извести изразе за сигнале побуде J_i и K_i за све три функције, формирати обједињене сигнале побуде J_i и K_i и нацртати структурну шему таквог једноразредног регистра.

8. (ИСПИТ) (5) Дат је меморијски модул $32M \times 4$ бита (слика 1). Меморијски модул има следеће линије: A - адресне линије, DI - улазне линије података, DO - излазне линије података и управљачке линије CS и $\overline{WR/RD}$. На адресне линије A (address) се доводи адреса меморијске локације у коју треба уписати бинарну реч или са које треба прочитати бинарну реч. На улазне линије података DI (data input) се доводи бинарна реч коју треба уписати у меморијску локацију на адреси одређеној садржајем на адресним линијама A. На излазним линијама података DO (data output) се добија бинарна реч која је прочитана из меморијске локације са адресе одређене садржајем на адресним линијама A. На управљачку линију CS (chip select) се доводи вредност 1, када са датим меморијским модулом треба реализовати упис или читање. Када је на линији CS вредност 0, нема уписа садржаја са улазних линија података DI, а излазне линије података DO се налазе у трећем стању (стању високе импедансе). На управљачку линију $\overline{WR/RD}$ (write/read) се доводи вредност 0 када садржај са улазних линија података DI треба да се упише у меморијску локацију одређену садржајем на адресним линијама A. Да би се упис реализовао потребно је и да се на линији CS налази вредност 1. У супротном случају, нема уписа. На управљачку линију $\overline{WR/RD}$ се доводи вредност 1 када треба да се прочита садржај меморијске локације одређен садржајем на адресним линијама A. Да би се на излазним линијама података DO појавио прочитани садржај, потребно је и да се на линији CS налази вредност 1. У супротном случају, излазне линије података DO се налазе у трећем стању (стању високе импедансе).

а) Коришћењем меморијских модула $32M \times 4$ бита (слика 1) реализовати меморију шестоструко веће ширине меморијске речи $32M \times 24$ бита (слика 2).

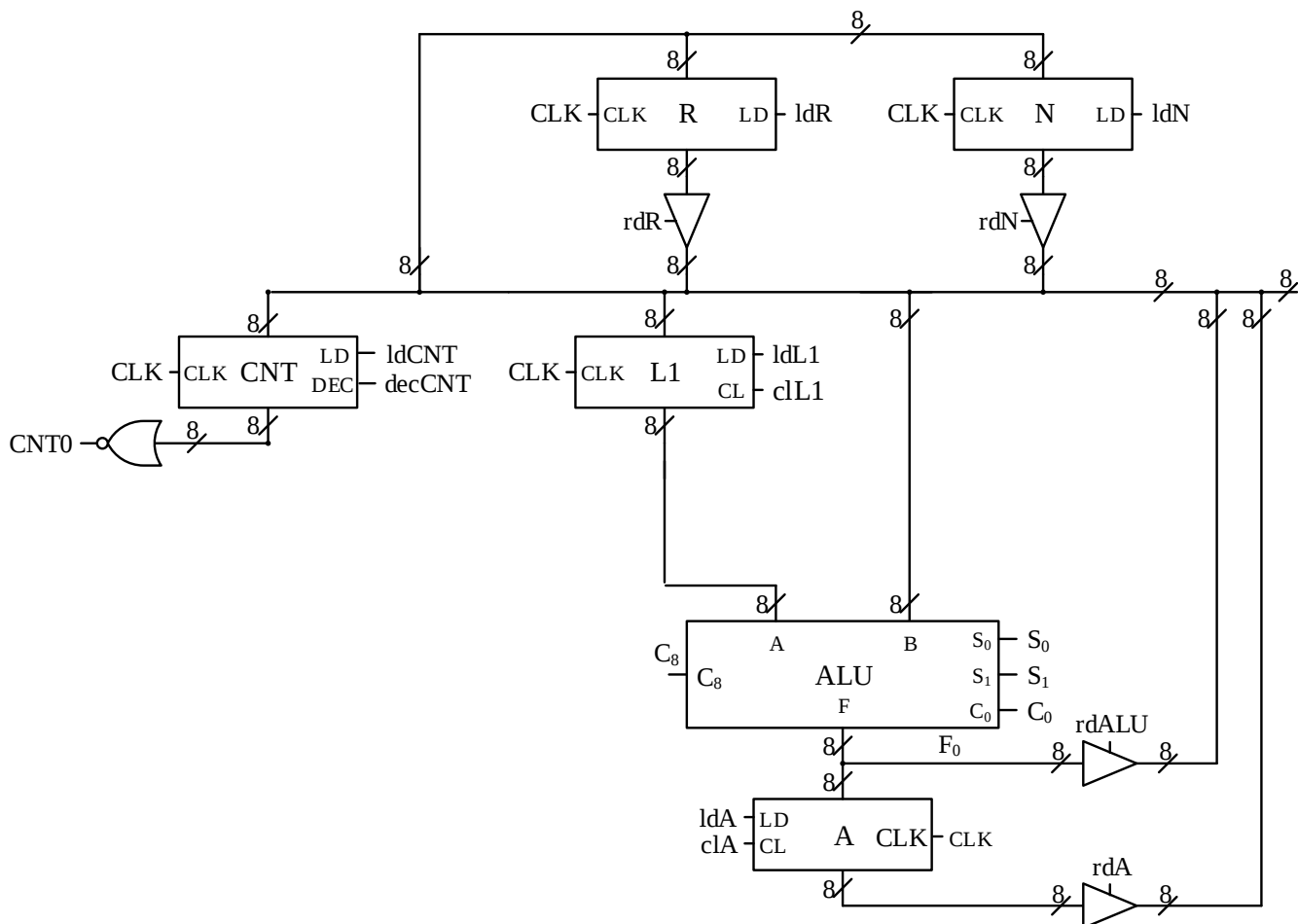
б) Коришћењем меморијских модула $32M \times 24$ бита (слика 2) реализовати меморију осмоструко већег адресног простора $256M \times 24$ бита (слика 3).



S ₀	S ₁	Fi
0	0	A-C ₀
0	1	A+B
1	0	A ₀ A ₇ ...A ₁
1	1	B+C ₀

S_0	S_1	Fi
0	0	A-C ₀
0	1	A+B
1	0	A ₀ A ₇ ...A ₁
1	1	B+C ₀

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима.



Слика 4