



Електротехнички факултет у Београду
Катедра за рачунарску технику и информатику

06.06.2012. (Јунски испитни рок)

Основи рачунарске технике 1

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Потребно је на свесци назначити да ли желите да Вам се призна други колоквијум (у том случају не треба да радите задатке 3 и 4). На трећем делу - испиту (задачи 5, 6 и 7), мора се имати најмање 20 поена.

Поени са првог колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2012/13.год. и учествују у коначној оцени са 30%.

Испит траје 3 сата.

=====

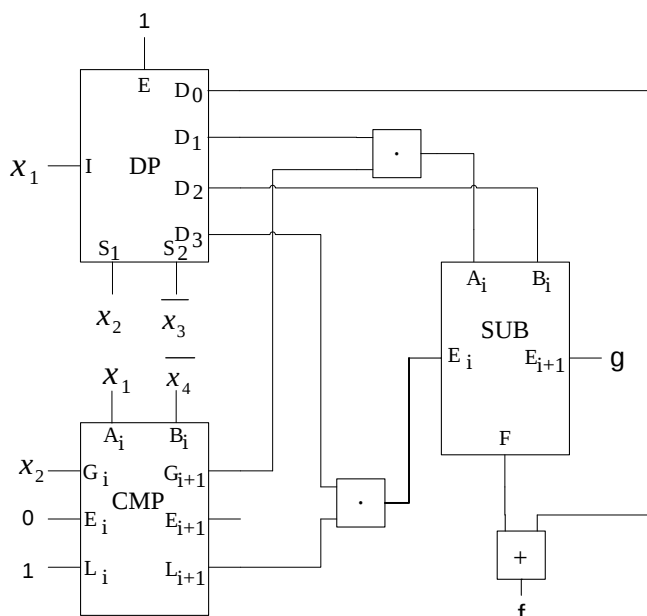
3. (Кол.2) (15) На улазе комбинационе мреже неког семафора на тениском терену, доводи се следећих пет сигнала: сигнали x_1 и x_2 , који представљају бинарну представу освојених сетова за првог тенисера, сигнали x_3 и x_4 , који представљају бинарну представу освојених сетова за другог тенисера и сигнал x_5 , који приказује који тенисер има више освојених гемова, уколико је резултат у сетовима изједначен. Излази мреже - z_1 и z_2 , представљају играча који је тренутно у предности у том тениском мечу и у сваком тренутку само један од тих сигнала има активну вредност. Уколико је бинарна представа броја на улазним сигнаlima x_1 и x_2 , већа од бинарне представе броја на улазним сигнаlima x_3 и x_4 , на излазу z_1 треба исписати 1. Уколико је бинарна представа броја на улазним сигнаlima x_1 и x_2 , мања од бинарне представе броја на улазним сигнаlima x_3 и x_4 , на излазу z_2 треба исписати 1. Уколико је број представљен улазним сигнаlima x_1 и x_2 , исти као број представљен улазним сигнаlima x_3 и x_4 , тада се гледа сигнал x_5 ; ако је $x_5 = 0$, то значи да први тенисер има бољи скор у гемовима, па ће на излазу бити активан сигнал z_1 , а ако је $x_5 = 1$, то значи да други тенисер има бољи скор у гемовима, па ће на излазу бити активан сигнал z_2 . Једино се бинарне комбинације које приказују резултат 3:3 у сетовима никада не доводе на улазе семафора (за било коју вредност улазног сигнала x_5). Пројектовати ову комбинациону мрежу користећи стандардне елементе, а затим реализовати ову мрежу користећи што мањи број двоулазних НИ елемената. Подразумевати да су расположиве и директне и комплементарне вредности променљивих.

4. (Кол.2) (15) Конструисати структурну шему тактоване секвенцијалне мреже Милијевог типа која има један улаз x и један излаз z , која функционише тако што на излазу z генерише 1, у трајању једне периоде сигнала такта, сваки пут када се на улазу x појави секвенца 10011. За реализацију користити што мање JK флип-флопова код којих је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза.

Пример детектовања секвенце:

x	1	0	0	1	1	0	0	1	1	0	0	1	1	1	0	1	0	0	1	1
z	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1

За сваки елемент у комбинационој мрежи потребно је извести закон функционисања користећи таблицу и формуле које дефинишу излазне функције.



6. (ИСПИТ) (15) Реализовати један разред регистра са паралелним уписом, декрементирањем и брисањем помоћу JK флип-флопова код којих је 0 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са паралелним уписом, декрементирањем и брисањем помоћу RS флип-флопова, извести изразе за сигнале побуде J_i и K_i за све три функције, формирати обједињене сигнале побуде J_i и K_i и нацртати структурну шему таквог једноразредног регистра.

7. (ИСПИТ) (10) Дат је меморијски модул 128M×8 бита (слика 1). Меморијски модул има следеће линије: A - адресне линије, DI - улазне линије података, DO - излазне линије података и управљачке линије CS и $\overline{WR}/RD$. На адресне линије A (*address*) се доводи адреса меморијске локације у коју треба уписати бинарну реч или са које треба прочитати бинарну реч. На улазне линије података DI (*data input*) се доводи бинарна реч коју треба уписати у меморијску локацију на адреси одређеној садржајем на адресним линијама A. На излазним линијама података DO (*data output*) се добија бинарна реч која је прочитана из меморијске локације са адресе одређене садржајем на адресним линијама A. На управљачку линију CS (*chip select*) се доводи вредност 1, када са датим меморијским модулом треба реализовати упис или читање. Када је на линији CS вредност 0, нема уписа садржаја са улазних линија података DI, а излазне линије података

DO се налазе у трећем стању (стању високе импедансе). На управљачку линију $\overline{WR}/RD$ (write/read) се доводи вредност 0 када садржај са улазних линија података DI треба да се упише у меморијску локацију одређену садржајем на адресним линијама A. Да би се упис реализовао потребно је и да се на линији CS налази вредност 1. У супротном случају, нема уписа. На управљачку линију $\overline{WR}/RD$ се доводи вредност 1 када треба да се прочита садржај меморијске локације одређен садржајем на адресним линијама A. Да би се на излазним линијама података DO појавио прочитани садржај, потребно је и да се на линији CS налази вредност 1. У супротном случају, излазне линије података DO се налазе у трећем стању (стању високе импедансе).

а) Коришћењем меморијских модула 128Мх8 бита (слика 1) реализовати меморију осмоструко веће ширине меморијске речи 128Мх64 бита (слика 2).

б) Коришћењем меморијских модула 128Mx64 бита (слика 2) реализовати меморију осмоструко већег адресног простора 1Gx64 бита (слика 3).

