



Електротехнички факултет у Београду
Катедра за рачунарску технику и информатику

19.01.2012. (Јануарски испитни рок)

Основи рачунарске технике 1

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Потребно је на свесци назначити да ли желите да Вам се призна други колоквијум (у том случају не треба да радите задатке 3 и 4). На трећем делу - испиту (задачи 5, 6 и 7), мора се имати најмање 20 поена.

Поени са првог колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2011/12.год. и учествују у коначној оцени са 30%.

Испит траје 3 сата.

=====

3. (Кол.2) (15) Пројектовати комбинациону мрежу аутомата за пријаву испита. Када се студент улогује на систем са својим бројем индекса и одабере испит, на екрану осетљивом на додир на аутомату појављује се пет тастера за пет могућих испитних рокова за пријаву одабраног испита (ЈА, ФЕ, ЈУ, СЕ, ОК - тим редоследом!). Студент може одређени испит пријавити најмање у једном року, а највише у четири испитна рока. Сматрати да на улазу у систем нису дозвољене комбинације да студент није пријавио испит ниједном (00000) и да је испит пријавио у сваком року (11111). Излази комбинационе мреже су упозорења - u1 и u2. Излаз u1 представља лампицу упозорења када студент пријави испит више од 3 пута (на пример: ЈА-ФЕ-ЈУ-СЕ), и он тада треба да плати пријаву испита. Излаз u2 представља лампицу упозорења када студент пријави испит у три узастопна испитна рока (на пример: ЈА-ФЕ-ЈУ), и он тада треба да напише молбу Продекану за наставу да би му одобрио полагање. Излази u1 и u2 могу бити истовремено активни. Пројектовати ову комбинациону мрежу, а затим реализовати ову мрежу користећи што мањи број двоулазних НИ елемената. Подразумевати да су расположиве и директне и комплементарне вредности променљивих.

4. (Кол.2) (15) Конструисати структурну шему тактоване секвенцијалне мреже Милијевог типа која има један улаз x и један излаз z, која функционише тако што на излазу z генерише 1, у трајању једне периоде сигнала такта, сваки пут када се на улазу x појави секвенца која обухвата низ јединица са нулом на крају секвенце, при чему се у низу јединица налазе барем две јединице. За реализацију користити што мање JK флип-флопова код којих је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са произвољним бројем улаза.

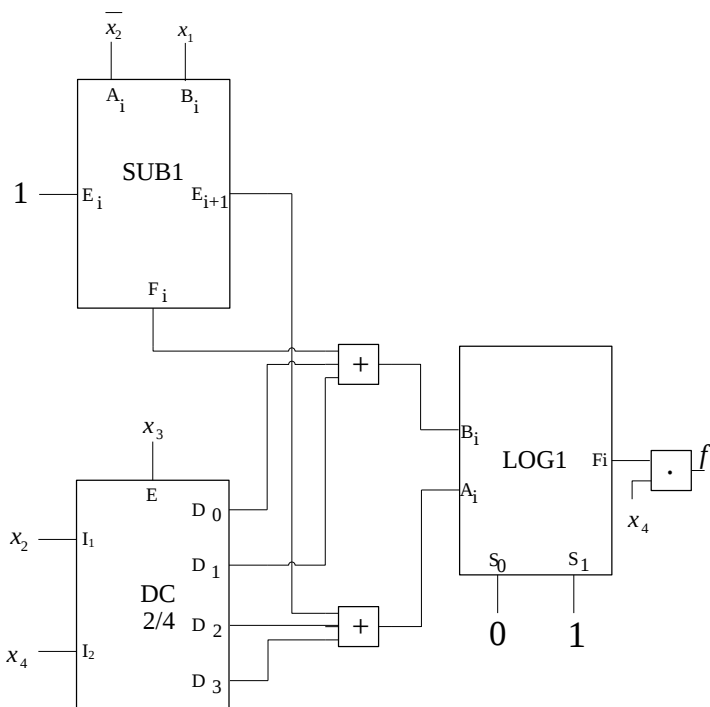
Пример детектовања секвенце:

x	1	1	0	0	0	1	1	1	1	0	1	1	1	1	0	1	0	0	0
z	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0

5. (ИСПИТ) (15) Одредити функцију f која реализује комбинациона мрежа са слике и написати је у облику минималне ДНФ.

Закон функционисања једноразредне логичке јединице LOG/1 је дат у облику таблице:

S_0	S_1	F_i
0	0	$A_i \cdot B_i$
0	1	$A_i + B_i$
1	0	$A_i \oplus B_i$
1	1	$\overline{A_i}$



6. (ИСПИТ) (15) Реализовати један разред регистра са серијским уписом удесно, инкрементирањем и брисањем помоћу RS флип-флопова код којих је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са што мање улаза. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са серијским уписом удесно, инкрементирањем и брисањем помоћу RS флип-флопова, извести изразе за сигнале побуде R_i и S_i за све три функције, формирати обједињене сигнале побуде R_i и S_i и нацртати структурну шему таквог једноразредног регистра.

7. (ИСПИТ) (10) Дат је меморијски модул 64Kx8 бита (слика 1). Меморијски модул има следеће линије: А - адресне линије, DI - улазне линије података, DO - излазне линије података и управљачке линије CS и $\overline{WR/RD}$. На адресне линије А (address) се доводи адреса меморијске локације у коју треба уписати бинарну реч или са које треба прочитати бинарну реч. На улазне линије података DI (data input) се доводи бинарна реч коју треба уписати у меморијску локацију на адреси одређеној садржајем на адресним линијама А. На излазним линијама података DO (data output) се добија бинарна реч која је прочитана из меморијске локације са адресе одређене садржајем на адресним линијама А. На управљачку линију CS (chip select) се доводи вредност 1, када са датим меморијским модулом треба реализовати упис или читање. Када је на линији CS вредност 0, нема уписа садржаја са улазних линија података DI, а излазне линије података DO се налазе у трећем стању (стању високе импедансе). На управљачку линију $\overline{WR/RD}$ (write/read) се доводи вредност 0 када садржај са улазних линија података DI треба да се упише у меморијску локацију одређену садржајем на адресним линијама А. Да би се упис реализовао потребно је и да се на линији CS налази вредност 1. У супротном случају, нема уписа. На управљачку линију $\overline{WR/RD}$ се доводи вредност 1 када треба да се прочита садржај меморијске локације одређен садржајем на адресним линијама А. Да би се на излазним линијама података DO појавио прочитани садржај, потребно је и да се на линији CS налази вредност 1. У супротном случају, излазне линије података DO се налазе у трећем стању (стању високе импедансе).

а) Коришћењем меморијских модула 64Kx8 бита (слика 1) реализовати меморију четвороструко веће ширине меморијске речи 64Kx32 бита (слика 2).

б) Коришћењем меморијских модула 64Kx32 бита (слика 2) реализовати меморију четвороструко већег адресног простора 256Kx32 бита (слика 3).

