



Основи рачунарске технике 1

Напомене:

На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература.

Потребно је на свесци назначити да ли желите да Вам се призна други колоквијум (у том случају не треба да радите задатке 3 и 4). На трећем делу - испиту (задачи 5, 6 и 7), мора се имати најмање 20 поена.

Поени са првог колоквијума, као предиспитне обавезе, важе до фебруарског рока школске 2011/12.год. и учествују у коначној оцени са 30%.

Испит траје 3 сата.

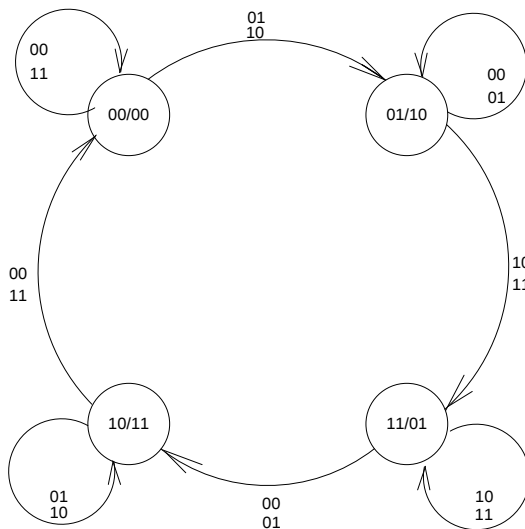
=====

3. (Кол.2) (15) Пројектовати комбинациону мрежу која има 4 улазна сигнала (x_1, x_2, x_3, x_4) и 5 излазних сигнала (z_1, z_2, z_3, z_4, z_5) и служи за конвертовање броја M , који је у децималном систему (број са основом 10), у број N , који је у окталном систему (број са основом 8). На улазе x_1, x_2, x_3 и x_4 долази децимални број M у бинарном облику, а на излазима z_1, z_2, z_3, z_4 и z_5 се појављује октални број N у бинарном облику. Бинарне облике бројева M и N сматрати неозначеним. Битови x_1 и z_1 представљају битове веће тежине на улазу, односно на излазу.

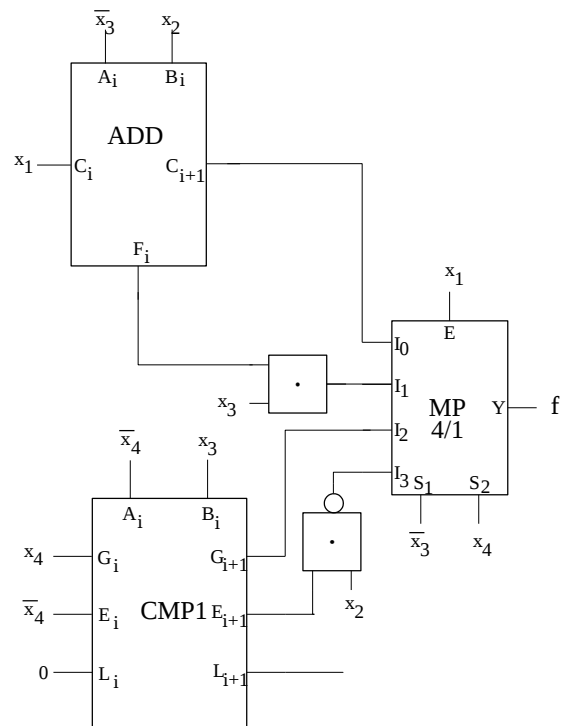
На пример: број 1 у децималном систему (бинарно: 0001) конвертоваће се у број 1 у окталном систему (бинарно: 00001), а број 8 у децималном систему (бинарно: 1000) конвертоваће се у број 10 у окталном систему (бинарно: 01010).

Реализовати ову мрежу користећи што мањи број двоулазних НИ елемената. Подразумевати да су расположиве и директне и комплементарне вредности променљивих.

4. (Кол.2) (15) Конструисати структурну шему тактоване секвенцијалне мреже задате графом прелаза/излаза, која има два улазна сигнала x_1 и x_2 и два излазна сигнала z_1 и z_2 . Реализовати ову секвенцијалну мрежу користећи што мање JK флип флопова код којих је 1 активна вредност улазних сигнала и што мањи број НЕ, И и ИЛИ елемената са што мањим бројем улаза. Подразумевати да на улазе могу да долазе комплементи.



5. (ИСПИТ) (15) Одредити функцију f која реализује комбинациона мрежа са слике и написати је у облику минималне ДНФ.



6. (ИСПИТ) (15) Реализовати један разред регистра са паралелним уписом, декрементирањем и брисањем помоћу RS флип-флопова код којих је 1 активна вредност улазних сигнала и што мање НЕ, И и ИЛИ елемената са што мање улаза. У поступку реализације потребно је посебним комбинационим таблицама прелаза/излаза и побуда представити законе функционисања једног разреда регистра са паралелним уписом, декрементирањем и брисањем помоћу RS флип-флопова, извести изразе за сигнале побуде R_i и S_i за све три функције, формирати обједињене сигнале побуде R_i и S_i и нацртати структурну шему таквог једноразредног регистра.

7. (ИСПИТ) (10) Дат је меморијски модул 128Mx8 бита (слика 1). Меморијски модул има следеће линије: A - адресне линије, DI - улазне линије података, DO - излазне линије података и управљачке линије CS и $\overline{WR}/RD$. На адресне линије A (*address*) се доводи адреса меморијске локације у коју треба уписати бинарну реч или са које треба прочитати бинарну реч. На улазне линије података DI (*data input*) се доводи бинарна реч коју треба уписати у меморијску локацију на адреси одређеној садржајем на адресним линијама A . На излазним линијама података DO (*data output*) се добија бинарна реч која је прочитана из меморијске локације са адресе одређене садржајем на адресним линијама A . На управљачку линију CS (*chip select*) се доводи вредност 1, када са датим меморијским модулом треба реализовати упис или читање. Када је на линији CS вредност 0, нема уписа садржаја са улазних линија података DI , а излазне линије података DO се налазе у трећем стању (стању високе импедансе). На управљачку линију $\overline{WR}/RD$ (*write/read*) се доводи вредност 0 када садржај са улазних линија података DI треба да се упише у меморијску локацију одређену садржајем на адресним линијама A . Да би се упис реализовао потребно је и да се на линији CS налази вредност 1. У супротном случају, нема уписа. На управљачку линију $\overline{WR}/RD$ се доводи вредност 1 када треба да се прочита садржај меморијске локације одређен садржајем на адресним линијама A . Да би се на излазним линијама података DO појавио прочитани садржај, потребно је и да се на линији CS налази вредност 1. У супротном случају, излазне линије података DO се налазе у трећем стању (стању високе импедансе).

а) Коришћењем меморијских модула 128Mx8 бита (слика 1) реализовати меморију двоструко веће ширине меморијске речи 128Mx16 бита (слика 2).

б) Коришћењем меморијских модула 128Mx16 бита (слика 2) реализовати меморију двоструко већег капацитета 256Mx16 бита (слика 3).

