

## VIII. STANDARDNI SEKVENCIJALNI MODULI

VIII.1 REGISTRI

VIII.2 BROJAČI

VIII.3 REGISTRI SA VIŠE FUNKCIJA

VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRARI

Registri su sekvencijalne mreže koje u digitalnim računarima i drugim digitalnim uređajima služe za pamćenje binarnih reči.

Registar za pamćenje binarne reči dužine  $n$  bita može se posmatrati kao sekvencijalna mreža sa  $n$  razreda. U registru postoji po jedan razred za svaki bit binarne reči, pa se registar može posmatrati kao  $n$  sekvencijalnih mreža.

Ako je oznaka registra  $A$  onda je najpogodnije i njegovo stanje označiti sa

$$A = A_{n-1}A_{n-2}\dots A_0$$

gde su  $A_{n-1}$ ,  $A_{n-2}$ , ...,  $A_0$  razredi registra i koordinate vektora stanja.

Razmatraju se registri realizovani pomoću taktovanih flip-flopova.

Razmatraju se dve vrste registara i to:

registri sa paralelnim ulazima i izlazima i

registri sa serijskim ulazom i izlazom.

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRI

U registar sa paralelnim ulazima binarna reč se upisuje paralelno, tj. svi bitovi istovremeno. Iz registra sa paralelnim izlazima binarna reč se čita paralelno, tj. svi bitovi istovremeno.

Svi razredi registra sa paralelnim ulazima i izlazima su jednaki tako da je dovoljno definisati zakon funkcionisanja za jedan razred.

Svi razredi registra sa paralelnim ulazima i izlazima su jednaki tako da je dovoljno definisati zakon funkcionisanja za jedan razred.

Neka se

binarna reč  $I = I_{n-1}I_{n-2}\dots I_0$  upisuje u  
registar  $A = A_{n-1}A_{n-2}\dots A_0$

Tada se zakon funkcionisanja za i-ti razred registra A definiše tablicama prelaza sa slika 1 i 2. Pritom se

1. tablica sa slike 1 odnosi na slučaj kada se upisom upravlja pomoću signala takta, a
2. tablica sa slike 2 na slučaj kada se upisom upravlja nezavisno od signala takta.

Sa LD je označen upravljački signal za upis (LOAD). Kada se javi signal takta upis se realizuje ukoliko signal LD ima aktivnu vrednost. U suprotnom slučaju iako se javi signal takta nema promene stanja registra.

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRARI

$I_i$	$A_i$	$A_i(t+1)$
0	0	0
0	1	0
1	0	1
1	1	1

Slika 1 Tablica prelaza i-tog razreda registra za slučaja kada se upisom upravlja pomoću signala takta

LD	$I_i$	$A_i$	$A_i(t+1)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Slika 2 Tablica prelaza i-tog razreda registra za slučaja kada se upisom upravlja nezavisno od signala takta

Na osnovu ovih tablica konstruiše se kombinacione tablice i određuju funkcije pobuda za različite tipove flip-flopova.

Za D, T, RS i JK flip-fopove kod kojih je 1 aktivna vrednost ulaznih signala se dobija:

1. za slučaj kada se upisom upravlja pomoću signala takta

$$D_i = I_i$$

$$T_i = I_i \oplus A_i$$

$$S_i = I_i, R_i = \bar{I}_i$$

$$J_i = I_i, K_i = \bar{I}_i$$

2. za slučaj kada se upisom upravlja nezavisno od signala takta

$$D_i = LD I_i + \overline{LD} A_i$$

$$T_i = LD (I_i \oplus A_i)$$

$$S_i = LD I_i, R_i = LD \bar{I}_i$$

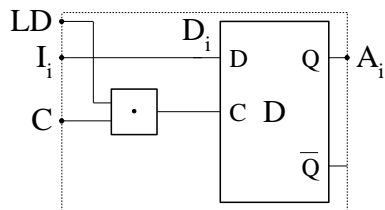
$$J_i = LD I_i, K_i = LD \bar{I}_i$$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

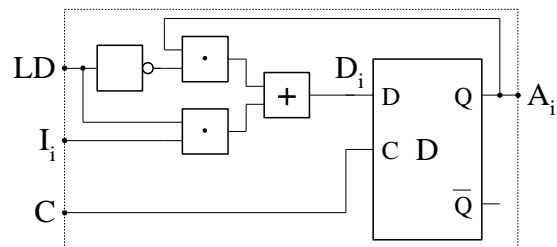
### VIII.1 REGISTRARI

Realizacija i-tog razreda registra realizovanog korišćenjem D flip-flopa

1. za slučaj kada se upisom upravlja pomoću signala takta data je na slici 3
2. za slučaj kada se upisom upravlja nezavisno od signala takta data je na slici 4



Slika 3 Strukturna šema i-tog razreda registra realizovanog korišćenjem D flip-flopa za slučaj kada se upisom upravlja pomoću signala takta

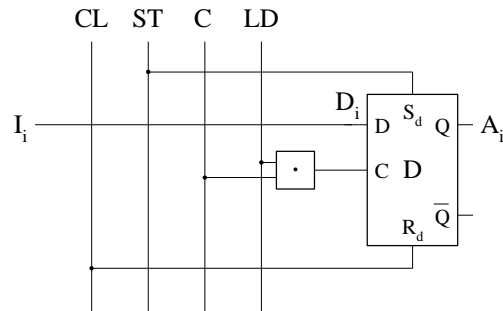


Slika 4 Strukturna šema i-tog razreda registra realizovanog korišćenjem D flip-flopa za slučaj kada se upisom upravlja nezavisno od signala takta

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRARI

Flip-flopovi koji se koriste za realizaciju razreda registra pored sinhronih imaju i asinhronu ili direktnu ulaze  $S_d$  i  $R_d$  (slika 5).



Slika 5 Strukturna šema i-tog razreda registra sa asinhronim ulazima  $S_d$  i  $R_d$

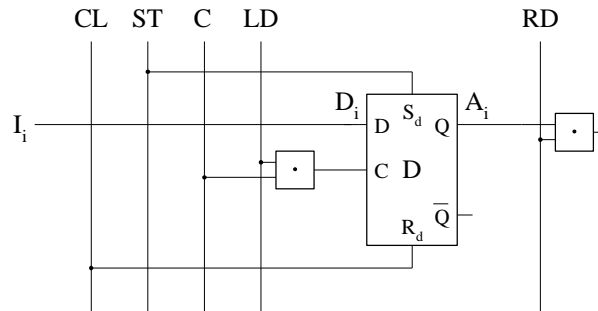
Preko ulaza  $S_d$  se signalom  $ST$  (SET) asinhrono u sve razrede upisuje 1, a preko ulaza  $R_d$  se signalom  $CL$  (CLEAR) asinhrono u sve razrede upisuje 0.

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRI

Linije su  $A_{n-1}, A_{n-2}, \dots, A_0$  predstavljaju paralelne izlaze registra A.

Ako je potrebno, čitanjem se može upravljati pomoću upravljačkog signala RD (READ) kao što je prikazano na slici 6.

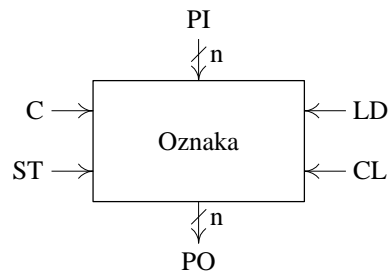


Slika 6 Paralelno čitanje i-tog razreda registra A

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRARI

Grafički simbol registra sa paralelnim ulazima i izlazima kao bloka je dat na slici 7 .



Slika 7 Grafički simbol registra sa paralelnim ulazima i izlazima



## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRARI

U registar sa serijskim ulazom binarna reč se upisuje serijski bit po bit. Iz registar sa serijskim izlazom binarna reč se čita serijski bit po bit. Registar sa serijskim upisom i čitanjem se naziva i pomerački registar.

Zakon funkcionisanja za i-ti razred pomeračkog registra A se definiše sa

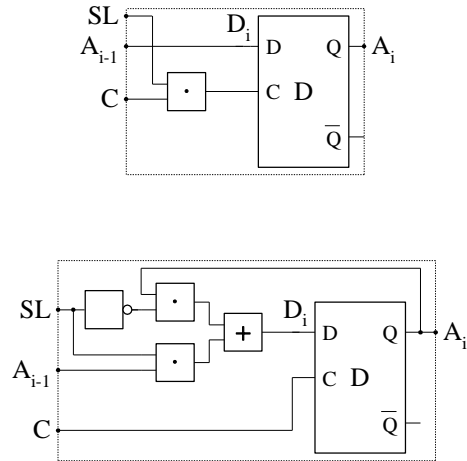
$A_i(t+1) = A_{i-1}$  ako se koristi pomeranje ulevo i

$A_i(t+1) = A_{i+1}$  ako se koristi pomeranje udesno.

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRI

Na slici 8 su date strukturne šeme i-tog razreda pomeračkog registra sa pomeranjem ulevo.



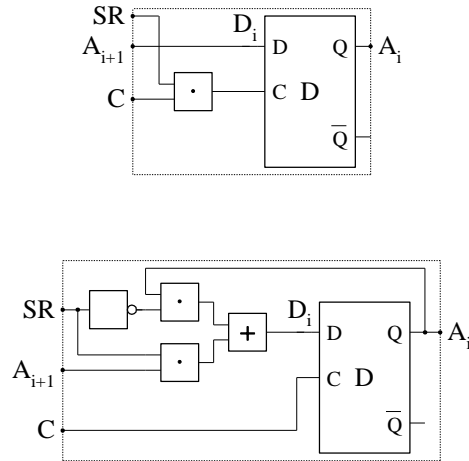
Slika 8 Strukturne šema i-tog razreda pomeračkog registra sa pomeranjem ulevo

Sa  $SL$  je označen upravljački signal za pomeranje ulevo (Shift Left).

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRI

Na slici 9 su date strukturne šeme i-tog razreda pomeračkog registra sa pomeranjem udesno.



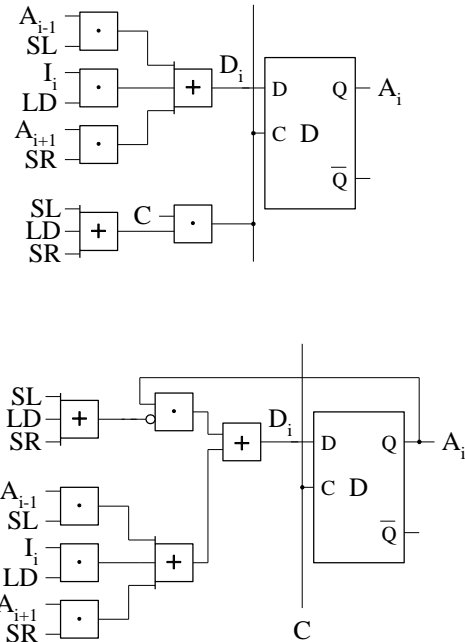
Slika 9 Strukturne šema i-tog razreda pomeračkog registra sa pomeranjem udesno

Sa SR je označen upravljački signal za pomeranje ulevo (Shift Right).

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRI

Na slici 10 su date strukturne šeme i-tog razreda pomeračkog registra sa pomeranjem ulevo, paralelnim upisom i pomeranjem udesno.



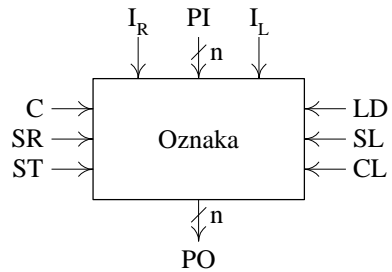
Slika 10 Strukturne šema i-tog razreda pomeračkog registra sa pomeranjem ulevo, paralelnim upisom i pomeranjem udesno

Sa SL, LD i SR su označeni upravljački signali za pomeranje ulevo, paralelni upis i pomeranje udesno.

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.1 REGISTRARI

Grafički simbol registra sa paralelnim ulazima i izlazima kao bloka je dat na slici 11 .



Slika 11 Grafički simbol registra sa pomeranjem ulevo, paralelnim upisom i pomeranjem udesno

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Brojači su sekvencijalne mreže koje u digitalnim računarima i drugim digitalnim uređajima služe za brojanje različitih događaja i merenje vremenskih intervala.

Ako je oznaka registra A onda je najpogodnije i njegovo stanje označiti sa

$$A = A_{n-1}A_{n-2}\dots A_0$$

gde su  $A_{n-1}$ ,  $A_{n-2}$ , ...,  $A_0$  razredi registra i koordinate vektora stanja.

Najveću primenu imaju

inkrementirajući brojači kod kojih je  $A(t+1) = A+1$  i

dekrementirajući brojači kod kojih je  $A(t+1) = A-1$

Razmatraju se registri realizovani pomoću taktovanih flip-flopova.

Najjednostavniju strukturu imaju brojači po modulu  $2^n$ .

Brojač po modulu  $2^n$  može se posmatrati kao sekvencijalna mreža sa n razreda.

Dovoljno je definisati zakon funkcionisanja za jedan razred takvog brojača.

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Tablicama sa slika 12 i 13 definisani su zakoni funkcionisanja za i-ti razred taktovanih inkrementirajućih i dekrementirajućih brojača po modulu  $2^n$ .

$A_i$	$C_i$	$A_i(t+1)$	$C_{i+1}$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Slika 12 Tablica prelaza i-tog razreda inkrementirajućeg brojača po modulu  $2^n$

$A_i$	$E_i$	$A_i(t+1)$	$E_{i+1}$
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Slika 13 Tablica prelaza i-tog razreda dekrementirajućeg brojača po modulu  $2^n$

Na osnovu ovih tablica konstruiše se kombinacione tablice i određuju funkcije pobuda za različite tipove flip-floпова.

Za D, T, RS i JK flip-floповe kod kojih je 1 aktivna vrednost ulaznih signala se dobija:

1. za inkrementirajući brojač

$$D_i = A_i \oplus C_i$$

$$T_i = C_i$$

$$S_i = \overline{A_i} C_i, R_i = A_i C_i$$

$$J_i = C_i, K_i = C_i$$

2. za dekrementirajući brojač

$$D_i = A_i \oplus E_i$$

$$T_i = E_i$$

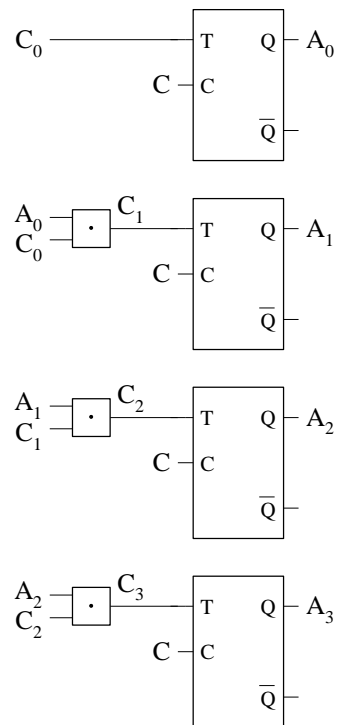
$$S_i = \overline{A_i} E_i, R_i = A_i E_i$$

$$J_i = E_i, K_i = E_i$$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Strukturna šema četvororazrednog inkrementirajućeg brojača po modulu  $2^n$  realizovanog korišćenjem T flip-flopa je data na slici 14.



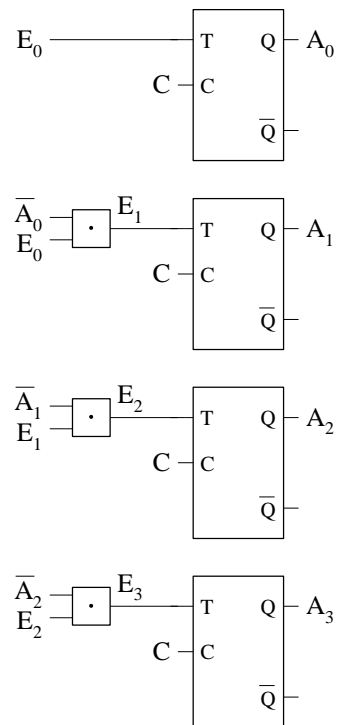
Slika 14 Četvororazredni inkrementirajući brojač po modulu  $2^n$



## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Strukturna šema četvororazrednog dekrementirajućeg brojača po modulu  $2^n$  realizovanog korišćenjem T flip-flova je data na slici 15.

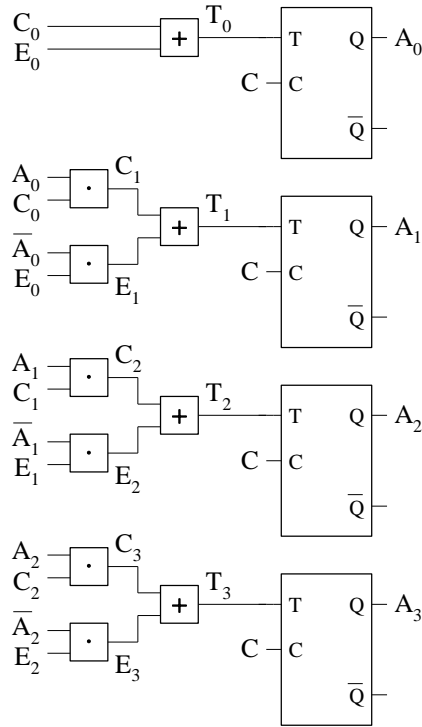


Slika 15 Četvororazredni dekrementirajući brojač po modulu  $2^n$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Strukturna šema četvororazrednog inkrementirajućeg i dekrementirajućeg brojača po modulu  $2^n$  realizovanog korišćenjem T flip-flova je data na slici 16.

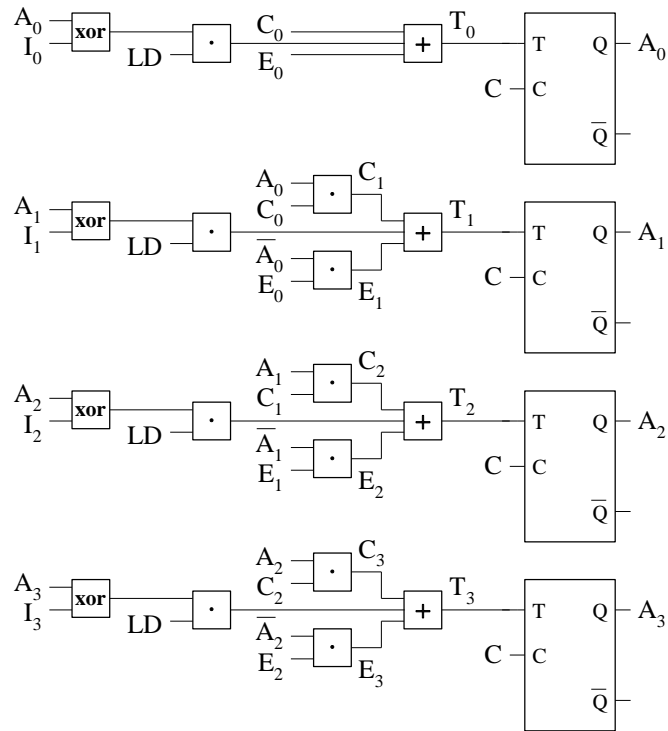


Slika 16 Četvororazredni inkrementirajući i dekrementirajući brojač po modulu  $2^n$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Strukturna šema četvororazrednog inkrementirajućeg i dekrementirajućeg brojača po modulu  $2^n$  sa paralelnim upisom realizovanog korišćenjem T flip-flova je data na slici 17.

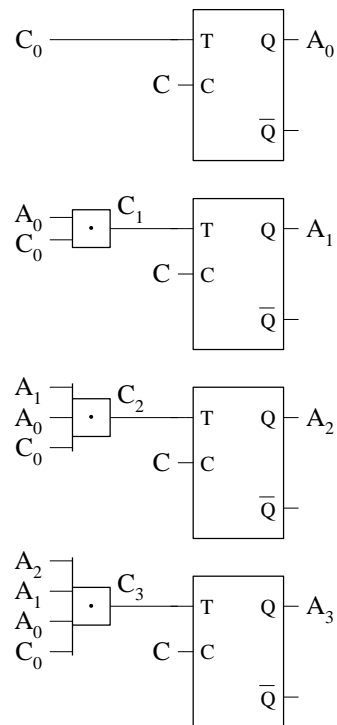


Slika 17 Četvororazredni inkrementirajući i dekrementirajući brojač po modulu  $2^n$  sa paralelnim upisom

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Strukturna šema četvororazrednog inkrementirajućeg brojača po modulu  $2^n$  realizovanog korišćenjem T flip-flova je data na slici 18.

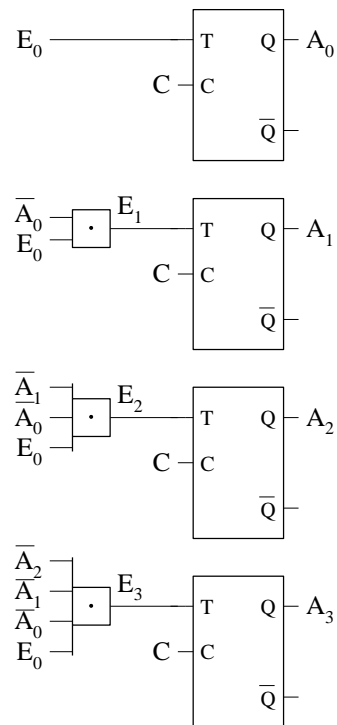


Slika 18 Četvororazredni inkrementirajući brojač po modulu  $2^n$  sa ubrzanjem generisanja prenosa

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Strukturna šema četvororazrednog dekrementirajućeg brojača po modulu  $2^n$  realizovanog korišćenjem T flip-flova je data na slici 19.

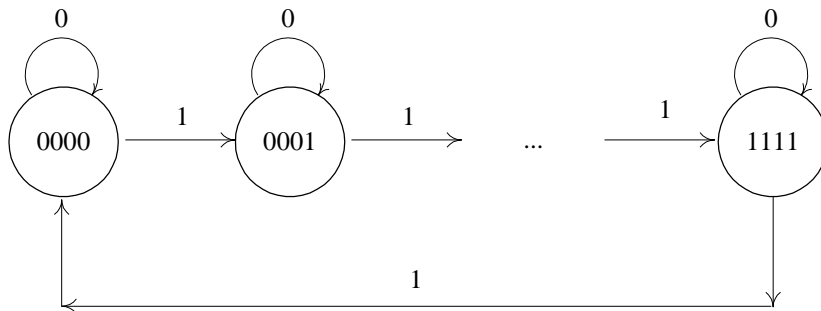


Slika 19 Četvororazredni dekrementirajući brojač po modulu  $2^n$  sa ubrzanjem generisanja pozajmice

## VIII. STANDARDNI SEKVENCIJALNI MODULI

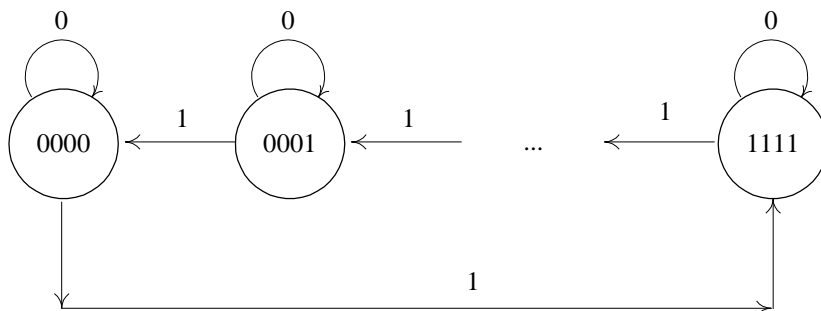
### VIII.2 BROJAČI

Graf prelaza/izlaza četvororazredni inkrementirajućeg brojača po modulu  $2^4$  je dat na slici 20.



Slika 20 Graf prelaza/izlaza četvororazredni inkrementirajućeg brojača po modulu  $2^4$

Graf prelaza/izlaza četvororazredni dekrementirajućeg brojača po modulu  $2^4$  je dat na slici 21.

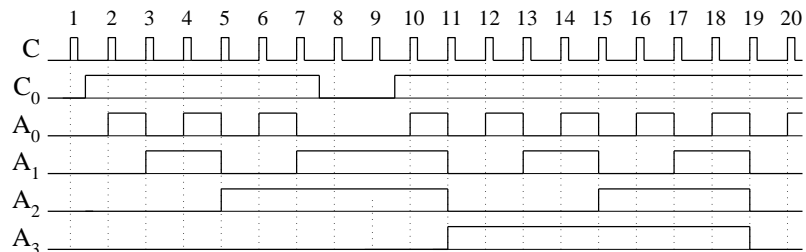


Slika 21 Graf prelaza/izlaza četvororazredni dekrementirajućeg brojača po modulu  $2^4$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

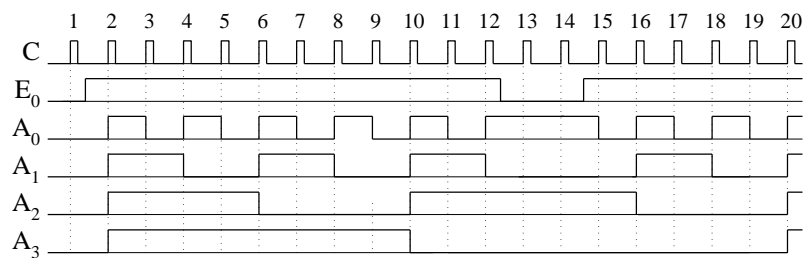
### VIII.2 BROJAČI

Vremenski oblici signala četvororazrednog inkrementirajućeg brojača po modulu  $2^4$  su dati na slici 22.



Slika 22 Vremenski oblici signala četvororazrednog inkrementirajućeg brojača po modulu  $2^4$

Vremenski oblici signala četvororazrednog dekrementirajućeg brojača po modulu  $2^4$  su dati na slici 23.



Slika 23 Vremenski oblici signala četvororazrednog dekrementirajućeg brojača po modulu  $2^4$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Razmotriće se realizacija brojača koji broje po modulu različitom od  $2^n$ . Kombinaciona tablica funkcija pobude i izlaza inkrementirajućeg brojača po modulu 10 realizovanog sa D flip-flopovima je data na slici 24 .

$C_0$	A	$A_i(t+1)$	$D_3$	$D_2$	$D_1$	$D_0$	$C_4$
0	0000	0000	0	0	0	0	0
0	0001	0001	0	0	0	1	0
0	0010	0010	0	0	1	0	0
0	0011	0011	0	0	1	1	0
0	0100	0100	0	1	0	0	0
0	0101	0101	0	1	0	1	0
0	0110	0110	0	1	1	0	0
0	0111	0111	0	1	1	1	0
0	1000	1000	1	0	0	0	0
0	1001	1001	1	0	0	1	0
0	1010	bbbb	b	b	b	b	b
0	1011	bbbb	b	b	b	b	b
0	1100	bbbb	b	b	b	b	b
0	1101	bbbb	b	b	b	b	b
0	1110	bbbb	b	b	b	b	b
0	1111	bbbb	b	b	b	b	b
1	0000	0001	0	0	0	1	0
1	0001	0010	0	0	1	0	0
1	0010	0011	0	0	1	1	0
1	0011	0100	0	1	0	0	0
1	0100	0101	0	1	0	1	0
1	0101	0110	0	1	1	0	0
1	0110	0111	0	1	1	1	0
1	1111	1000	1	0	0	0	0
1	1000	1001	1	0	0	1	0
1	1001	0000	0	0	0	0	1
1	1010	bbbb	b	b	b	b	b
1	1011	bbbb	b	b	b	b	b
1	1100	bbbb	b	b	b	b	b
1	1101	bbbb	b	b	b	b	b
1	1110	bbbb	b	b	b	b	b
1	1111	bbbb	b	b	b	b	b

Slika 24 Kombinaciona tablica dekadnog brojača



## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Minimizacijom se dobija:

$$D_0 = \bar{A}_0 C_0 + A_0 \bar{C}_0$$

$$D_1 = \bar{A}_3 \bar{A}_1 A_0 C_0 + A_1 \bar{A}_0 + A_1 \bar{C}_0$$

$$D_2 = \bar{A}_2 A_1 A_0 C_0 + A_2 \bar{A}_1 + A_2 \bar{A}_0 + A_2 \bar{C}_0$$

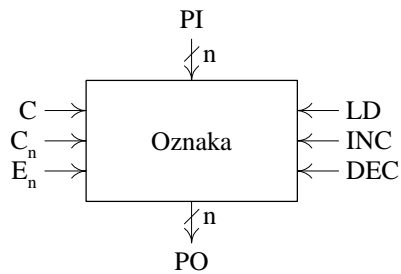
$$D_3 = A_2 A_1 A_0 C_0 + A_3 \bar{A}_0 + A_3 \bar{C}_0$$

$$C_4 = A_3 A_0 C_0$$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.2 BROJAČI

Grafički simbol brojača je dat na slici 25.

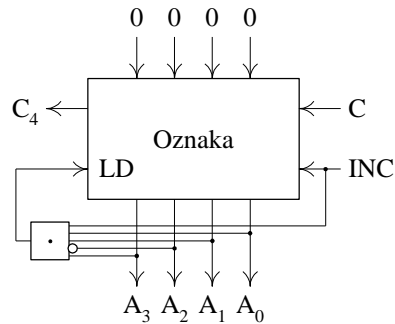


Slika 25 Grafički simbol brojača

## VIII. STANDARDNI SEKVENCIJALNI MODULI

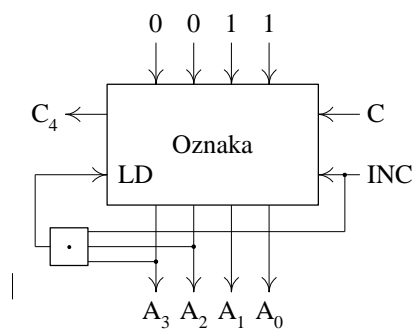
### VIII.2 BROJAČI

Na slici 26 je prikazano kako se brojač po modulu 12 realizuje s brojačem po modulu 16.



Slika 26 Brojač po modulu 12

Na slici 27 je prikazano kako se brojač 3 do 12 realizuje s brojačem po modulu 16.



Slika 27 Brojač od 3 do 12

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.3 REGISTRI SA VIŠE FUNKCIJA

Registri su bili tako realizovani da su mogle da se realizuju operacije paralelnog upisa, serijskog upisa pomeranjem ulevo i serijskog upisa pomeranjem udesno.

Brojači su bili tako realizovani da su mogle da se realizuju operacije inkrementiranja, dekrementiranja i paralelnog upisa.

U slučaju registara i brojača realizacija svih operacija se svodila na generisanje odgovarajućih vrednosti signala poguda i paralelni upis, pa su se i registri i brojači ponašali kao registri sa više funkcija.

Postupak primenjen na takvu realizaciju registara i brojača se može generalizovati na realizaciju registara sa više koji imaju mogućnost realizacije određenih operacija.

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.3 REGISTRI SA VIŠE FUNKCIJA

Poseban postupak se zasniva na sledeće dve osobine:

1. operacije su vremenski razdvojene i u svakom trenutku najviše jedan upravljački signal operacija može da ima aktivnu vrednost i
2. kada su vrednosti svih upravljačkih signala neaktivne treba obezbediti takve vrednosti signala pobuda da se sadržaj registra ne menja.

Ovo omogućuje da se

1. funkcije pobuda najpre određuju posebno za svaku operaciju a zatim objedinjuju i
2. definiše interni upravljački signal NOP koji ima aktivnu vrednost samo kada svi upravljački signali operacija imaju neaktivnu vrednost.

Pri neaktivnoj vrednosti signala NOP sadržaj i-tog razreda registra se ne menja ukoliko je

$$D_i = A_i,$$

$$T_i = 0,$$

$$R_i = 0 \text{ i } S_i = 0 \text{ i}$$

$$J_i = 0 \text{ i } K_i = 0$$

za flip-flobove kod kojih je 1 aktivna vrednost i

$$D_i = \overline{A}_i,$$

$$T_i = 1,$$

$$R_i = 1 \text{ i } S_i = 1 \text{ i}$$

$$J_i = 1 \text{ i } K_i = 1$$

za flip-flobove kod kojih je 0 aktivna vrednost i

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.3 REGISTRI SA VIŠE FUNKCIJA

Funkcije pobuda flip-flopova kod kojih je 1 aktivna vrednost su date na slici 28.

OP	$D_i$	$T_i$	$R_i$	$S_i$	$J_i$	$K_i$
NOP	$A_i$	0	0	0	0	0
LD	$I_i$	$I_i \text{ xor } A_i$	$\bar{I}_i$	$I_i$	$I_i$	$\bar{I}_i$
SR	$A_{i+1}$	$A_{i+1} \text{ xor } A_i$	$\bar{A}_{i+1}$	$A_{i+1}$	$A_{i+1}$	$\bar{A}_{i+1}$
SL	$A_{i-1}$	$A_{i-1} \text{ xor } A_i$	$\bar{A}_{i-1}$	$A_{i-1}$	$A_{i-1}$	$\bar{A}_{i-1}$
INC	$A_i \text{ xor } C_i$	$C_i$	$A_i \cdot C_i$	$\bar{A}_i \cdot C_i$	$C_i$	$C_i$
DEC	$A_i \text{ xor } E_i$	$E_i$	$A_i \cdot E_i$	$\bar{A}_i \cdot E_i$	$E_i$	$E_i$

Slika 28 Funkcije pobuda flip-flopova kod kojih je 1 aktivna vrednost

Na osnovu toga se dolazi do sledećih izraza sa signale pobuda i-tog razreda registra sa više funkcija realizovanog sa D, T, RS i JK flip-flopovima kod kojih je 1 aktivna vrednost.

$$D_i = \text{NOP} \cdot A_i + \text{LD} \cdot I_i + \text{SR} \cdot A_{i+1} + \text{SL} \cdot A_{i-1} + \text{INC} \cdot (A_i \text{ xor } C_i) + \text{DEC} \cdot (A_i \text{ xor } E_i)$$

$$T_i = \text{NOP} \cdot 0 + \text{LD} \cdot (I_i \text{ xor } A_i) + \text{SR} \cdot (A_{i+1} \text{ xor } A_i) + \text{SL} \cdot (A_{i-1} \text{ xor } A_i) + \text{INC} \cdot C_i + \text{DEC} \cdot E_i$$

$$S_i = \text{NOP} \cdot 0 + \text{LD} \cdot I_i + \text{SR} \cdot A_{i+1} + \text{SL} \cdot A_{i-1} + \text{INC} \cdot \bar{A}_i \cdot C_i + \text{DEC} \cdot \bar{A}_i \cdot E_i$$

$$R_i = \text{NOP} \cdot 0 + \text{LD} \cdot \bar{I}_i + \text{SR} \cdot \bar{A}_{i+1} + \text{SL} \cdot \bar{A}_{i-1} + \text{INC} \cdot A_i \cdot C_i + \text{DEC} \cdot A_i \cdot E_i$$

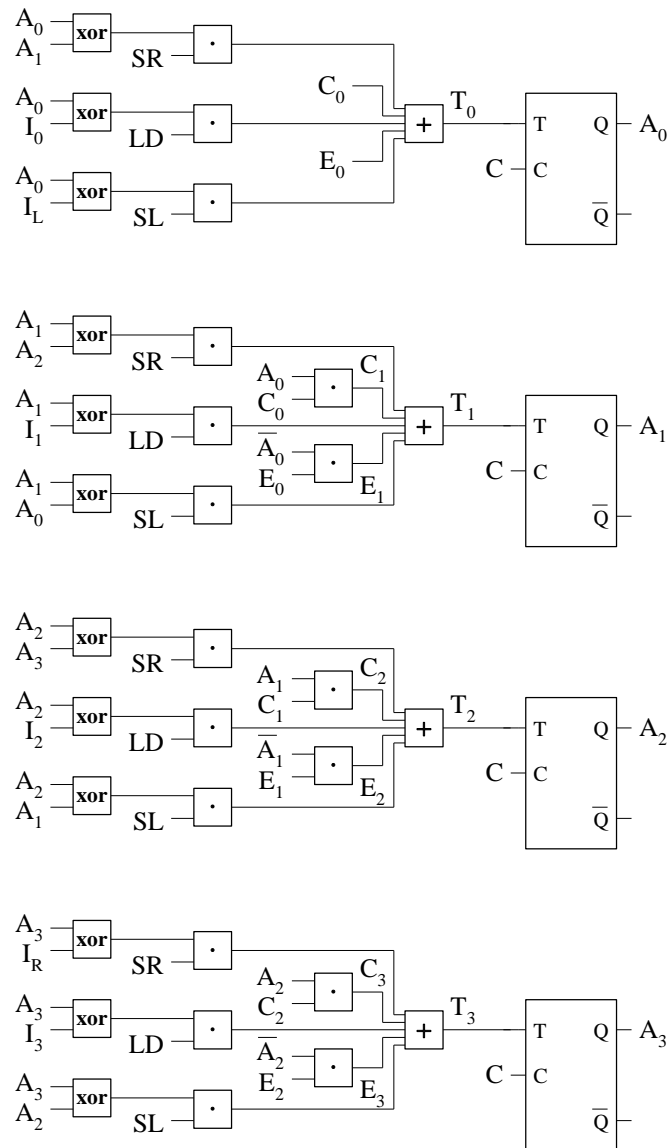
$$J_i = \text{NOP} \cdot 0 + \text{LD} \cdot I_i + \text{SR} \cdot A_{i+1} + \text{SL} \cdot A_{i-1} + \text{INC} \cdot C_i + \text{DEC} \cdot E_i$$

$$K_i = \text{NOP} \cdot 0 + \text{LD} \cdot \bar{I}_i + \text{SR} \cdot \bar{A}_{i+1} + \text{SL} \cdot \bar{A}_{i-1} + \text{INC} \cdot C_i + \text{DEC} \cdot E_i$$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.3 REGISTRI SA VIŠE FUNKCIJA

Strukturna šema i-tog razreda registra sa više funkcija realizovanog sa T flip-flopovima kod kojih je 1 aktivna vrednost je data na slici 28.



Slika 29 Struktura četvororazrednog registra sa više funkcija

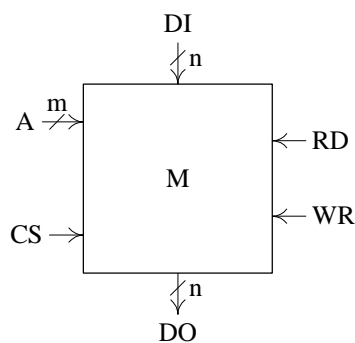
## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Memorije su komponente koje u digitalnim računarima i drugim digitalnim sistemima i uređajima služe za pamćenje više binarnih reči.

Ima više tipova memorija, a predmet razmatranja su memorije sa ravnopravnim pristupom RAM (Random Access Memory). Kod ovih memorija vreme pristupa u cilju upisa ili čitanja binarne reči je nezavisno od mesta na kojem se reč u memoriji nalazi.

Za predstavljanje memorije sa ravnopravnim pristupom kao bloka koristi se grafički simbol dat na slici 31.



Slika 30 Grafički simbol memorije sa ravnopravnim pristupom



## VIII. STANDARDNI SEKVENCIJALNI MODULI

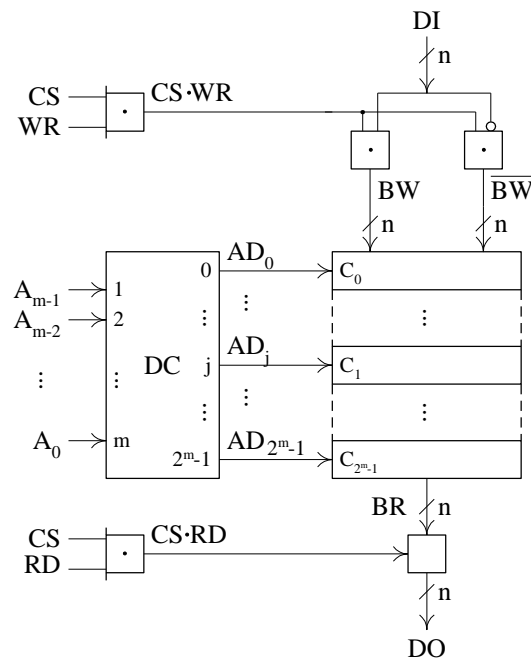
### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Strukturna šema memorije sa ravnopravnim pristupom je data na slici 31.

Osnovne komponente memorije su:

dekoder sa  $m$  ulaza i  $2^m$  izlaza i

memorijska matrica sa  $2^m$  ćelija  $C_0, \dots, C_j, \dots, C_{2^m-1}$ .



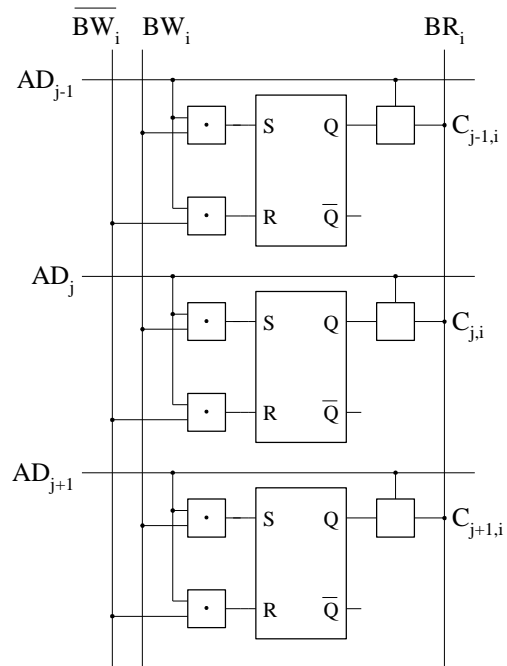
Slika 31 Strukturna šema memorije sa ravnopravnim pristupom

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Strukturna šema memorijske matrice je data na slici 32.

Svaka ćelija se sastoji od  $n$  jednakih razreda sa asinhronim RS flip-flopovima.



Slika 32 Strukturna šema memorijske matrice

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Ulazi i izlazi svih razreda ćelije  $C_j$  su vezani na izlaznu liniju dekodera  $AD_j$ , gde je  $j=0, \dots, j, 2^m-1$ . Na taj način je svakoj ćeliji pridružen jedinstven broj koji se naziva adresa memorijske ćelije. Kada se adresa  $A$  kao binarni broj dovede na ulaze dekodera  $A_{m-1}, A_{m-2}, \dots, A_0$  na odgovarajućoj izlaznoj liniji dekodera pojavljuje se aktivna vrednost signala i time adresirana ćelija selektuje za upis i čitanje.

Ulazi  $i$ -tog razreda svih ćelija  $C_0, \dots, C_j, \dots, C_{2^m-1}$  vezani su na linije za upis  $BW_i$  i  $\overline{BW}_i$ , a izlazi na liniju za čitanje  $BR_i$ , gde je  $i=n-1, n-2, \dots, 0$ .

U selektovanu ćeliju upisuje se binarna reč sa ulaza  $DI$  aktivnim vrednostima signala  $WR$  i  $CS$ .

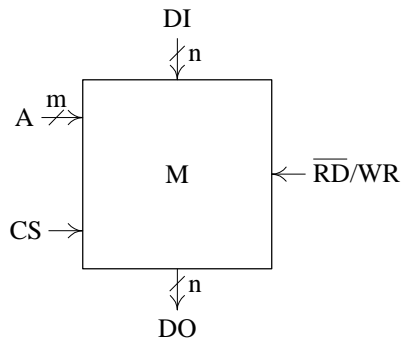
Iz selektovane ćelije binarna reč se čita aktivnim vrednostima signala  $RD$  i  $CS$ .

Ulaz  $C$  se koristi pri povezivanju memorija određenog kapaciteta i određene širine ćelija u memorije većeg kapaciteta.

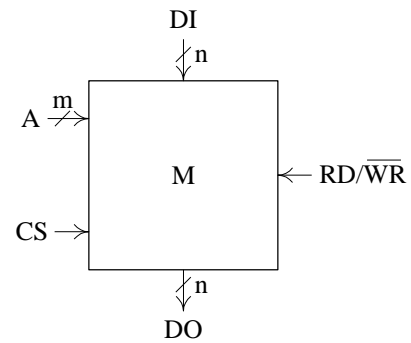
## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Memorije često imaju samo jedan ulaz za signal čitanja i upisa obično označen sa  $\overline{RD}/\overline{WR}$  ili  $RD/\overline{WR}$  (slike 33 i 34). Unutar memorije se od ovih signala formiraju signali RD i WR, tako da je strukturna šema ista kao i strukturna šema na slici 31.



Slika 33 Grafički simbol memorije sa  $\overline{RD}/\overline{WR}$



Slika 34 Grafički simbol memorije sa  $RD/\overline{WR}$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

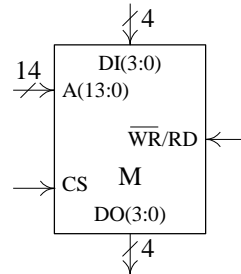
Memorijski moduli određenog kapaciteta i određene širine memorijske reči mogu se koristiti za konstruisanje

- memorija veće širine memorijske reči,
- memorija većeg kapaciteta i
- memorija i veće širine memorijske reči i većeg kapaciteta.

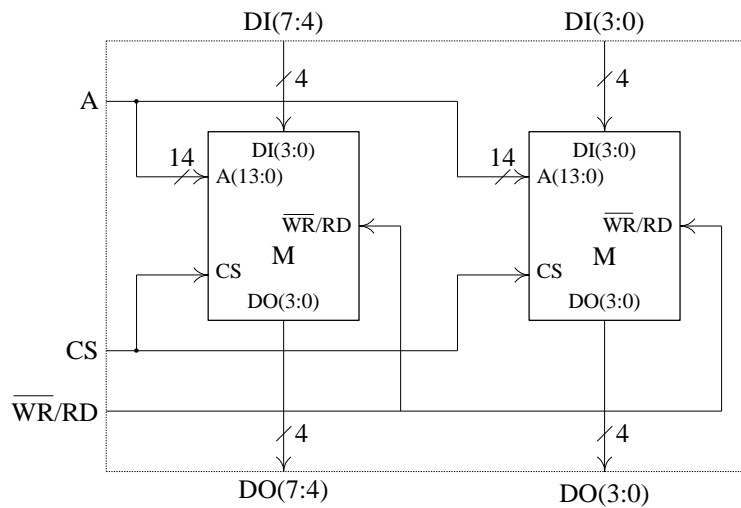
## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Memorijski modul kapaciteta 16K x 4, čiji je grafički simbol dat na slici 35, koristi se za konstruisanje memorije kapaciteta 16K x 8 na način prikazan na slici 36.



Slika 35 Grafički simbol memorijskog modula 16K x 4

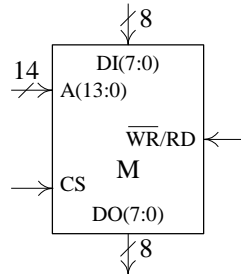


Slika 36 Strukturna šema memorije 16K x 8

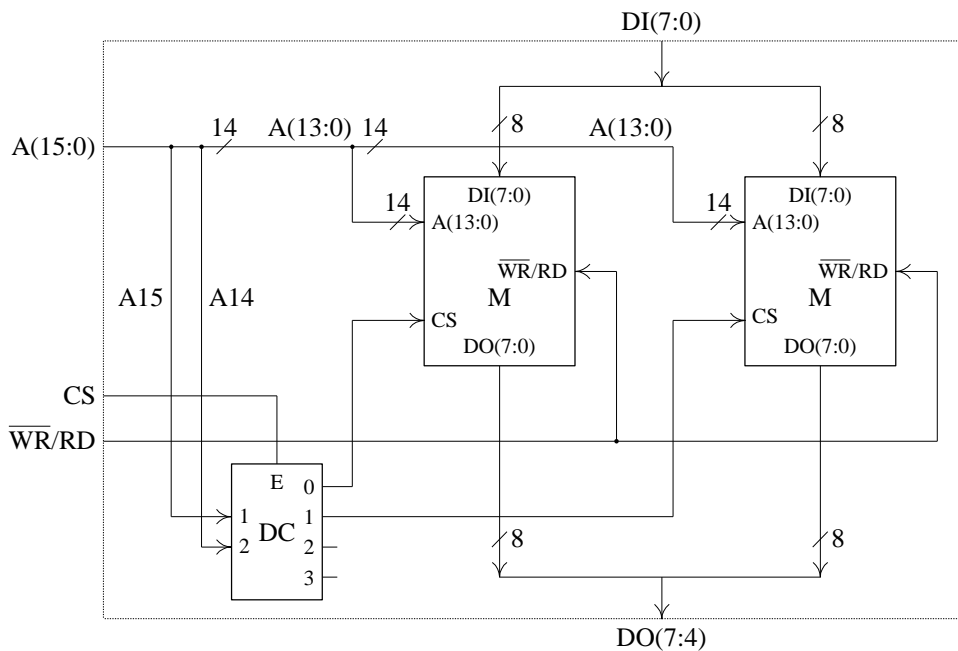
## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Memorijski modul kapaciteta 16K x 8, čiji je grafički simbol dat na slici 37, koristi se za konstruisanje memorije kapaciteta 32K x 8 na način prikazan na slici 38.



Slika 37 Grafički simbol memorijskog modula 16K x 8

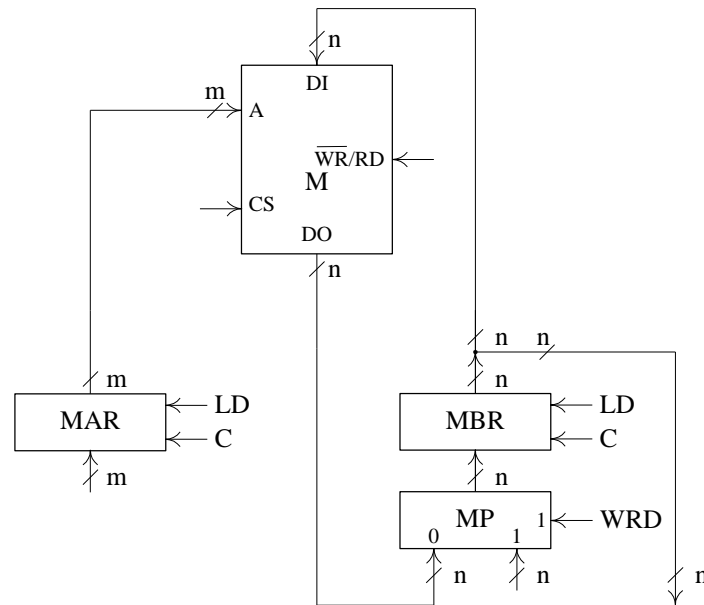


Slika 38 Strukturna šema memorije 32K x 8

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Za realizaciju operacija upisa i čitanja sa memorijom mora da se koriste registri MAR i MBR. Jedan od mogućih načina njihovog poveziavanja sa memorijom je prikazan na slici 39.



Slika 39 Povezivanje procesora i drugih uređaja i memorije korišćenjem magistrale



## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Redosled promene signala memorije pri upisu i čitanju određen je vremenskim parametrima. Ovde se definišu neki od najvažnijih parametara. Oznake W i R su iz praktičnih razloga zamenjene sa WR i RD.

Vreme postavljanja  $t_{SU}$  (Set Up time) je minimalni vremenski interval između promene signala sa neaktivne na aktivnu vrednost na dva različita ulaza memorije. Najčešće se definišu:  $t_{SU(A-WR)}$ ,  $t_{SU(CS-WR)}$ ,  $t_{SU(DI-WR)}$  itd.

Vreme zadržavanja  $t_H$  (Hold time) je minimalni vremenski interval između promene signala sa neaktivne na aktivnu vrednost na jednom i sa aktivne na neaktivnu vrednost na drugom ulazu memorije. Najčešće se definišu:  $t_{H(A-WR)}$ ,  $t_{H(CS-WR)}$ ,  $t_{H(DI-WR)}$  itd.

Vreme trajanja  $t_W$  (Width time) je minimalni vremenski interval između promene nekog ulaznog signala sa neaktivne na aktivnu vrednost i ponovnog vraćanja na neaktivnu vrednost. Najčešće se definišu:  $t_{W(WR)}$ ,  $t_{W(RD)}$ ,  $t_{W(CS)}$  itd.

Vreme završavanja  $t_V$  je minimalni vremenski interval između promene signala sa aktivne na neaktivnu vrednost na dva različita ulaza memorije. Najčešće se definišu:  $t_{V(WR-A)}$ ,  $t_{V(WR-CS)}$ ,  $t_{V(WR-DI)}$  itd.

Vreme pristupa  $t_A$  (Access time) je maksimalni vremenski interval između promene nekog ulaznog signala sa neaktivne na aktivnu vrednost i pojave binarne reči na izlazima DO. Pritom se pretpostavlja da svi ostali signali potrebni za čitanje imaju aktivne vrednosti. Najčešće se definišu:  $t_{A(A)}$ ,  $t_{A(CS)}$  i  $t_{A(RD)}$ .

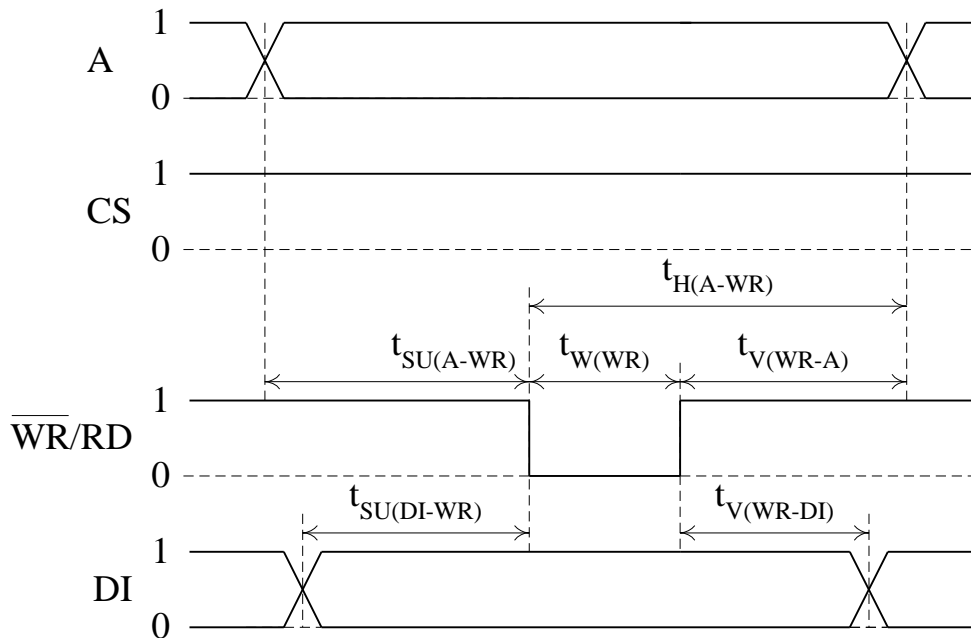
Vreme obnavljanja  $t_{DIS}$  je maksimalni vremenski interval između promene nekog ulaznog signala od kojeg zavisi čitanje sa aktivne na neaktivnu vrednost i uspostavljanja odgovarajućeg stanja na izlazima. Najčešće se definišu:  $t_{DIS(CS)}$  i  $t_{DIS(RD)}$ . Primer je prelazak signala CS sa aktivne na neaktivnu vrednost i promena stanja na izlazima DO.

Ciklus operacije  $t_{CY}$  (Cycle time) je minimalni vremenski interval u koje se može realizovati operacija upisa u memoriju ili operacija čitanja iz memorije. Najčešće se definišu:  $t_{CY(WR)}$  i  $t_{CY(RD)}$ . Pritom  $t_{CY}$  predstavlja zbir nekih prethodno definisanih vremenskih intervala.

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Vremenski oblici signala za operaciju upisa u memoriju pri konstantnom signalu CS su dati na slici 40.



Slika 40 Vremenski oblici signala za operaciju upisa u memoriju

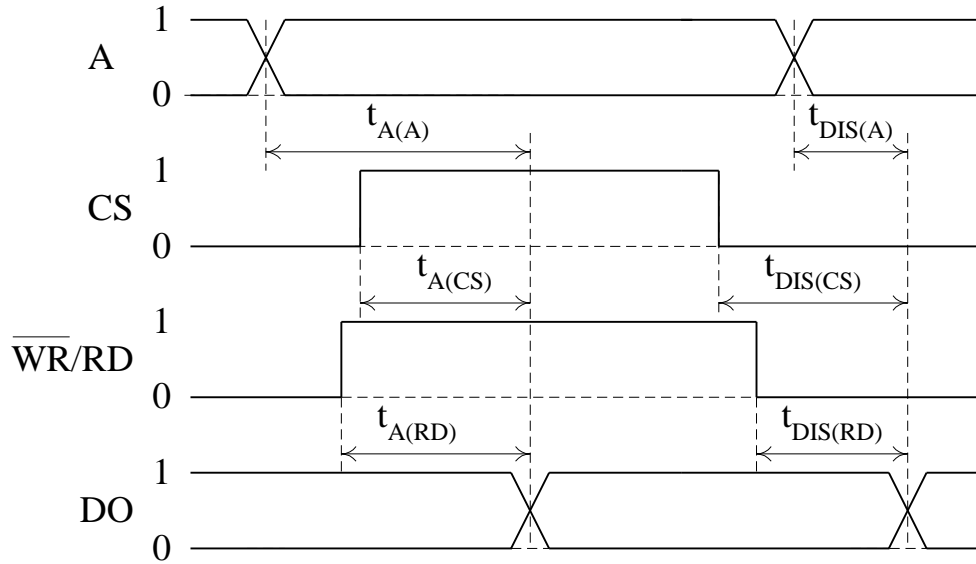
Sa slike se vidi da je

$$t_{CY(WR)} = t_{SU(A-WR)} + t_{W(WR)} + t_{V(WR-A)}.$$

## VIII. STANDARDNI SEKVENCIJALNI MODULI

### VIII.4 MEMORIJE SA RAVNOPRAVNIM PRISTUPOM

Vremenski oblici signala za operaciju čitanja iz memorije su dati na slici 41.



Slika 41 Vremenski oblici signala za operaciju čitanja iz memorije