



Организација рачунара

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=F000h, adrSR=F001h, adrDR=F002h) и периферија PER1 (adrCR=F010h, adrSR=F011h, adrDR=F012h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 1 одређује смер операције (0-улаз, 1-излаз), бит 2 је Enable којим се дозвољава прекид, а у статусним регистрима бит 0 је Ready који сигнализира спремност контролера. Написати главни програм и одговарајуће прекидне рутине којима се врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 1000h, врши обрада низа A и формирање низа C и слање новоформираног низа C(i) (i=0...FFh) на периферују PER1. Након читавања низа A формира се низ C, који почиње од адресе 2000h у меморији. Низ C се формира на следећи начин: C(i) добија вредност A(i), ако је A(i) степен двојке или C(i) добија вредност 0, у супротном. На крају се низ C шаље на периферију PER1. Пријем са PER0 реализовати испитивањем бита спремности, а слање низа C на PER1 реализовати коришћењем механизма прекида.

Напомена: Процесор не поседује операцију дељења.

2.(20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 GB и ширине меморијске речи 1 В. "Data" део кеш меморије је капацитета 4 MB и ширине меморијске речи 1 В. Пресликавање је на нивоу блокова величине 256 В.

а) (8) Нацртати структурну шему кеш меморије и оперативне меморије. На слици приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. На слици означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

б) (7) Објаснити целокупан поступак уписа податка у ситуацији када у кеш меморији не постоји сагласност, а блок који се налази у улазу који је одабран за замену је модификован у кеш меморији. Напомена: у објашњењима користити ознаке које су дате на слици приликом одговора на питање из тачке под а).

в) (5) У оперативној меморији на адреси 0026 0712h налази се податак 11h. Блок коме припада ова адреса довучен је у улаз 00ABh кеш меморије и није од тада модификован. Приказати вредности V и D бита и садржај TAG меморије улаза 00ABh кеш меморије. На којој адреси у DATA меморији ће се налазити вредност 11h, која је довучена из оперативне меморије са адресе 0026 0712h.

3.(10) Једноадресни процесор, меморија и периферија повезани су 16-битном адресном и 8-битном магистралом података. Подаци су величине 2 бајта. Меморијски и улазно/излазни адресни простор су раздвојени. Садржај дела оперативне меморије дат је на слици.

Адреса:	0500h	0501h	0502h	0503h	0504h	0505h	0506h	0507h
Садржај:	00h	01h	04h	00h	21h	A0h	00h	10h
Адреса:	1000h	1001h	1002h	1003h	1004h	1005h	1006h	1007h
Садржај:	20h	01h	05h	00h	08h	81h	10h	10h
Адреса:	1008h	1009h	100Ah	100Bh	100Ch	100Dh	100Eh	100Fh
Садржај:	20h	11h	07h	FFh	20h	01h	05h	02h
Адреса:	1010h	1011h	1012h	1013h	1014h	1015h	1016h	1017h
Садржај:	20h	01h	05h	02h	00h	01h	30h	33h

Процесор поседује 16-битне регистре PC (програмски бројач), SP (показивач на прву слободну локацију стека који расте према нижим адресама), регистре опште намене од R0 до R7 и A (акумулатор). Први бајт инструкције увек садржи само код операције, а други начин адресирања. Инструкције су величине један, два, три или четири бајта. Главни програм је дат на слици. Претпоставити да је пре почетка извршавања главног програма SP = F000h, R1 = 2021h, а да се виши бајт 16-битне речи смешта на нижу адресу.

адреса	инструкција	коментар
1000h	LOAD 500h	; memorijsko direktno adresiranje
1004h	DEC	;
1005h	JNZ 1010h	;
1008h	LOAD R1	; registarsko direktno adresiranje
100Ah	PUSH	;
100Bh	HALT	; zaustavljanje procesora
...		
1010h	LOAD 502h	; memorijsko direktno adresiranje
1014h	HALT	; zaustavljanje procesora

Навести секвенцу садржаја на адресној магистралу, магистралу података и контролној магистралу за сваки циклус на магистралу (као што је приказано на слици) при извршавању датог програма до инструкције **HALT**.

T.	Адресна маг.	Маг. података	R	W	M/ $\bar{I}\bar{O}$	Коментар
1.	...					

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 90 минута.