



## Организација рачунара – К2

**1. (15)** Адресни простор процесора је величине 64KB, адресибилна јединица је бајт. Процесор оперише само са целобројним величинама без знака величине 16 бита, а 16-битни подаци и адресе се смештају у меморију тако да је на нижој адреси виши бајт. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0. Процесор има три улазне линије IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ1 највишег приоритета, а IRQ3 најнижег приоритета, на које су везане периферије PER1, PER2 и PER3, респективно, којима треба доделити улазе 2, 4 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1105h, 1100h и 110Ah, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 10h, 20h и 30h, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоје бит I (*Interrupt Enable*), који се хардверски поставља на вредност 0 током извршавање фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавање фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију на стеку. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQ3, у току 2. по линији IRQ2, а у току 3. по линији IRQ3. Акумулатор је дужине 16 бита, а регистар PSW 8 бита. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ<sub>*i*</sub> (бит 0 се не користи), а вредност овог регистра је Ah. Инструкције RTI, INTE и INTD не реагују на прекид.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 2h
0103h	INCA
0104h	INCA
0105h	STORE 10h
0107h	INTD

Слика 2

Адреса	Наредба
1100h	INTE
1101h	LOAD 4h
1103h	DECA
1104h	RTI
1105h	POPA
1106h	STORE 10h
1108h	PUSHA

Слика 3

Адреса	Садржај
0000h	10h
0001h	01h
0002h	11h
0003h	03h
0004h	11h
0005h	05h

**а)(3)** Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

**б)(3)** Написати део програма којим се иницијализују улази 2, 4 и 6 у вектор табели.

**в)(6)** Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

**д)(3)** Које ће се вредности налазити на локацијама 0010h и 0011h након извршења секвенце под в)?

**2. (5)** Посматра се систем који се састоји из процесора, периферије са контролером периферије и меморије повезаних синхроним магистралом. Навести сигнале које периферија (контролер периферије) и процесор размењују у ситуацијама када периферија шаље број улаза у IV табелу. Нацртати и објаснити временске облике сигнала које том приликом периферија и процесор размењују.

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 90 минута.