



## Организација рачунара – КЗ

**1.(20)** Једноадресни процесор са меморијски мапираним улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 5 је Start којим се дозвољава почетак операције, бит 0 одређује смер операције (0-улаз, 1-излаз), бит 1 је Enable којим се дозвољава прекид, а у статусним регистрима бит 13 је Ready који сигнализира спремност контролера. Бит 2 управљачког регистра DMA контролера задаје режим рада (0-циклус по циклус, 1-блоковски). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 0100h и низа B(i) (i=0...FFh) са PER2 у меморијски блок почев од адресе 0200h. Након читавања низова A и B формира се низ C, који почиње од адресе 0300h у меморији, на следећи начин:  $C(i) = A(i) - B(i)$  (i=0...FFh). На крају се низ C упоредо шаље на периферије PER1 и PER2. Пријем са PER0 реализовати испитивањем бита спремности, пријем са PER2 реализовати коришћењем DMA контролера у циклус по циклус режиму рада, слање низа C на PER1 реализовати коришћењем механизма прекида, а слање низа C на PER2 реализовати коришћењем DMA контролера у циклус по циклус режиму рада.

**2. (20)** Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор је величине 4 GB и подељен је на странице величине 4 KB. Физички адресни простор је величине 1 GB и подељен је на блокове величине 4 KB. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 1 бајт. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 64 странице различитих процеса. Број процеса је 16.

**а) (7)** Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

**б) (7)** Објаснити функцију бита V и D у табели страница, као и поља tag у TLB јединице. Објаснити ко и када поставља и користи свако од поља улаза табеле страница и TLB јединице.

**в) (6)** Објаснити цео поступак пресликавања виртуелне у физичку адресу уколико у TLB јединици не постоји дескриптор странице а страница се налази у оперативној меморији. Назначити шта се од тога ради хардверски а шта софтверски.

**Напомене:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



## Организација рачунара – К2

**1. (15)** Адресни простор процесора је величине 16GB, адресибилна јединица је 32-битна реч, а вишечерни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са меморијски пресликаним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела има 8 фиксних улаза и почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 10h. Процесор има две улазне линије IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. Њима су придружени улази 0, 2 и 4 у IV табелу, респективно. Улаз 6 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 1000h, 1003h, 1009h и 1007h, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*), који се хардверски постављају на вредност 0 током извршавања фазе *опслуживање прекида*, као и одређен број L бита, који се хардверски, током извршавања фазе *опслуживање прекида*, постављају на ниво приоритета прекидне рутине на коју се скаче у случају маскирајућег прекида. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према вишим локацијама, а SP показује на последњу заузету локацију на стеку. Акумулатор је 32-битни. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM0, у току 4. по линији IRQN, а у току 6. по линији IRQM1. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Инструкције INTE, INTD, TRPE, TRPD и RTI не реагују на прекиде.

**Слика 1**

<u>Адреса</u>	<u>Наредба</u>
0100h	LOAD #1h
0102h	INTE
0103h	ADD #1h
0105h	STORE 1h
0107h	INTD

**Слика 2**

<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>
1000h	INTE	1006h	RTI
1001h	INCA	1007h	LOAD 1h
1002h	RTI	1009h	INCA
1003h	INCA	100Ah	STORE 1h
1004h	INTE	100Ch	INCA
1005h	DECA	100Dh	RTI

**а)(3)** Нацртати изглед свих познатих улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

**б)(3)** Написати део програма којим се иницијализује улази 0, 2 и 4 у вектор табели.

**в)(3)** Написати секвенцу адреса наредби које се редом извршавају почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

**г)(3)** Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

**2. (5)** Посматра се синхрона магистрала на којој се циклуси читања и уписа тако реализују да је магистрала заузета све време трајања циклуса. Време приступа меморији износи 4 такта.

**а)** Нацртати временске облике сигнала које током реализације циклуса читања размењују газда и слуга и објаснити чему сваки од сигнала служи и ко га генерише.

**б)** Нацртати временске облике сигнала које током реализације циклуса уписа размењују газда и слуга и објаснити чему сваки од сигнала служи и ко га генерише.