



Организација рачунара – К3

1.(20) Једноадресни процесор са раздвојеним меморијским и улазно/излазним адресним простором, меморија, периферија PER0 (adrCR=FF10h, adrSR=FF11h, adrDR=FF12h), периферија PER1 (adrCR=FF20h, adrSR=FF21h, adrDR=FF22h) и периферија PER2 (adrCR=FF30h, adrSR=FF31h, adrDR=FF32h) са придруженим контролером периферије DMA (adrCR=FF00h, adrSR=FF01h, adrDR=FF02h, adrCNT=FF03h, adrAs=FF04h, adrAd=FF05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу је одређен фиксно за сваку периферију. У управљачким регистрима бит 7 је Start којим се дозвољава почетак операције, бит 6 одређује смер операције (1-улаз, 0-излаз), бит 8 је Enable којим се дозвољава прекид, а у статусним регистрима бит 4 је Ready који сигнализира спремност контролера. Бит 1 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајуће прекидне рутине којима се: упоредо врши читавање низа A(i) (i=0..FFh) са PER0 у меморијски блок који почиње од адресе 0100h, низа B(i) (i=0..FFh) са PER1 у меморијски блок почев од адресе 0200h и низа C(i) (i=0..FFh) са PER2 у меморијски блок почев од адресе 0300h. Након читавања низова A, B и C врши се формирање низа D, који почиње од адресе 0400h у меморији, на следећи начин: $D(i) = (A(i) + B(i)) - C(i)$ (i=0..FFh). На крају се резултујући низ шаље на периферију PER2. Пријем са PER0 реализовати коришћењем механизма прекида, пријем са PER1 реализовати испитивањем бита спремности, пријем са PER2 реализовати коришћењем DMA контролера у блоковском режиму рада, а слање на PER2 коришћењем DMA контролера у циклус по циклус режиму рада.

2. (20) Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор је величине 8 Гбајта и подељен је на странице величине 8 Кбајт. Физички адресни простор је величине 8 Гбајта и подељен је на блокове величине 8 Кбајт. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 2 бајта. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 256 страница различитих процеса. Број процеса је 16.

(10) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

(5) Објаснити функцију свих делова табеле страница и TLB јединице, као и значење свих поља једног улаза табеле страница и TLB јединице. Објаснити ко и када поставља и користи свако од поља улаза табеле страница и TLB јединице.

(5) Објаснити цео поступак пресликавања виртуелне у физичку адресу и у оквиру тога прецизно објаснити:

1. Шта се све ради када се утврђује да у TLB јединици постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски.

2. Шта се све ради када се утврђује да у TLB јединици не постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски. Навести шта се ради у два ситуацијама које том приликом могу да настану и то једанпут када је страница у меморији и други пут када страница није у меморији, као и шта се од тога ради хардверски а шта софтверски.

3. Шта се све ради када процес, који је био блокиран због тога што дескриптор странице није био у TLB јединици и страница није била у меморији, постане деблокиран, добије процесор и поново покуша превођење исте виртуелне у физичку адресу, као и шта се од тога ради хардверски а шта софтверски.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 128KB, адресибилна јединица је 16-битна реч, а вишеречни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0000h. Процесор има три улазне линије IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ1 најнижег приоритета, а IRQ3 највишег приоритета, на које су везане периферије PER1, PER2 и PER3, респективно, којима треба доделити улазе 3, 7 и 1 у вектор табели, и којима одговарају прекидне рутине на адресама 100Fh, 1000h и 1009h, респективно. Адресе регистра у којима се чувају бројеви улаза су: 10h, 1Fh и 25h, респективно. Улаз 5 у IV табели се користи у свим осталим случајевима, којима одговара прекидна рутина на адреси 1011h. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према вишим локацијама. Регистар SP (*Stack Pointer*) показује на последњу заузету локацију на стеку. Акумулатор је 16-битни. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ2, у току 4. по линији IRQ3, а у току 5. по линији IRQ1. На почетку су сви бити PSW-а постављени на 0. Не постоји регистар маске IMR. Инструкције INTE, INTD и RTI не реагују на прекид.

<u>адреса</u>	<u>наредба</u>	<u>адреса</u>	<u>наредба</u>	<u>адреса</u>	<u>наредба</u>
0100h	INTE	1000h	INTE	100Ah	RTI
0101h	LOAD 0001h	1001h	ADD 0001h	100Bh	DECA
0103h	INCA	1003h	STORE 0000h	100Ch	STORE 0000h
0104h	STORE 0000h	1005h	RTI	100Eh	RTI
0106h	DECA	1006h	INTE	100Fh	SUB 0007h
0107h	DECA	1007h	ADD 0000h	1011h	INCA
0108h	INTD	1009h	INCA	1012h	RTI

слика 1

слика 2

- а)(3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.
б)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
с)(3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
д)(3) Приказати садржај свих познатих локација на врху стека након извршавања 5. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.
е)(3) Која ће се вредност налазити на локацији 0000h након извршења секвенце под с)?

2. (5) Посматра се асинхрона магистрала на којој се циклус читања реализује тако да је магистрала заузета све време трајања циклуса.

- а) Нацртати временске облике сигнала које током реализације циклуса читања размењују газда и слуга.
б) Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања.