



Организација рачунара – КЗ

1.(20) Једноадресни процесор са меморијски мапираним улазно/излазним и адресним простором, меморија, периферија PER0 (adrCR=ff10h, adrSR=ff11h, adrDR=ff12h), периферија PER1 (adrCR=ff20h, adrSR=ff21h, adrDR=ff22h) и периферија PER2 (adrCR=ff30h, adrSR=ff31h, adrDR=ff32h) са придруженим контролером периферије DMA (adrCR=ff00h, adrSR=ff01h, adrDR=ff02h, adrCNT=ff03h, adrAs=ff04h, adrAd=ff05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу за PER0 и PER1 је одређен фиксно и износи 1. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 1 одређује смер операције (1-улаз, 0-излаз), бит 2 је Enable којим се дозвољава прекид, а у статусним регистрима бит 4 је Ready који сигнализира спремност контролера. Бит 5 управљачког регистра DMA контролера задаје режим рада (0-блоковски, 1-циклус по циклус). Написати главни програм и одговарајућу прекидну рутину којима се: упоредо врши учитавање низа A(i) (i=0...FFh) са PER0 у меморијски блок који почиње од адресе 1000h, и низа B(i) (i=0...FFh) са PER1 у меморијски блок почев од адресе 2000h, и низа C(i) (i=0...FFh) са PER2 у меморијски блок почев од адресе 3000h. Након учитавања свих низова изврши се тражење максималног (C(i) = MAX(A(i), B(i), C(i))) и резултујући низ се шаље на периферију PER2. Улаз са PER0 и улаз са PER1 реализовати коришћењем механизма прекида, улаз са PER2 коришћењем DMA контролера у циклус по циклус режиму рада а излаз на PER2 коришћењем DMA контролера у блоковском режиму рада.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 16 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 128 бајтова.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а 32-битни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 10h. Процесор има две улазне линију IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. Њима су придружени улази 1, 2 и 3 у IV табелу, респективно. Улаз 0 се користи у случају *Trap* режима рада. Прекидне рутине започињу на следећим адресама: 1000h, 1003h, 100Dh и 1008h, респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PSW, PC и ACC тим редом. Стек расте према нижим локацијама. Акумулатор је 32-битни. Инструкције INTE, INTD, TRPE, TRPD и RTI не реагују на прекид. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM1, у току 4. по линији IRQN, а у току 9. по линији IRQM0. На почетку су сви бити PSW-а постављени на 0.

Слика1

Адреса Наредба

0100h LOAD #1h
0102h TRPE
0103h INTE
0104h STORE 1h

Адреса Наредба

0106h ADD #3h
0108h INCA
0109h INTD
010Ah TRPD

Слика 2

Адреса Наредба

1000h INTE
1001h INCA
1002h RTI
1003h INCA
1004h SUB #2
1006h DECA

Адреса Наредба

1007h RTI
1008h LOAD 1h
100Ah INCA
100Bh STORE 1h
100Dh INCA
100Eh RTI

- а)(3)** Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- б)(3)** Написати део програма којим се иницијализује улаз 2 у вектор табели.
- в)(3)** Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- г)(3)** Приказати садржај свих познатих локација на врху стека након извршавања 9. инструкције. За сачувану вредност PSW дати само вредности бита I, T и L. Назначити у коме смеру расте стек.
- д)(3)** Која ће се вредност налазити на локацији 1h након извршења секвенце под с)?

2. (5) Посматра се асинхрона магистрала на којој се циклуси читања и уписа тако реализују да је магистрала заузета све време трајања циклуса.

- а)** Нацртати временске облике сигнала које током реализације циклуса читања и уписа размењују газда и слуга.
- б)** Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања и уписа.