



## Организација Рачунара

**2.(15)** Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечрени бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 4. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег приоритета, а IRQ2 најнижег приоритета, на које су везане периферије PER0, PER1 и PER2, респективно, којима треба доделити улазе 2, 3 и 4 у вектор табели, и којима одговарају прекидне рутине на адресама 100Ah, 1005h и 1003h, респективно. Адресе 8-битних регистра у којима се чувају бројеви улаза су 3h, 5h и 7h, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоје бити I (*Interrupt Enable*), T (*Trap Enable*), који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ2, у току 4. по линији IRQ0, а у току 6. по линији IRQ1. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ<sub>*i*</sub>; вредност овог регистра је 3h. Инструкције RTI, TRPE, TRPD, INTE и INTD не реагују на прекид.

### Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 1h
0103h	INCA
0104h	TRPE
0105h	DECA
0106h	STORE 1h
0107h	INTD
0108h	TRPD

### Слика 2

Адреса	Наредба
1000h	INCA
1001h	RTI
1003h	DECA
1004h	RTI
1005h	POPA
1006h	STORE 1h
1008h	PUSHA

### Слика 3

Адреса	Садржај
0000h	1001h
0001h	0001h
0002h	1003h
0003h	0000h
0004h	1000h
0005h	0000h

- a) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.  
b) (4) Нацртати изглед првих 5 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.  
c) (4) Написати део програма којим се инцијализује улаз 3 у IVT.  
c) (4) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.  
d) (4) Приказати садржај свих познатих локација на врху стека након извршавања 12. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

**2. (5)** Модули мод3, мод2, мод1 и мод0, од којих је мод3 највишег а мод0 најнижег приоритета, учествују у арбитражи да би могли да реализују циклус на магистралаи. Нацртати структуру арбитразора за случај паралелне арбитрације и повезати ове модуле на арбитразор водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитрација.

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 90 минута.