



Организација рачунара – И

1.(20) Једноадресни процесор са меморијски пресликаним улазно/излазним адресним простором, меморија, периферија PER0 са придруженим контролером за директан приступ меморији DMA, и периферије PER1 и PER2 повезани су ситемском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Адресе релевантних регистара су:

DMA_CONTROL	F000h	PER1_CONTROL	F020h
DMA_ADDRESS	F001h	PER1_STATUS	F021h
DMA_COUNT	F002h	PER1_DATA	F022h
DMA_DATA	F003h	PER2_CONTROL	F030h
DMA_STATUS	F004h	PER2_STATUS	F031h
PER0_CONTROL	F010h	PER2_DATA	F032h
PER0_STATUS	F011h		
PER0_DATA	F012h		

У управљачким регистрима бит 0 је *Start* којим се дозвољава почетак операције, бит 1 одређује смер операције (0-улаз, 1-излаз), бит 3 је *Enable* којим се дозвољава прекид, а у статусним регистрима бит 4 је *Ready* који сигнализира спремност контролера. Бит 4 управљачког регистра DMA контролера задаје режим рада (0-burst, 1-циклус по циклус). Написати главни програм и одговарајућу прекидну рутину којима се: упоредо врши читавање низа A(i) (i=0..FFh) са PER1 у меморијски блок који почиње од адресе 1000h, и низа B(i) (i=0..FFh) са PER2 у меморијски блок почев од адресе 1100h, затим изврши сабирање унетих низова ($B(i) = A(i) + B(i)$) и множење елемената низа A са 2 ($A(i) = A(i)*2$). Након тога се упоредо врши слање резултатујућег низа A на периферију PER1, и резултатујућег низа B на периферију PER0. Улаз са PER1 реализовати коришћењем механизма прекида, а улаз са PER2 реализовати испитивањем бита спремности. Излаз на PER0 реализовати коришћењем DMA контролера у блоковском режиму, а излаз на PER1 коришћењем механизма прекида.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 256 Мега бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 256 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 16 бајтова.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са развојеним меморијским и У/И адресним простором, механизам прекида је векторисан, IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 16h. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег, а IRQ2 најнижег приоритета и једну улазну линију IRQN за спољне не маскирајуће прекиде на које су везане периферије PER0, PER1, PER2 и PERN респективно. Њима треба фиксно доделити улазе 1, 2, 3 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1009h, 100Fh, 1012h и 1000h, респективно. Улаз 4 који одговара прекидној рутини на адреси 101Bh се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у кораку за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према вишим локацијама. Акумулатор је 16-битни. Инструкције INTE, INTD, RTI и INT не реагују на прекиде. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид од периферије PER2, у току 4. од периферије PERN, а у току 7. од периферије PER0. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 10h.

Слика 1

Адреса	Наредба
0100h	LOAD #1h
0103h	DECA
0104h	INTE
0105h	INCA
0106h	STORE 1h
0109h	INTD

Слика 2

Адреса	Наредба	100Ah	STORE 1h	1015h	AND #1h
1000h	LOAD 1h	100Dh	PUSHA	1018h	STORE 1h
1003h	INCA	100Eh	RTI	101Ah	RTI
1004h	STORE 1h	100Fh	INTD	101Bh	POPA
1007h	INCA	1010h	INT #2	101Ch	ADD #2
1008h	RTI	1011h	RTI	101Fh	PUSHA
1009h	POPA	1012h	INTE	1020h	RTI

а) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б) (3) Написати део кода којим се периферији PERN додељује иста прекидна рутина као и периферији PER0.

в) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

г) (3) Приказати садржај свих познатих локација на врху стека након извршавања 8. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

д) (3) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

2. (5) Посматра се асинхрона магистрала на којој се циклуси читања и уписа тако реализују да је магистрала заузета све време трајања циклуса.

а) Нацртати временске облике сигнала које током реализације циклуса читања и уписа размењују газда и слуга.

б) Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања и уписа