



## Организација Рачунара - I

**1.(20)** Једноадресни процесор са меморијски пресликаним улазно/излазним адресним простором, меморија, периферија PER1 и периферија PER2 повезани су ситемском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Адресе релевантних регистра су:

PER1_CONTROL	F020h
PER1_STATUS	F021h
PER1_DATA	F022h
PER2_CONTROL	F030h
PER2_STATUS	F031h
PER2_DATA	F032h

У управљачким регистрима бит 0 је *Start* којим се дозвољава почетак операције, бит 1 одређује смер операције (0-улаз, 1-излаз), бит 3 је *Enable* којим се дозвољава прекид, а у статусним регистрима бит 4 је *Ready* који сигнализира спремност контролера.

Написати главни програм и одговарајуће прекидне рутине којима се са периферије PER1 прихвата низ  $a(i)$ , ( $i=0..1FFh$ ) и упоредо шаље на периферију PER2. Размена података између периферија се одвија преко бафера, организованог у меморији са почетном адресом 1000h, капацитета 100h речи. Периферија PER1 смешта нове елементе низа у бафер, а на периферију PER2 се шаље податак који је најдуже у баферу. Улаз са PER1 реализовати испитивањем бита спремности, а излаз на PER2 реализовати коришћењем механизма прекида.

**2. (20)** У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 256 Мега бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 256 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 16 бајтова.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

**Напомене:** На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



## Организација рачунара – К2

**1. (15)** Адресни простор процесора је величине 8GB, адресбилна јединица је 16-битна реч, а вишечни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 4. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег приоритета, а IRQ2 најнижег приоритета, на које су везане периферије PER0, PER1 и PER2, респективно, којима треба доделити улазе 4, 2 и 3 у вектор табели, и којима одговарају прекидне рутине на адресама 100Ah, 1005h и 1000h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 0h, 2h и 5h, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 3. инструкције стиже захтев за прекид по линији IRQ2, у току 5. по линији IRQ1, а у току 9. по линији IRQ0. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ*i*; вредност овог регистра је иницијално 7h. Инструкције INT, INTE и INTD не реагује на прекид.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 1h
0104h	INCA
0105h	STORE 1h
0108h	DECA
0109h	DECA
010Ah	INTD

Слика 2

Адреса	Наредба
1000h	POPA
1001h	STORE 1h
1003h	PUSHA
1004h	RTI
1005h	STORE 1h
1007h	INT #3h
1008h	INCA

Слика 3

Адреса	Наредба	Адреса	Садржај
1009h	RTI	0000h	1001h
100Ah	POPA	0001h	0000h
100Bh	ADD 1h	0002h	0000h
100Dh	STORE 1h	0003h	0000h
100Fh	PUSHA	0004h	1008h
1010h	RTI	0005h	0000h
1011h	RTI		

- a) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.
- b) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- c) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- d) (3) Приказати садржај свих познатих локација на врху стека након извршавања 11. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.
- e) (3) Која ће се вредност налазити на локацији 0001h након извршења секвенце под c)?

**2. (5)** Модули мод3, мод2, мод1 и мод0, од којих је мод3 највишег а мод0 најнижег приоритета, учествују у арбитражији да би могли да реализују циклус на магистралаи. Нацртати структуру арбитражора за случај паралелне арбитражије и повезати ове модуле на арбитражор водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитражија.