



Организација рачунара – КЗ

1.(20) Једноадресни процесор са меморијски мапираним улазно/излазним и адресним простором, меморија, периферија PER0 (adrCR=ff10h, adrSR=ff11h, adrDR=ff12h), периферија PER1 (adrCR=ff20h, adrSR=ff21h, adrDR=ff22h) и периферија PER2 (adrCR=ff30h, adrSR=ff31h, adrDR=ff32h) са придруженим контролером периферије DMA (adrCR=ff00h, adrSR=ff01h, adrDR=ff02h, adrCNT=ff03h, adrAs=ff04h, adrAd=ff05h) повезани су системском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Механизам прекида је векторисан, а број улаза у IV табелу за PER0 и PER1 је одређен фиксно и износи 1. У управљачким регистрима бит 0 је Start којим се дозвољава почетак операције, бит 1 одређује смер операције (0-улаз, 1-излаз), бит 2 је Enable којим се дозвољава прекид, а у статусним регистрима бит 4 је Ready који сигнализира спремност контролера. Бит 5 управљачког регистра DMA контролера задаје режим рада (0-Burst, 1-циклус по циклус). Написати главни програм и одговарајућу прекидну рутину којима се: упоредо врши читавање низа A(i) (i=0...FFFh) са PER0 у меморијски блок који почиње од адресе 1000h, и низа B(i) (i=0,..FFFh) са PER1 у меморијски блок почев од адресе 2000h, и низа C(i) (i=0,..FFFh) са PER2 у меморијски блок почев од адресе 3000h. Након читавања свих низова изврши се њихово сабирање ($C(i) = A(i) + B(i) + C(i)$) и резултујући низ се шаље на периферију PER1. Улаз са PER0 реализовати испитивањем бита спремности, улаз са PER1 коришћењем механизма прекида, улаз са PER2 коришћењем DMA контролера у циклус по циклус режиму рада а излаз на PER1 коришћењем механизма прекида.

2. (20) Рачунар поседује виртуелну меморију страничне организације и јединицу за убрзавање пресликавања виртуелних у физичке адресе (TLB јединица). Виртуелни адресни простор је величине 8 Гбајта и подељен је на странице величине 8 Кбајт. Физички адресни простор је величине 8 Гбајта и подељен је на блокове величине 8 Кбајт. Адресе у виртуелном и физичком адресном простору се односе на речи ширине 2 бајта. TLB јединица је реализована са асоцијативним пресликавањем и може да садржи делове дескриптора 256 страница различитих процеса. Број процеса је 16.

(10) Нацртати табелу страница и TLB јединицу и означити све капацитете и ширине поља.

(5) Објаснити функцију свих делова табеле страница и TLB јединице, као и значење свих поља једног улаза табеле страница и TLB јединице. Објаснити ко и када поставља и користи свако од поља улаза табеле страница и TLB јединице.

(5) Објаснити цео поступак пресликавања виртуелне у физичку адресу и у оквиру тога прецизно објаснити:

1. Шта се све ради када се утврђује да у TLB јединици постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски.

2. Шта се све ради када се утврђује да у TLB јединици не постоји дескриптор странице, као и шта се од тога ради хардверски а шта софтверски. Навести шта се ради у два ситуацијама које том приликом могу да настану и то једанпут када је страница у меморији и други пут када страница није у меморији, као и шта се од тога ради хардверски а шта софтверски.

3. Шта се све ради када процес, који је био блокиран због тога што дескриптор странице није био у TLB јединици и страница није била у меморији, постане деблокиран, добије процесор и поново покуша превођење исте виртуелне у физичку адресу, као и шта се од тога ради хардверски а шта софтверски.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација рачунара – К2

1. (15) Адресни простор процесора је величине 4GB, адресибилна јединица је 8-битна реч, а вишечерни бројеви се смештају тако да је на нижој адреси нижи бајт. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 2. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег приоритета, а IRQ2 најнижег приоритета. Њима су придружени улази 2, 3 и 4 у вектор табели, и одговарају им прекидне рутине на адресама 1000h, 1008h, и 100Eh респективно. Свим осталим прекидима одговара улаз 0 у IV табели. На линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде везане су периферије PER0, PER1 и PER2, респективно. Не прихвата се прекид истог нивоа приоритета. У PSW-у постоје бити I (*Interrupt Enable*), T (*Trap Enable*), који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линијама IRQ0 и IRQ2, у току 5. по линији IRQ1. На почетку су сви бити PSW-а постављени на 0. Не постоји IMR регистар. Инструкције RTI, INTE, INTD, TRPE и TRPD не реагују на прекид. Инструкције LOADW и STOREW оперишу са 16-битним операндом, а инструкције LOADB и STOREB са 8-битним операндом.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOADW 4h
0106h	TRPE
0107h	STOREW 0h
010Ch	DECA
010Dh	INTD
010Eh	TRPD

Слика 2

Адреса	Наредба
1000h	INCA
1001h	STOREB 1h
1006h	DECA
1007h	RTI
1008h	STOREB 1h
100Dh	INCA
100Eh	INCA

Слика 3

Адреса	Наредба	Адреса	Садржај
100Fh	RTI	0000h	01h
1010h	POPA	0001h	03h
1011h	INCA	0002h	10h
1012h	STOREB 1h	0003h	10h
1017h	PUSHA	0004h	00h
1018h	RTI	0005h	00h
1019h	RTI		

а) (3) Написати део програма којим се иницијализује улаз 2 у вектор табели.

б) (3) Нацртати изглед првих 5 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

г) (3) Приказати садржај свих познатих локација на врху стека након извршавања 9. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

д) (3) Која ће се вредност налазити на локацији 0001h након извршења секвенце под с)?

2. (5) Модули мод3, мод2, мод1 и мод0, од којих је мод3 највишег а мод0 најнижег приоритета, учествују у арбитражи да би могли да реализују циклус на магистрали.

Нацртати структуру арбитразора за случај паралелне арбитраже и повезати ове модуле на арбитразор водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитража.