



Организација Рачунара - I

1.(20) Једноадресни процесор са раздвојеним адресним просторима, меморија, периферија PER0 са придруженим контролером за директан приступ меморији DMA, периферије PER1 и PER2 повезани су ситемском магистралом са 16-битном адресном и 16-битном магистралом података. Адресирање је на нивоу 16-битних речи. Адресе релевантних регистара су приказане на слици.

DMA_CONTROL	FF00h	PER0_CONTROL	FF10h
DMA_ADDRESS	FF01h	PER0_STATUS	FF11h
DMA_COUNT	FF02h	PER0_DATA	FF12h
DMA_DATA	FF03h	PER1_CONTROL	FF20h
DMA_STATUS	FF04h	PER1_STATUS	FF21h
		PER1_DATA	FF22h
		PER2_CONTROL	FF30h
		PER2_STATUS	FF31h
		PER2_DATA	FF32h

У управљачким регистрима бит 0 је *Start* којим се дозвољава почетак операције, бит 5 одређује смер операције (0—улаз, 1—излаз), бит 3 је *Enable* којим се дозвољава прекид. Бит 7 управљачког регистра DMA контролера задаје режим рада (0—*Burst*, 1—циклус по циклус). У статусним регистрима бит 4 је *Ready* бит. Написати главни програм и одговарајуће прекидне рутине којима се: упоредо учитава низ *A* од 300h речи са PER1 и смешта у меморију почев од адресе 1000h и низ *B* од 300h речи са периферије PER2 и смешта у меморију почев од адресе 2000h. Након тога се изврши обрада низа унетих података тако да се добије резултујући низ *C* ($C(i) = B(i) * A(i)$, $i=0, \dots, 2Fh$) који се у меморији налази на адреси 3000h. Након формирања низ *C* је потребно послати на периферију PER0. Улаз са периферије PER1 реализовати механизмом прекида, улаз са периферије PER2 испитивањем бита спремности, а излаз реализовати коришћењем DMA контролера који ради у циклус по циклус режиму.

2. (20) У процесору рачунара постоји кеш меморија реализована у техници асоцијативног пресликавања. Оперативна меморија је капацитета 4 Гига бајта и ширине меморијске речи 1 бајт. "Data" део кеш меморије је капацитета 8 Кило бајта и ширине меморијске речи 1 бајт. Пресликавање је на нивоу блокова величине 64 бајтова.

(5) Нацртати структурну шему кеш меморије и оперативне меморије. Приказати како се генеришу адресе кеш меморије и оперативне меморије у свим ситуацијама које могу да настану при приступу кеш меморији. Означити све капацитете и ширине поља свих делова кеш меморије и оперативне меморије.

(5) Објаснити како се утврђује да ли у кеш меморији постоји сагласност и како се адресирани бајт податка чита из кеш меморије или уписује у кеш меморију у ситуацији када је утврђено да у кеш меморији постоји сагласност.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података из улаза кеш меморије одабраног за замену враћа из кеш меморије у оперативну меморију. Објаснити и механизам којим се обезбеђује да се блок података из улаза кеш меморије одабраног за замену не враћа из кеш меморије у оперативну меморију уколико није било уписа у дати блок. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

(5) Објаснити како се генеришу адресе свих делова кеш меморије и оперативне меморије у ситуацији када је утврђено да у кеш меморији не постоји сагласност и када се блок података довлачи из оперативне меморије у улаз кеш меморије одабран за замену. Објаснити и како се том приликом врши ажурирање "Tag" дела кеш меморије. Претпоставити да се број улаза кеш меморије одабраног за замену налази у посебном регистру улаза за замену.

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Испит траје 3 сата.



Организација Рачунара – К2

1.(15) Адресни простор процесора је величине 16GB, адресбилна јединица је 32-битна реч, а 64-битни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 10h. Процесор има две улазне линију IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. Њима су придружени улази 1, 2 и 3 у IV табелу, респективно. Улаз 5 се користи у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 1000h, 1003h, 100Dh и 1008h, респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 32-битни. Инструкције INTE, INTD, TRPE и TRPD не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM1, у току 4. по линији IRQM0, а у току 9. по линији IRQN. На почетку су сви бити PSW-а постављени на 0.

Слика 1		Слика 2	
<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>
0100h	LOAD #1h	1000h	INTE
0102h	TRPE	1001h	INCA
0103h	INTE	1002h	RTI
0104h	STORE 1h	1003h	INCA
		1004h	SUB #2
		1006h	DECA
		1007h	RTI
		1008h	LOAD 1h
		100Ah	INCA
		100Bh	STORE 1h
		100Dh	INCA
		100Eh	RTI

- a)(3)** Нацртати изглед свих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- b)(3)** Написати део програма којим се иницијализује улаз 2 у вектор табели.
- c)(3)** Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- d)(3)** Приказати садржај свих познатих локација на врху стека након извршавања 9. инструкције. За сачувану вредност PSW дати само вредности бита I, T и L. Назначити у коме смеру расте стек.
- e)(3)** Која ће се вредност налазити на локацији 1h након извршења секвенце под c)?

2. (5) Посматра се асинхрона магистрала на којој се циклуси читања и уписа тако реализују да је магистрала заузета све време трајања циклуса.

- a)** Нацртати временске облике сигнала које током реализације циклуса читања и уписа размењују газда и слуга.
- b)** Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања и уписа