

4.1 Синхронизација рада процесора и контролера са DMA при коришћењу системске магистрале

У овој вежби приказују се поступак арбитрације ради реализације циклуса на системској магистрали и сами циклуси на системској магистрали и то циклус читања, циклус уписа и циклус прихватања броја улаза у IV табелу. Захтеве за реализацију циклуса на системској магистрали могу да поставе процесор и неки од контролера са DMA, при чему арбитрацију обавља процесор,

Поступак арбитрације и циклуси на системској магистрали се демонстрирају за конфигурацију едукационог рачунарског система коју чине процесор, меморијски модул и један контролер са DMA.

Поступак арбитрације се демонстрира кроз размену сигнала између процесора и контролера са DMA за две ситуације:

- процесор користи системску магистралу, а контролер са DMA тражи и чека да добије системску магистралу и
- контролер са DMA користи системску магистралу, а процесор тражи и чека да добије системску магистралу.

Циклуси на системској магистрали се демонстрирају кроз размену сигнала између

- процесора и меморијског модула приликом реализације циклуса читања и циклуса уписа и
- процесора и контролера са DMA приликом реализације дохватања броја улаза у IV табелу и циклуса уписа.

Glavni program - početak

```
dc      x.700, x.C          ! 0.-ti ulaz u IVT = x.700 (za IVTP=C)
dc      x.7, x.1000        ! podatak za prenos: mem[x.1000] = 7
org = x.100                ! asem.direktiva: adresa od koje se u
                           ! memoriji smešta glavni program
0100     clr r1              ! F801          ! r1 = vrednost broja ulaza
0101     stmem x.F002, r1    ! F601 F002 ! DMA1.1(IER) = r1
0103     ldimm x.1000, r1   ! F301 1000 ! r1 = adresa mem.lokacije sa koje će
                           ! se prepisivati podatak
0105     stmem x.F005, r1   ! F601 F005 ! DMA1.1(AR1) = r1
0107     ldimm x.2000, r1   ! F301 2000 ! r1 = adresa mem.lokacije od koje će
                           ! se upisivati podaci
0109     stmem x.F006, r1   ! F601 F006 ! DMA1.1(AR2) = r1
010B     ldimm x.2, r1      ! F301 0002 ! r1 = broj reči koje treba preneti
010D     stmem x.F004, r1   ! F601 F004 ! DMA1.1(WCR) = r1
010F     ldimm x.1, r1      ! F301 0001 ! r1 = početni sadržaj "semafora"
0111     stmem x.100A, r1   ! F601 100A ! mem.lokacija sa adresom x.100A = r1
0113     ldimm x.1E, r1     ! F301 001E ! r1 = vrednost namenjena DMA1.1(CR)
                           ! (00011110 - cycle_stealing, inc_AR1,
                           ! AR1_se_ne_menja, rezim_rada_mm,
                           ! nivo_intr, start_bit, intr_da,
                           ! nema_uticaja)
0115     stmem x.F000, r1   ! F601 F000 ! DMA1.1(CR) = r1 (startovanje DMA1.1)
0117     ldimm x.2, r1      ! F301 0002 ! formiranje petlje - procesor radi
0119 loop1: nop            ! FFFF          ! neki posao koji ne zavisi od
011A     dec r1             ! F851          ! startovanog prenosa; izlaskom iz
011B     bneq loop1        ! 01FD         ! petlje procesoru su potrebni podaci
                           ! koje je DMA1.1 trebalo da prenese
011C loop2: clr r2         ! F802          ! r2 = 0
011D     ldmem x.100A, r1   ! F201 100A    ! r1 = "semafor"
011F     cmp r1, r2        ! EE12         ! poređenje vrednosti "semafora" koja
                           ! je u r1 i sadržaja r2
0120     bneq loop2        ! 01FB         ! za r1 <> r2 ide se na loop2
```

```

0121      halt          ! FFFE      ! zaustavljanje procesora
          end          !          ! asem.direktiva: program završen

```

Glavni program - kraj

Prekidna rutina - početak

```

          org = x.700          ! asem.direktiva: adresa od koje se u
                              ! memoriji smešta prekidna rutina
0700      push r3          ! F823      ! r3 ide na stek
0701      clr r3          ! F803      ! r3 = 0
0702      stmem x.100A, r3 ! F603 100A ! "semafor" = r3
0704      stmem x.F000, r3 ! F603 F000 ! DMA1.1(CR) = r3 (zaustav. DMA1.1)
0706      pop r3          ! F833      ! vraća se sadržaj r3 sa steka
0707      rti            ! FC01      ! povratak u glavni program

```

Prekidna rutina - kraj

У главном програму се извршава иницијализација контролера са DMA да би се обавио пренос податка из меморијске локације са адресом x.1000 у две суседне меморијске локације, почевши од меморијске локације са адресом x.2000. На почетку се иницијализује контролер са DMA тако што се уписују одговарајући садржаји у регистре DMA1.1(IE, AR1, AR2, WCR). Потом се у меморијске локацију са адресом x.100A, која има улогу *семафора*, уписује вредност 1. Вредност 1 *семафора* остаје све док контролер са DMA не обави комплетан пренос податка. На крају се стартује контролер са DMA уписом одговарајуће вредности у управљачки регистар DMA1.1(CR), чиме се задаје режим рада контролера са DMA са следећим карактеристикама: обавити појединачни пренос са константном изворишном адресом при режиму преноса меморија–меморија, по завршетку рада поставити сигнал захтева за прекид и сигнал захтева за прекид поставити на ниво.

Док контролер са DMA обавља задати пренос податка, у првој петљи (loop1:) се извршава програм за који нису потребни подаци које контролер са DMA преноси. По завршетку извршавања овог програма, а пре преласка на програм у коме се користе подаци које је контролер са DMA пренео, у другој петљи (loop2:) се извршава програм у коме се проверава да ли *семафор* има вредност 0. Вредност 1 *семафора* је индикација да контролер са DMA није завршио задати пренос податка, па се остаје у петљи (loop2:), док је вредност 0 *семафора* индикација да је контролер са DMA завршио задати пренос податка, па се излази из петље (loop2:).

Контролер са DMA по завршетку комплетног преноса податка генерише прекид који у општем случају може да стигне у процесор током извршавања програма у првој или другој петљи. У прекидној рутини се вредност 0 уписује и у *семафор*, чиме се главном програму сигнализира да је контролер са DMA завршио комплетан пренос податка, и у управљачки регистар DMA1.1 (CR), чиме се зауставља контролер са DMA.

У главном програму се по изласку из друге петље извршава само инструкција **halt**.

Покренути симулацију и пустити да се посматрани програм заврши. Посматрати временске облике сигнала насталих извршавањем симулације.

а) Посматра се ситуација од интереса за поступак арбитрације у којој процесор користи системску магистралу и контролер са DMA тражи и чека да добије системску магистралу која се обавља у периоду од time=2058. Нацртати и објаснити које све сигнале и по ком редоследу размењују процесор и контролер са DMA приликом арбитрације. Објаснити зашто контролер са DMA није одмах дозвољено коришћење магистрале, који циклус на системској магистрале је том приликом процесор обављао, у ком се тренутку контролер са DMA додељује дозвола за излазак на магистралу и зашто. Посебно означити такт процесора и такт контролер са DMA.

б) Посматра се ситуација од интереса за поступак арбитрације у којој контролер са DMA користи системску магистралу и процесор тражи и чека да добије системску магистралу која се обавља у периоду од $time=1900$. Нацртати и објаснити које све сигнале и по ком редоследу размењују процесор и контролер са DMA приликом арбитрације. Објаснити зашто процесору није одмах дозвољено коришћење магистрала, који циклус на системској магистрала је том приликом контролер са DMA обављао, и ком тренутку је процесору дозвољен излазак на магистралу и зашто. Посебно означити такт процесора и такт контролер са DMA.

в) Посматра се циклус читања из меморије који обавља процесор у периоду од $time=1$ до $time=57$. Нацртати и објаснити које све сигнале и по ком редоследу размењују процесор и меморија, приликом обављања наведеног трансфера. Посебно означити такт процесора и такт меморије.

г) Посматра се циклус уписа у меморију који обавља процесор у периоду од $time=2853$ до $time=2910$. Нацртати и објаснити које све сигнале и по ком редоследу размењују процесор и меморија, приликом обављања наведеног трансфера. Посебно означити такт процесора и такт меморије.

д) Посматра се циклус дохватања броја улаза у табелу прекидних рутина који се обавља у периоду од $time=2403$ до $time=2427$. Нацртати и објаснити које све сигнале и по ком редоследу размењују процесор и контролер са DMA, приликом обављања наведеног трансфера. Посебно означити такт процесора и такт контролера са DMA.

ђ) Посматра се циклус уписа у регистар контролер са DMA који се налази у улазно/излазном адресном простору који обавља процесор у периоду од $time=222$ до $time=252$. Нацртати и објаснити које све сигнале и по ком редоследу размењују процесор и контролер са DMA, приликом обављања наведеног трансфера. Посебно означити такт процесора и такт контролера са DMA.