

ПРОЈЕКАТ 1

АРХИТЕКТУРА И ОРГАНИЗАЦИЈА РАЧУНАРА 2

ШКОЛСКА 2016/2017

Пројекат 1 из предмета Архитектура и организација рачунара 2 се школске 2016/2017 ради самостално. Пројекат носи до 20. Пројекат се односи на подршку за рад оперативног систем (виртуелизацију) и за рад са векторским инструкцијама.

Први део пројекта:

Посматра се рачунарски систем који чине меморија, процесор и магистрала чији је симулатор дат AOR_2015_2016.zip. У описани процесор је потребно уградити подршку за рад оперативног систем (виртуелизацију) и за рад са векторским инструкцијама.

Као подршку за рад оперативног система уводе се два режима рада процесора: привилеговани и кориснички. У привилегованом режиму рада у коме се извршава оперативни систем дозвољен је приступ свим меморијским локацијама и извршавање свих инструкција. Привилеговани режим рада је специфициран битом R програмске статусне речи PSW. Уколико бит R има вредност 0 ради се привилегованом режиму рада, а ако има вредност 1 ради се о корисничком режиму рада.

У корисничком режиму рада корисничком програму није дозвољено да позива следеће инструкције: HALT, RTI, LDIVTP, STIVTP, LDIMR, STIMR, INTD, INTE, TRPD, TRPE. У корисничком режиму рада корисничком програму такође није дозвољен приступ меморијским локацијама чија је адреса у интервалу од 0 до FFh. У случају да програм у корисничком режиму покуша да изврши неку од наведених инструкција или да приступи наведеном опсегу меморије генерише се прекид услед грешке у коду операције.

Прелазак из корисничког у привилеговани режим рада се остварује при сваком прекиду уписом вредности 0 у бит R програмске статусне речи PSW. Прелазак из привилегованог у кориснички режим рада се остварује инструкцијом RTI која са стека рестаурира стару вредност R програмске статусне речи PSW.

Као подршку за рад са векторским инструкцијама регистри опште намене (R[0] до R[32]) се могу посматрати и као четири векторска регистра V0 кога чине регистри опште намене R[0] до R[7], V1 кога чине R[8] до R[15], V2 кога чине R[16] до R[23], и V3 кога чине R[24] до R[31]. Над овим векторским регистрима су дефинисане следеће операције: сабирање два вектора ADDVV (ADDVV Vx, Vy, Vz), сабирање свих елемената вектора скаларом који је у акумулатору ADDVS (ADDVS Vx, Vy), дохватање вектора почев од неке адресе LDV (LDV Vx, address), смештање вектова почев од неке адресе STV (STV Vx, address).

Задаци:

1. У симулатор уградити подршку за рад оперативног система.
2. Нацртати дијаграм тока фаза извршавања једне инструкције која сме да се покреће у привилегованом режиму рада али не и у корисничком режиму рада.
3. Усвојити одговарајуће формате за рад са векторским инструкцијама. У симулатор уградити подршку за ове векторске инструкције.
4. Нацртати дијаграм тока фаза извршавања једне векторске инструкције.
5. Потребно је написати и дати садржај оперативне меморије за сет програма којима би се обавило тестирање реализованог рачунарског система.