

**Ј. ЂОРЂЕВИЋ, З. РАДИВОЈЕВИЋ,
Ј. ПРОТИЋ, Д. МИЛИЋЕВ,
А. МИЛЕНКОВИЋ, Б. НИКОЛИЋ, М. ПУНТ**

**ОСНОВИ
РАЧУНАРСКЕ
ТЕХНИКЕ
II**

МАТЕРИЈАЛИ ЗА ПРВУ ЛАБОРАТОРИЈСКУ ВЕЖБУ

Београд 2011.

САДРЖАЈ

САДРЖАЈ	I
1 УРЕЂАЈИ.....	3
1.1 ADDINC	3
1.2 MULINT	9
1.3 MIN4	15
1.4 MAX4.....	22
1.5 CSR	26
2 ЛИТЕРАТУРА	32

1 УРЕЂАЈИ

1.1 ADDINC

На слици 1.1.а је приказана структурна шема дела операционе јединице процесора. У регистрима R1, R2 и R3 дужине n разреда налазе се бинарне вредности које треба интерпретирати као целобројне вредности без знака. Микрооперације које се реализују у јединици ALU су дате у табели 1.1.

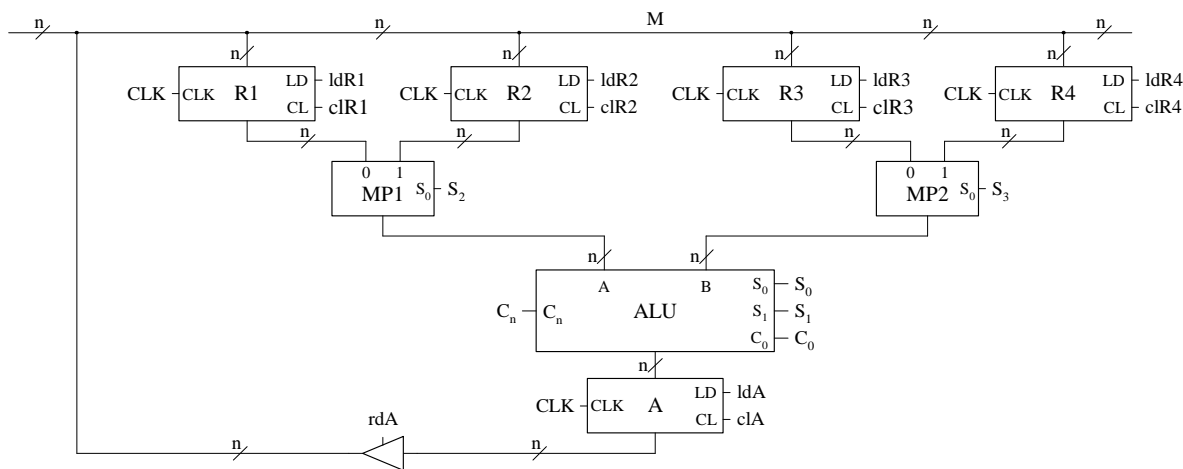
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе ADDINC која израчунава

$$R1+R2+R3+1$$

суму садржаја регистара R1, R2 и R3 увећану за 1, а резултат смешта у регистар R4. Фаза извршавања наредбе започиње уколико је сигнал ADDINC активан. Садржаји регистара R1, R2 и R3 морају да остану неизмењени. Претпоставити да се у регистрима R1, R2 и R3 налазе вредности које омогућавају да се извршавање наредбе реализује коректно и да се добије вредност која може да се смести у регистар R4.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима.

в) Нацртати структурну шему управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима.



Слика 1.1.а Структурна шема дела операционе јединице

S ₀	S ₁	F ₀
0	0	A-C ₀
0	1	A+B+C ₀
1	0	B+C ₀
1	1	A-B

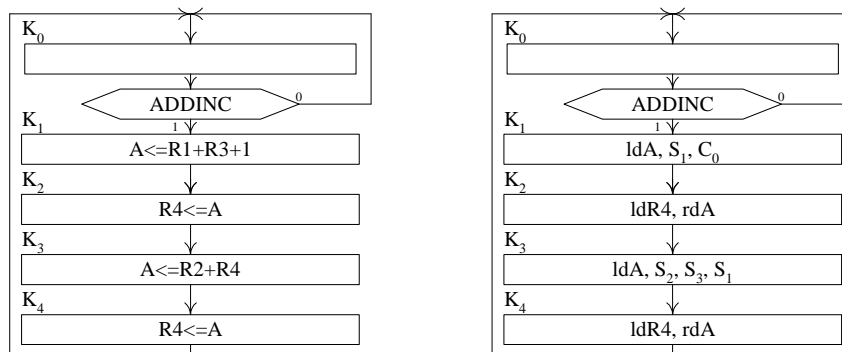
Табела 1.1 Микрооперације у јединици ALU

Решење:

а) Дијаграми тока микрооперација и управљачких сигнала дати су на слици 1.1.б.

Израчунавање израза се реализује на следећи начин. Кроз мултиплексере MP се на улазе A и B јединице ALU пропусте садржаји регистара R1 и R3, у јединици ALU изврши њихово сабирање са инкрементирањем. Операција инкрементирања се

извршава тако што се улазни сигнал C_0 јединице ALU постави на активну вредност. Добијена вредност на излазу ALU јединице се најпре упише у регистар A и затим пребаци у регистар R4. Затим се кроз мултиплексере MP на улазе A и B јединице ALU пропусте садржаји регистара R2 и R4, у јединици ALU изврши њихово сабирање, добијена вредност најпре упише у регистар A и затим пребаци у регистар R4.



Слика 1.1.б Дијаграми тока микрооперација и управљачких сигнала

У кораку K_0 се проверава вредност сигнала ADDINC и у зависности од тога да ли је сигнал ADDINC неактиван или активан или остаје у кораку K_0 или на сигнал такта прелази на корак K_1 .

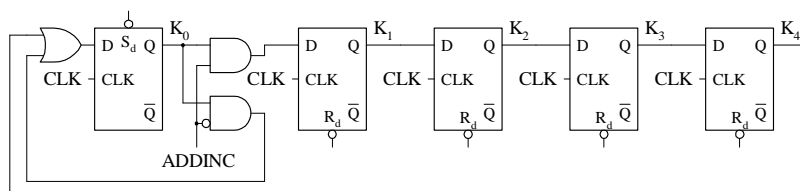
У кораку K_1 сигнали S_2 и S_3 су неактивни па се на улазима A и B јединице ALU појављују садржаји регистара R1 и R3. Активним вредностима сигнала S_1 и C_0 се обезбеђује да се на излазу јединице ALU појави сума садржаја регистара R1 и R3 увећана за 1, која се због активне вредности сигнала ldA на сигнал такта уписује у регистар A. На исти сигнал такта се прелази на корак K_2 .

У кораку K_2 се активном вредношћу сигнала rdA на линије магистрале M пропушта садржај регистра A, који се због активне вредности сигнала ldR4 на сигнал такта уписује у регистар R4. На исти сигнал такта се прелази на корак K_3 .

У кораку K_3 сигнали S_2 и S_3 су активни па се на улазима A и B јединице ALU појављују садржаји регистара R2 и R4. Активном вредношћу сигнала S_1 се обезбеђује да се на излазу јединице ALU појави сума садржаја регистара R2 и R4, која се због активне вредности сигнала ldA на сигнал такта уписује у регистар A. На исти сигнал такта се прелази на корак K_4 .

У кораку K_4 се активном вредношћу сигнала rdA на линије магистрале M пропушта садржај регистра A, који се због активне вредности сигнала ldR4 на сигнал такта уписује у регистар R4. На исти сигнал такта се прелази на корак K_0 .

б) Структурна шема управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима приказана је на слици 1.1.в.



Слика 1.1.в Структурна шема управљачке јединице

Управљачка јединица се састоји од флип-флопова K_0 , K_1 , K_2 , K_3 , и K_4 додељених операционим блоковима у корацима K_0 , K_1 , K_2 , K_3 , и K_4 из дијаграма тока микрооперација и управљачких сигнала и једног пара И елемената додељеног условном

блоку са сигналом логичког услова ADDINC у кораку K_0 из дијаграма тока микрооперација и управљачких сигнала.

На почетку извршавања наредбе ADDINC јединица се налази у флип-флопу K_0 и нуле у осталим флип-флоповима, што одговара кораку K_0 из дијаграма тока микрооперација и управљачких сигнала, па нема активних вредности ни једног од управљачких сигнала. Све време док је сигнал ADDINC неактиван јединица остаје у флип-флопу K_0 и нуле у осталим флип-флоповима. Када сигнал ADDINC постане активан, на сигнал такта се уписује јединица у флип-флоп K_1 и нула у флип-флоп K_0 , док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_1 и нуле у осталим флип-флоповима, што одговара кораку K_1 из дијаграма тока микрооперација и управљачких сигнала, дају активне вредности сигнала ldA , S_1 и C_0 . На сигнал такта се уписује јединица у флип-флоп K_2 и нула у флип-флоп K_1 , док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_2 и нуле у осталим флип-флоповима, што одговара кораку K_2 из дијаграма тока микрооперација и управљачких сигнала, дају активне вредности сигнала $ldR4$ и rdA . На сигнал такта се уписује јединица у флип-флоп K_3 и нула у флип-флоп K_2 , док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_3 и нуле у осталим флип-флоповима, што одговара кораку K_3 из дијаграма тока микрооперација и управљачких сигнала, дају активне вредности сигнала ldA , S_2 , S_3 и S_1 . На сигнал такта се уписује јединица у флип-флоп K_4 и нула у флип-флоп K_3 , док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_4 и нуле у осталим флип-флоповима, што одговара кораку K_4 из дијаграма тока микрооперација и управљачких сигнала, дају активне вредности сигнала $ldR4$ и rdA . На сигнал такта се уписује јединица у флип-флоп K_0 и нула у флип-флоп K_4 , док нуле остају у осталим флип-флоповима. На овај начин се враћа у почетно стање.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$S_2 = K_3$$

$$S_3 = K_3$$

$$S_0 = 0$$

$$S_1 = K_1 + K_3$$

$$C_0 = K_1$$

$$ldA = K_1 + K_3$$

$$rdA = K_2 + K_4$$

$$ldR4 = K_2 + K_4$$

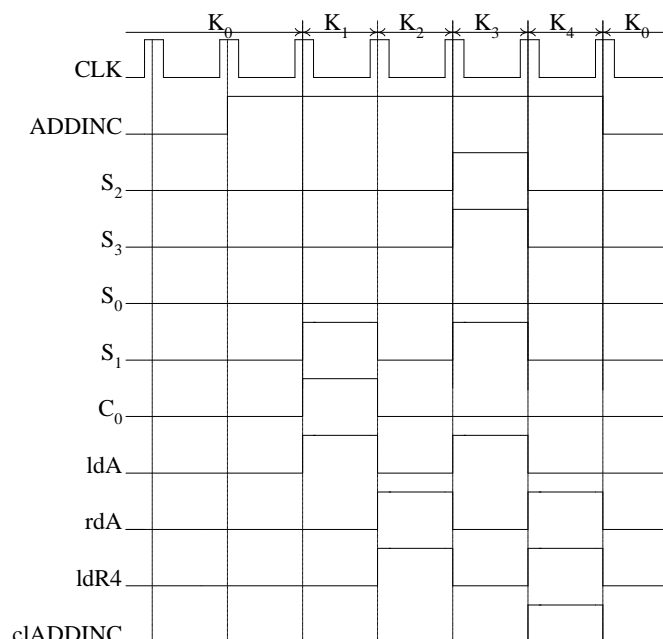
у којима K_0 , K_1 , K_2 , ..., K_4 представљају сигнале са излаза флип-флопова придружених операционим блоковима у дијаграму тока управљачких сигнала (слика 1.1.6). Сви остали управљачки сигнали су 0.

Дискусија 1:

У тексту задатка је назначено да треба претпоставити да се у регистрима $R1$, $R2$ и $R3$ налазе вредности које омогућавају да се извршавање наредбе реализује коректно и да се добије вредност која може да се смести у регистар $R4$. Напомена је наведена, јер су вредности у регистрима целобројне величине без знака и дужина регистара је n бита, па се у неким случајевима може добити збир који се приказује са више од n бита и на тај начин се не добија коректан резултат. На пример максимална величина која се може налазити у регистрима је $2^n - 1$. За збир $2^n - 1 + 2^n - 1$ потребно је $n + 1$ бит, ако би се дати збир још једном повећао за $2^n - 1$ било би потребно $n + 2$ бита. У задатку збир се памти у регистру дужине n бита, па се добија некоректан резултат.

Дискусија 2:

Функционисање и операционе и управљачке јединице је дато уз следеће две претпоставке. Прво, користе се секвенцијалне мреже реализоване са ивичним флип-флоповима који мењају стање сагласно вредностима улазних сигнала само у тренутку промене вредности сигнала такта са неактивне на активну вредност. Друго, флип-флопови уносе одређено кашњење, па се вредност на излазу флип-флова појављује нешто касније у односу на тренутак промене вредности сигнала такта са неактивне на активну вредност. Као последица овога сигнали имају временске облике као на слици 1.1.г.



Слика 1.1.г Временски облици сигнала

Због кашњења које уносе флип-флопови, флип-флоп K₁ и сигнали S₁, C₀ и ldA се постављају на један са кашњењем у односу на тренутак промене сигнала такта CLK, трећа периода сигнала такта, са неактивне на активну вредност. Из истих разлога флип-флоп K₁ и сигнали S₁, C₀ и ldA се постављају на нулу са кашњењем у односу на тренутак промене сигнала такта CLK, четврта периода сигнала такта, са неактивне на активну вредност. Активне вредности сигнала S₁ и C₀ и неактивне вредности сигнала S₂, S₃ и S₀ у временском периоду између треће и четврте периоде сигнала такта, омогућавају да кроз комбинационе мреже, које чине мултиплексери МР и јединица ALU, прођу садржаји регистара R1 и R3 и да се на улазу регистра А формира сума садржаја регистара R1 и R3 увећана за 1. Активна вредност сигнала ldA у временском периоду између између треће и четврте периоде сигнала такта, омогућавају да се на четврти сигнал такта CLK садржај формиран на улазу регистра А упише у регистар А. Треба уочити да због кашњења са којим сигнал ldA постаје активан на трећи сигнал такта CLK и неактиван на четврти сигнал такта, нема уписа у регистар А на трећи сигнал, већ на четврти сигнал такта. Такође због кашњења са којим сигнали S₁ и C₀ постају активни на трећи сигнал такта CLK и неактивни на четврти сигнал такта, као и због пропагације кроз комбинационе мреже које чине мултиплексери МР и јединица ALU, сума садржаја регистара R1 и R3 увећана за 1 је присутна на улазима регистра А у тренутку када се при промени сигнала такта у четвртом такту са неактивне на активну вредност врши упис у регистар А.

Слична је ситуација и са сигнаlima ldR4 и rdA који су активни у временском периоду између четврте и пете периоде сигнала такта. Активна вредност сигнала rdA омогућује

да садржај регистра А прође кроз комбинационе мреже које чине бафери са три стања на линије магистрале М и улазе регистра R1, R2, R3 и R4. Активна вредност сигнала ldR4 у временском периоду између сигнала такта означених са 4 и 5, омогућује да се на сигнал такта CLK означен са 5 садржај формиран на линијама магистрале М упише у регистар R4. Треба уочити да због кашњења са којим сигнал ldR4 постаје активан на сигнала такта CLK означен са 4 и неактиван на сигнал такта означен са 5, нема уписа у регистар R4 на сигнал такта означен са 4, већ на сигнал такта означен са 5. Такође због кашњења са којим сигнал rdA постаје активан на сигнал такта CLK означен са 4 и неактиван на сигнал такта означен са 5, као и због пропагације кроз комбинациону мрежу коју чини бафер са три стања, садржај регистра А је присутан на линијама магистрале М и улазима регистра R4 у тренутку када се при промени сигнала такта означеног са 5 са неактивне на активну вредност врши упис у регистар R4.

Периода сигнала такта CLK је одређена временом пропагације кроз комбинационе мреже и мора да буде нешто већа од највеће пропагације. У посматраном случају постоји пропагација садржаја регистра R1, R2, R3 и R4 кроз комбинационе које чине мултиплексери МР и јединица ALU и пропагација садржаја регистра А кроз бафер са три стања. Пропагација кроз комбинационе које чине мултиплексери МР и јединица ALU је дужа од пропагације кроз бафер са три стања, па се на основу ње одређује периода сигнала такта CLK.

в) Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.1.б) и дата на слици 1.1.д.

Q	Z	Q(t+1)	X	J ₁	K ₁	J ₂	K ₂	J ₃	K ₃
K ₀ (000)	/	K ₀ (000)	$\overline{\text{ADDINC}}$	0	b	0	b	0	b
		K ₁ (001)	ADDINC	0	b	0	b	1	b
K ₁ (001)	ldA, S ₁ , C ₀	K ₂ (011)	1	0	b	1	b	b	0
K ₂ (011)	ldR4, rdA	K ₃ (010)	1	0	b	b	0	b	1
K ₃ (010)	ldA, S ₃ , S ₂ , S ₁	K ₄ (110)	1	1	b	b	0	0	b
K ₄ (110)	ldR4, rdA	K ₀ (000)	1	b	1	b	1	0	b

Слика 1.1.д.Таблица стања, прелаза/излаза и побуда флип-флопова

Стања секвенцијалне прекидачке мреже кодирана су на следећи начин

K₀=000, K₁=001, K₂=011, K₃=010, K₄=110,

а за реализацију стања секвенцијална прекидачка мрежа користе се флип-флопови Q1, Q2 и Q3 типа JK

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$S_2 = K_3$$

$$S_3 = K_3$$

$$S_0 = 0$$

$$S_1 = K_1 + K_3$$

$$C_0 = K_1$$

$$\text{ldA} = K_1 + K_3$$

$$\text{rdA} = K_2 + K_4$$

$$\text{ldR4} = K_2 + K_4$$

у којима K_0 , K_1 , K_2 , K_3 и K_4 представљају сигнале декодованих стања секвенцијалне прекидачке мреже. Сви остали управљачки сигнали су 0.

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопове Q_1 , Q_2 и Q_3 типа JK и комбинационе прекидачке мреже која генерише сигнале побуда JK флип-флопова према следећим изразима:

$$J_1 = K_3$$

$$K_1 = K_4$$

$$J_2 = K_1$$

$$K_2 = K_4$$

$$J_3 = K_0 \cdot \text{ADDINC}$$

$$K_3 = K_2$$

С обзиром на усвојени начин кодирања стања секвенцијалне прекидачке мреже, сигнали декодованих стања секвенцијалне прекидачке мреже добијају према изразима:

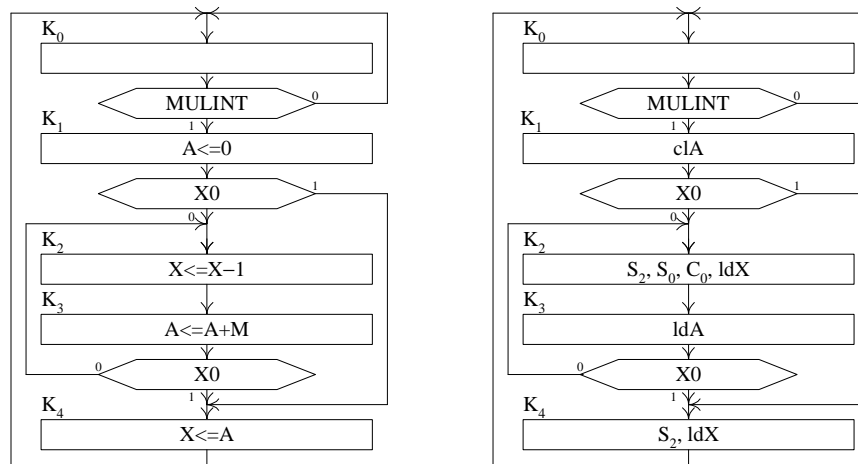
$$K_0 = \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$$

$$K_1 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3$$

$$K_2 = \overline{Q_1} \cdot Q_2 \cdot \overline{Q_3}$$

$$K_3 = \overline{Q_1} \cdot Q_2 \cdot Q_3$$

$$K_4 = Q_1 \cdot Q_2 \cdot \overline{Q_3}$$



Слика 1.2.6 Дијаграми тока микрооперација и управљачких сигнала

У кораку K_0 се проверава вредност сигнала $MULINT$ и у зависности од тога да ли сигнал $MULINT$ има вредност 0 или 1 или остаје у кораку K_0 или на сигнал такта прелази на корак K_1 .

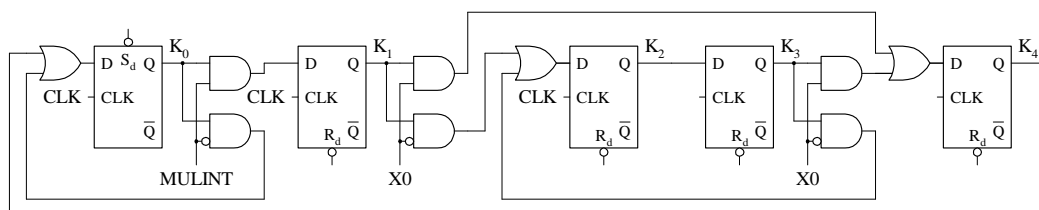
У кораку K_1 се вредношћу 1 сигнала cIA на сигнал такта уписује нула у регистар A . У кораку K_1 се и проверава вредност сигнала $X0$ и у зависности од тога да ли сигнал $X0$ има вредност 0 или 1 на сигнал такта прелази или на корак K_2 или на корак K_4 .

У кораку K_2 се вредношћу 1 сигнала S_2 кроз мултиплексер на улаз A јединице ALU пропушта садржај регистра X , вредностима 1 сигнала S_0 и C_0 се обезбеђује да се на излазу јединице ALU појави садржај регистра X умањен за 1, који се вредношћу 1 сигнала ldX на сигнал такта уписује у регистар X . На исти сигнал такта се прелази на корак K_3 .

У кораку K_3 се вредношћу 0 сигнала S_2 кроз мултиплексер на улаз A јединице ALU пропушта садржај регистра M док је на улазу B јединице ALU све време присутан садржај регистра A , вредностима нула сигнала S_0 , S_1 и C_0 се обезбеђује да се на излазу јединице ALU појави сума садржаја регистара M и A , која се вредношћу 1 сигнала ldA на сигнал такта уписује у регистар A . У кораку K_3 се и проверава вредност сигнала $X0$ и у зависности од тога да ли сигнал $X0$ има вредност 0 или 1 на сигнал такта прелази или на корак K_2 или на корак K_4 .

У кораку K_4 се вредношћу 1 сигнала S_2 кроз мултиплексер на улаз A јединице ALU појављује садржај регистра X , који је декрементирањем дошао до вредности 0, док је на улазу B јединице ALU све време присутан садржај регистра A , вредностима 0 сигнала S_0 , S_1 и C_0 се обезбеђује да се на излазу јединице ALU појави сума садржаја регистара X и A , која због тога што је садржај регистра X нула представља садржај регистра A , која се вредношћу 1 сигнала ldX на сигнал такта уписује у регистар X . На исти сигнал такта се прелази на корак K_0 .

б) Структурна шема управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима приказана је на слици 1.2.в



Слика 1.2.в Структурна шема управљачке јединице

Управљачка јединица се састоји од флип-флопова K_0 , K_1 , K_2 , K_3 , и K_4 додељених операционим блоковима у корацима K_0 , K_1 , K_2 , K_3 и K_4 из дијаграма тока микрооперација и управљачких сигнала и три пара И елемената додељених условном блоку са сигналом логичког услова $MULINT$ у кораку K_0 и условним блоковима са сигналом логичког услова $X0$ у корацима K_1 и K_3 из дијаграма тока микрооперација и управљачких сигнала.

На почетку извршавања наредбе $MULINT$ јединица се налази у флип-флопу K_0 и нуле у осталим флип-флоповима, што одговара кораку K_0 из дијаграма тока микрооперација и управљачких сигнала, па нема активних вредности ни једног од управљачких сигнала. Све време док је сигнал $MULINT$ неактиван јединица остаје у флип-флопу K_0 и нуле у осталим флип-флоповима. Када сигнал $MULINT$ постане активан, на сигнал такта се уписује јединица у флип-флоп K_1 и нула у флип-флоп K_0 , док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_1 и нуле у осталим флип-флоповима, што одговара кораку K_1 из дијаграма тока микрооперација и управљачких сигнала, дају активну вредност сигнала clA . На сигнал такта се у зависности од тога да ли је сигнал $X0$ неактиван или активан уписује јединица у флип-флоп K_2 или K_4 и нула у флип-флоп K_1 , док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_2 и нуле у осталим флип-флоповима, што одговара кораку K_2 из дијаграма тока микрооперација и управљачких сигнала, дају активне вредности сигнала S_2 , S_0 , C_0 и ldX . На сигнал такта се уписује јединица у флип-флоп K_3 и нула у флип-флоп K_2 , док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_3 и нуле у осталим флип-флоповима, што одговара кораку K_3 из дијаграма тока микрооперација и управљачких сигнала, дају активну вредност сигнала ldA . На сигнал такта се у зависности од тога да ли је сигнал $X0$ неактиван или активан уписује јединица у флип-флоп K_2 или K_4 и нула у флип-флоп K_3 , док нуле остају у осталим флип-флоповима.

Јединица у флип-флопу K_4 и нуле у осталим флип-флоповима, што одговара кораку K_4 из дијаграма тока микрооперација и управљачких сигнала, дају активне вредности сигнала S_2 и ldX . На сигнал такта се уписује јединица у флип-флоп K_0 и нула у флип-флоп K_4 , док нуле остају у осталим флип-флоповима. На овај начин се враћа у почетно стање.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$clA = K_1$$

$$S_2 = K_2 + K_4$$

$$S_0 = K_2$$

$$C_0 = K_2$$

$$ldX = K_2 + K_4$$

$$ldA = K_3$$

у којима K_0 , K_1 , K_2 , ..., K_4 представљају сигнале са излаза флип-флопова придружених операционим блоковима у дијаграму тока управљачких сигнала (слика 1.2.б). Сви остали управљачки сигнали су 0.

в) Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.2.б) и дата на слици 1.2.г.

Q	Z	Q(t+1)	X	J ₁	K ₁	J ₂	K ₂	J ₃	K ₃
K ₀ (000)	/	K ₀ (000)	MULINT	0	b	0	b	0	b
		K ₁ (001)	MULINT	0	b	0	b	1	b
K ₁ (001)	clA	K ₂ (011)	$\overline{X0}$	0	b	1	b	b	0
		K ₄ (110)	X0	1	b	1	b	b	1
K ₂ (011)	ldX, S ₀ , S ₂ , C ₀	K ₃ (010)	1	0	b	b	0	b	1
K ₃ (010)	ldA	K ₂ (011)	$\overline{X0}$	0	b	b	0	1	b
		K ₄ (110)	X0	1	b	b	0	0	b
K ₄ (110)	ldX, S ₂	K ₀ (000)	1	b	1	b	1	0	b

Слика 1.2.г. Таблица стања, прелаза/излаза и функција побуде флип-флопова

Стања секвенцијалне прекидачке мреже кодирана су на следећи начин

K₀=000, K₁=001, K₂=011, K₃=010, K₄=110,

а за реализацију стања секвенцијална прекидачка мрежа користе се флип-флопови Q₁, Q₂ и Q₃ типа JK

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$clA = K_1$$

$$S_2 = K_2 + K_4$$

$$S_0 = K_2$$

$$C_0 = K_2$$

$$ldX = K_2 + K_4$$

$$ldA = K_3$$

у којима K₀, K₁, K₂, ..., K₁₄ представљају сигнале декодованих стања секвенцијалне прекидачке мреже придружених операционим блоковима у дијаграму тока управљачких сигнала (слика 1.2.б). Сви остали управљачки сигнали су 0.

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопове Q₁, Q₂ и Q₃ типа JK и комбинационе прекидачке мреже која генерише сигнале побуда JK флип-флопова према следећим изразима:

$$J_1 = K_1 \cdot X0 + K_3 \cdot X0$$

$$K_1 = K_4$$

$$J_2 = K_1$$

$$K_2 = K_4$$

$$J_3 = K_0 \cdot MULINT + K_3 \cdot \overline{X0}$$

$$K_3 = K_1 \cdot X0 + K_2$$

С обзиром на усвојени начин кодирања стања секвенцијалне прекидачке мреже, сигнали декодованих стања секвенцијалне прекидачке мреже добијају се према изразима:

$$K_0 = \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$$

$$K_1 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3$$

$$K_2 = \overline{Q_1} \cdot Q_2 \cdot Q_3$$

$$K_3 = \overline{Q_1} \cdot Q_2 \cdot \overline{Q_3}$$

$$K_4 = Q_1 \cdot Q_2 \cdot \overline{Q_3}$$

Дискусија 1:

У тексту задатка је назначено да треба претпоставити да се у регистрима М и Х налазе вредности које омогућавају да се извршавање наредбе реализује коректно и да се добије вредност која може да се смести у регистар Х. Напомена је наведена, јер су вредности у регистрима целобројне величине без знака и дужина регистара је n бита, па се у неким случајевима може добити производ који се приказује са више од n бита и на тај начин се не добија коректан резултат. На пример максимална величина која се може налазити у регистрима је $2^n - 1$. За производ $(2^n - 1) \cdot (2^n - 1)$ потребно је $2n$ бита. У задатку производ се памти у регистру дужине n бита, па се добија некоректан резултат.

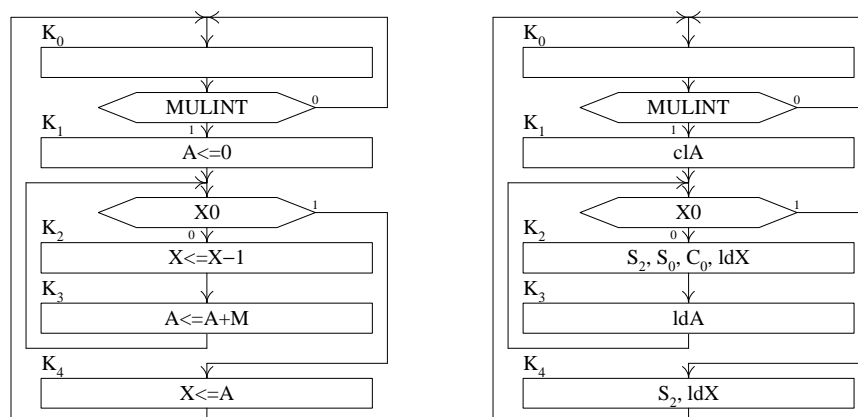
Дискусија 2:

У кораку К2 извршава се декрементирање регистра Х, а затим се у кораку К3 сабирају садржаји регистра А и М и испитује се да ли је вредност у регистру Х једнака 0. Операције декрементирања регистра Х и сабирање регистра А и М је могуће извршити у једном кораку, али декрементирање регистра и испитивање да ли је вредност у том регистру 0 није могуће извршити у истом кораку. Зато се операција декрементирања извршава у кораку К2, а испитивање садржаја регистра Х у наредном кораку К3.

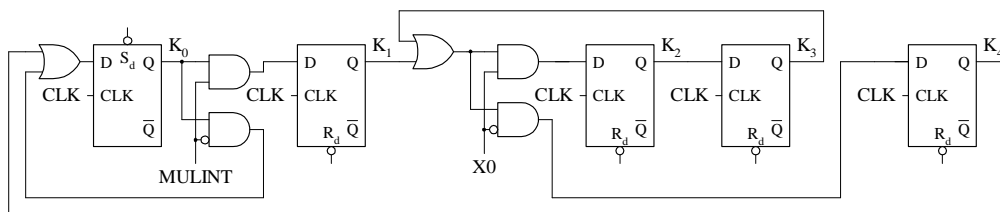
Дискусија 3:

Ако се изврши анализа добијених дијаграма тока микрооперација и управљачких сигнала може се уочити следеће: исти услов (вредност сигнала Х0) се проверава и у кораку К1 и у кораку К3. Такође у оба корака, у случају активне вредности сигнала Х0 извршавање се наставља кораком К4, а у случају неактивне вредности сигнала Х0 извршавање се наставља кораком К2. Може се извести закључак да су провере у корацима К1 и К3 исте и извршити оптимизација добијених дијаграма токова. Оптимизација се добија тако што се у кораку К3 након извршавања операционог блока даљи ток наставља испитивањем условног блока у кораку К1.

Дијаграми тока микрооперација и управљачких сигнала дати су на слици 1.2.d. Структурна шема управљачке јединице реализоване помоћу D флип-флопова приказана је на слици 1.2.e.



Слика 1.2.d Дијаграми тока микрооперација и управљачких сигнала



Слика 1.2.е Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу на исти начин као и у случају решења управљачке јединице са слике 1.2.с.

Ако се упореде структурне шеме са слика 1.2.с и 1.2.е може се приметити да је у првом случају употребљено 6 ИЛИ елемената и 3 И елемента, док је у другом случају употребљено 4 ИЛИ елемента и 2 И елемента.

1.3 MIN4

На слици 1.3.а је приказана структурна шема дела операционе јединице процесора. У регистрима R0, R1, R2 и R3 дужине n разреда се налазе бинарне вредности које треба интерпретирати као целобројне величине без знака. Микрооперације које се реализују у јединици ALU су дате у табели 1.3.

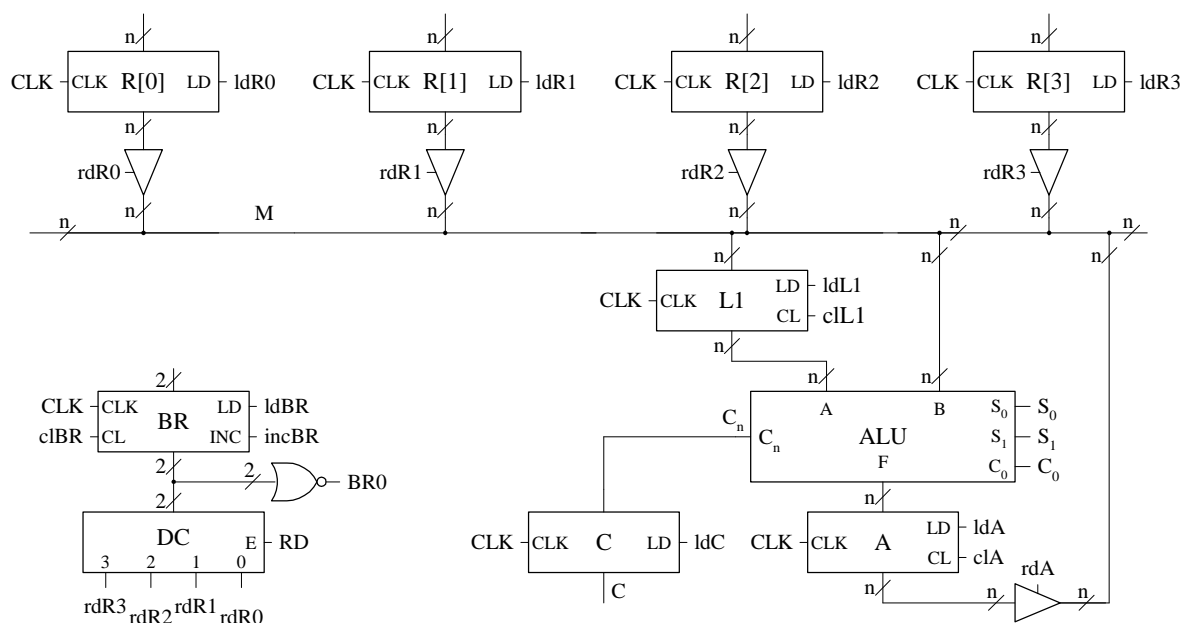
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе MIN4 која израчунава

MIN(R0, R1, R2, R3)

минимум садржаја регистара R0, R1, R2 и R3 и у регистар A смешта резултат. Фаза извршавања наредбе започиње уколико је сигнал MIN4 активан. Садржаји регистара R0, R1, R2 и R3 морају да остану неизмењени.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима.

в) Нацртати структурну шему управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима.



Слика 1.3.а Структурна шема операционе јединице

S ₀	S ₁	F ₀
0	0	A+B
0	1	A-C ₀
1	0	A+C ₀
1	1	A-B

Табела 1.3 Микрооперације у јединици ALU

Решење:

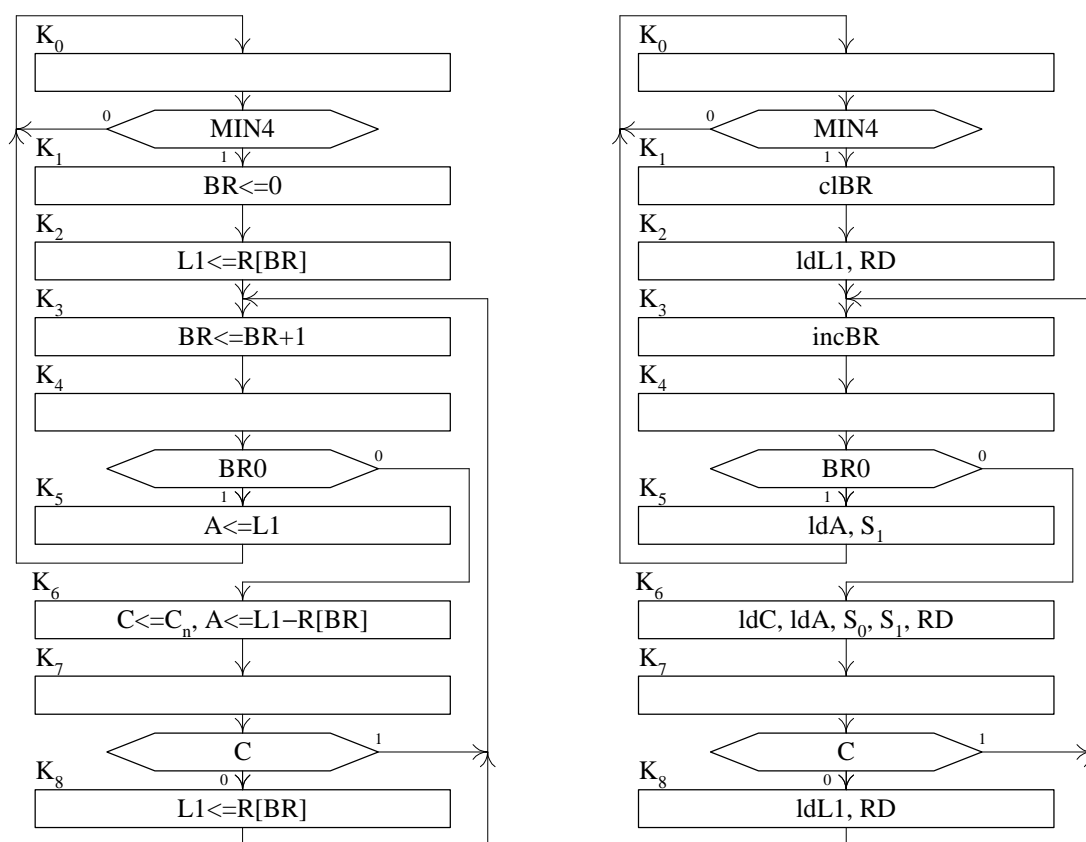
а) Дијаграм тока микрооперација и управљачких сигнала дати су на слици 1.3.б.

Израчунавање израза се реализује тако што се садржај регистра R0 упише у регистар L1. Садржај регистра L1 се пореди три пута са сваком од садржаја регистара R1, R2, R3 и мањи садржај се увек чува у регистру L1.

Постављање вредности одређеног регистра на магистралу се реализује помоћу бројачког регистра BR и декодера DC. У регистар BR се најпре упише вредност нула.

Током рада садржај регистра BR се инкрементира и проверава се да ли је садржај регистра BR поново нула. Затим се поново инкрементира садржај регистра BR и исто понавља и за регистре R2 и R3. Садржај регистра BR увек одговара броју регистра чији се садржај одузима од садржаја регистра L1.

Поређење се врши на следећи начин. У регистар L1 се упише садржај регистра R0. Од садржаја регистра L1 одузме се садржај регистра R1. Резултат одузимања се упише у регистар A, а пренос C_n из ALU јединице се упише у регистар C. У случају када сигнал C има вредност 1, садржај регистра R1 је мањи од садржаја регистра L1, па се у регистар L1 упише садржај регистра R1. Ако сигнал C има вредност 0, садржај регистра L1 мањи је од садржаја регистра R1 и садржај регистра L1 остаје непромењен. Када садржај регистра BR поново постане нула значи да су упоређени садржаји сва четири регистра и да се у регистру L1 налази минимална вредност садржаја регистара R0, R1, R2 и R3. Садржај регистра L1 се упише у регистар A као резултат извршења тражене наредбе.



Слика 1.3.б Дијаграм тока микрооперација и управљачких сигнала

У кораку K_0 се проверава вредност сигнала MIN4 и у зависности од тога да ли сигнал MIN4 има вредност 0 или 1 или остаје у кораку K_0 или на сигнал такта прелази на корак K_1 .

У кораку K_1 се вредношћу 1 сигнала clBR на сигнал такта уписује нула у регистар BR. На исти сигнал такта се прелази на корак K_2 .

У кораку K_2 се вредношћу 1 сигнала RD формира вредност 1 сигнал rd[BR] и на линије магистрале M пропушта садржај регистра R[BR], који се вредношћу 1 сигнала ldL1 на сигнал такта уписује у регистар L1. На исти сигнал такта се прелази на корак K_3 .

У кораку K_3 се вредношћу 1 сигнала incBR на сигнал такта садржај регистар BR инкрементира. На исти сигнал такта се прелази на корак K_4 .

в) Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.3.б) и дата на слици 1.3.г.

Q	Z	Q(t+1)	X	J ₁	K ₁	J ₂	K ₂	J ₃	K ₃	J ₄	K ₄
K ₀ (0000)	/	K ₀ (0000)	$\overline{\text{MIN4}}$	0	b	0	b	0	b	0	b
		K ₁ (0001)	MIN4	0	b	0	b	0	b	1	b
K ₁ (0001)	clBR	K ₂ (0011)	1	0	b	0	b	1	b	b	0
K ₂ (0011)	ldL1, RD	K ₃ (0010)	1	0	b	0	b	b	0	b	1
K ₃ (0010)	incBR	K ₄ (0110)	1	0	b	1	b	b	0	0	b
K ₄ (0110)	/	K ₆ (0101)	$\overline{\text{BR0}}$	0	b	b	0	b	1	1	b
		K ₅ (0111)	BR0	0	b	b	0	b	0	1	b
K ₅ (0111)	ldA, S ₁	K ₀ (0000)	1	0	b	b	1	b	1	b	1
K ₆ (0101)	ldC, ldA, S ₀ , S ₁ , RD	K ₇ (0100)	1	0	b	b	0	0	b	b	1
K ₇ (0100)	/	K ₃ (0010)	$\overline{\text{C}}$	0	b	b	1	1	b	0	b
		K ₈ (1100)	C	1	b	b	0	0	b	0	b
K ₈ (1100)	ldL1, RD	K ₃ (0010)	1	b	1	b	1	1	b	0	b

Слика 1.3.д.Таблица стања, прелаза/излаза и побуда флип-флопова

Стања секвенцијалне прекидачке мреже кодирана су на следећи начин

K₀=0000, K₁=0001, K₂=0011, K₃=0010, K₄=0110, K₅=0111, K₆=0101, K₇=0100,
K₈=1100,

а за реализацију стања секвенцијалне прекидачке мреже користе се флип-флопови Q₁, Q₂, Q₃ и Q₄ типа JK.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

clBR = K₁

S₀ = K₆

S₁ = K₅ + K₆

ldL1 = K₂ + K₈

ldC = K₆

ldA = K₅ + K₆

RD = K₂ + K₆ + K₈

incBR = K₃

у којима K₀, K₁, K₂, ..., K₈ представљају сигнале декодованих стања секвенцијалне прекидачке мреже. Сви остали управљачки сигнали су 0.

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопова Q₁, Q₂, Q₃ и Q₄ типа JK и комбинационе прекидачке мреже која генерише сигнале побуда JK флип-флопова према следећим изразима:

J₁ = K₇·C

K₁ = K₈

J₂ = K₃

$$K_2 = K_5 + K_7 \cdot \overline{C} + K_8$$

$$J_3 = K_1 + K_7 \cdot \overline{C} + K_8$$

$$K_3 = K_4 \cdot \overline{BR0} + K_5$$

$$J_4 = K_0 \cdot \overline{MIN4} + K_4$$

$$K_4 = K_2 + K_5 + K_6$$

С обзиром на усвојени начин кодирања стања секвенцијалне прекидачке мреже, сигнали декодованих стања секвенцијалне прекидачке мреже добијају се према изразима:

$$K_0 = \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_4}$$

$$K_1 = \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot Q_4$$

$$K_2 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3 \cdot Q_4$$

$$K_3 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3 \cdot \overline{Q_4}$$

$$K_4 = \overline{Q_1} \cdot Q_2 \cdot Q_3 \cdot \overline{Q_4}$$

$$K_5 = \overline{Q_1} \cdot Q_2 \cdot Q_3 \cdot Q_4$$

$$K_6 = \overline{Q_1} \cdot Q_2 \cdot \overline{Q_3} \cdot Q_4$$

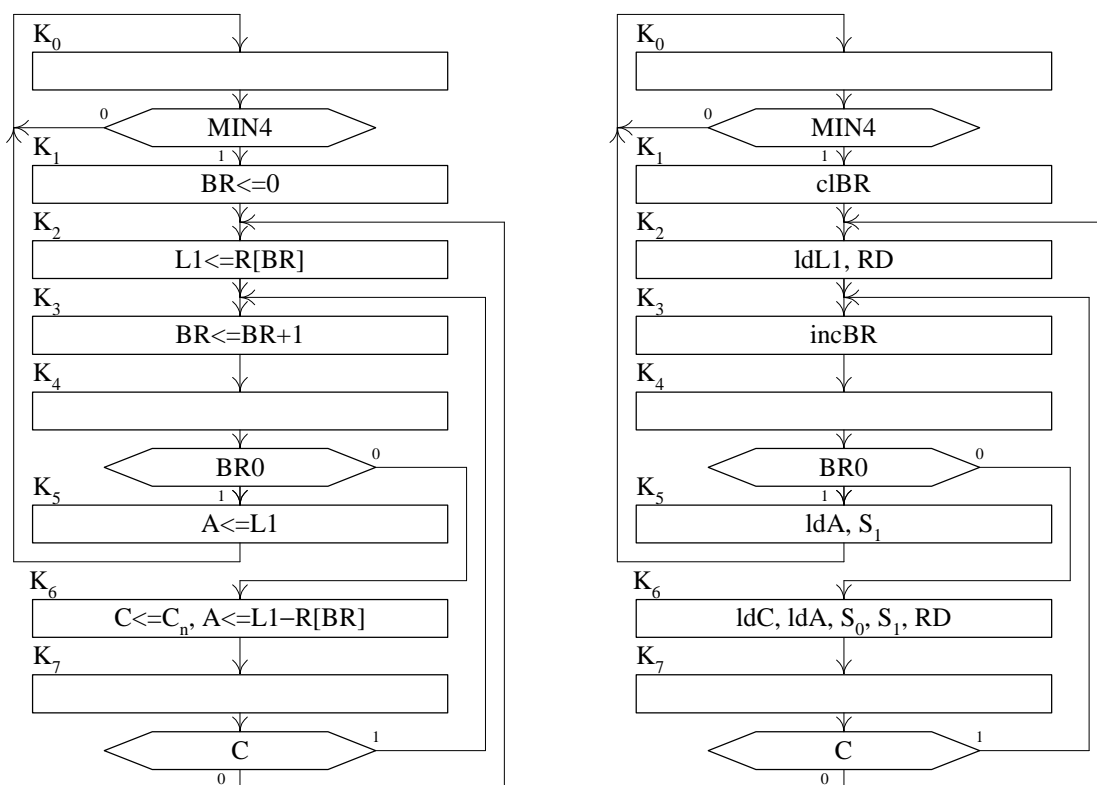
$$K_7 = \overline{Q_1} \cdot Q_2 \cdot \overline{Q_3} \cdot \overline{Q_4}$$

$$K_8 = Q_1 \cdot Q_2 \cdot \overline{Q_3} \cdot \overline{Q_4}$$

Дискусија 1:

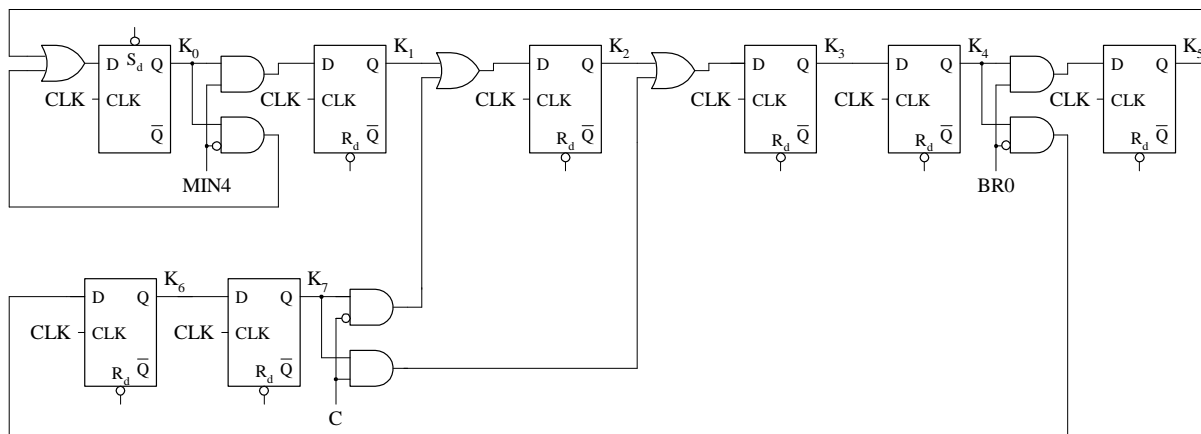
Могуће је извршити оптимизацију добијених дијаграма токова ако се у кораку K7 за вредност C = 1 прелази на корак K2, а не на корак K8.

Дијаграм тока микрооперација и управљачких сигнала дати су на слици 1.3.d.



Слика 1.3.d Дијаграм тока микрооперација и управљачких сигнала

Структурна шема управљачке јединице реализоване помоћу D флип-флопова приказана је на слици 1.3.e.



Слика 1.3.e Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{clBR} = K_1$$

$$S_0 = K_6$$

$$S_1 = K_5 + K_6$$

$$\text{ldL1} = K_2$$

$$\text{ldC} = K_6$$

$$\text{ldA} = K_5 + K_6$$

$$\text{RD} = K_2 + K_6$$

$$\text{incBR} = K_3$$

Сви остали управљачки сигнали су 0.

1.4 MAX4

На слици 1.4.a је приказана структурна шема дела операционе јединице процесора. У регистрима R0, R1, R2 и R3 дужине n разреда се налазе бинарне вредности које треба интерпретирати као целобројне величине без знака. Микрооперације које се реализују у јединици ALU су дате у табели 1.4.

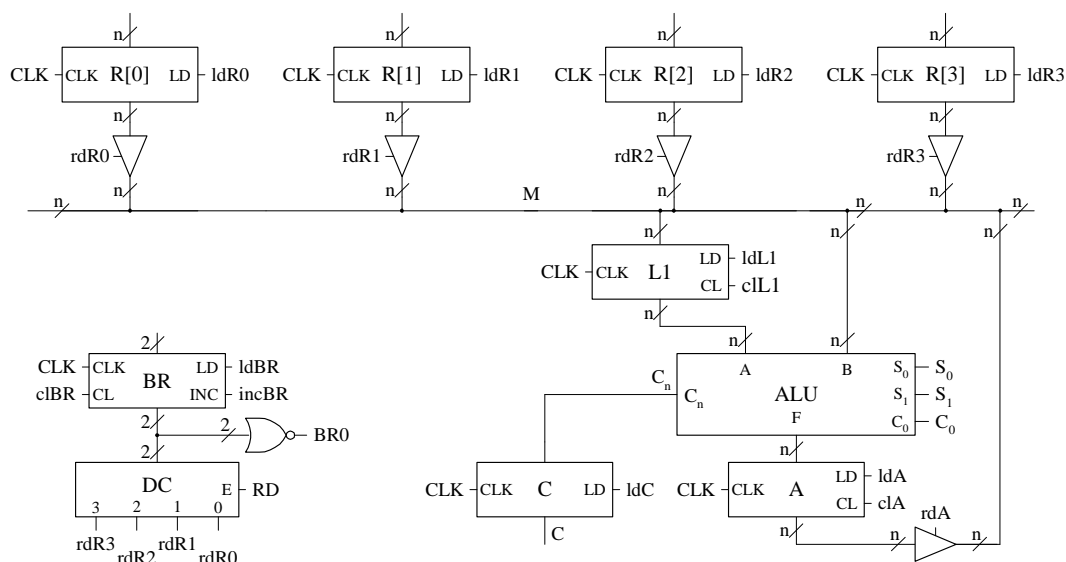
а) Нацртати дијаграме тока микрооперација и управљачких сигнала фазе извршавања наредбе MAX4 која израчунава

MAX(R0, R1, R2, R3)

максимум садржаја у регистрима R0, R1, R2 и R3, а резултат смешта у регистар A. Фаза извршавања наредбе започиње уколико је сигнал MAX4 активан. Садржаји регистара R0, R1, R2 и R3 морају да остане неизмењени.

б) Нацртати структурну шему управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима.

в) Нацртати структурну шему управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима.



Слика 1.4.a Структурна шема операционе јединице

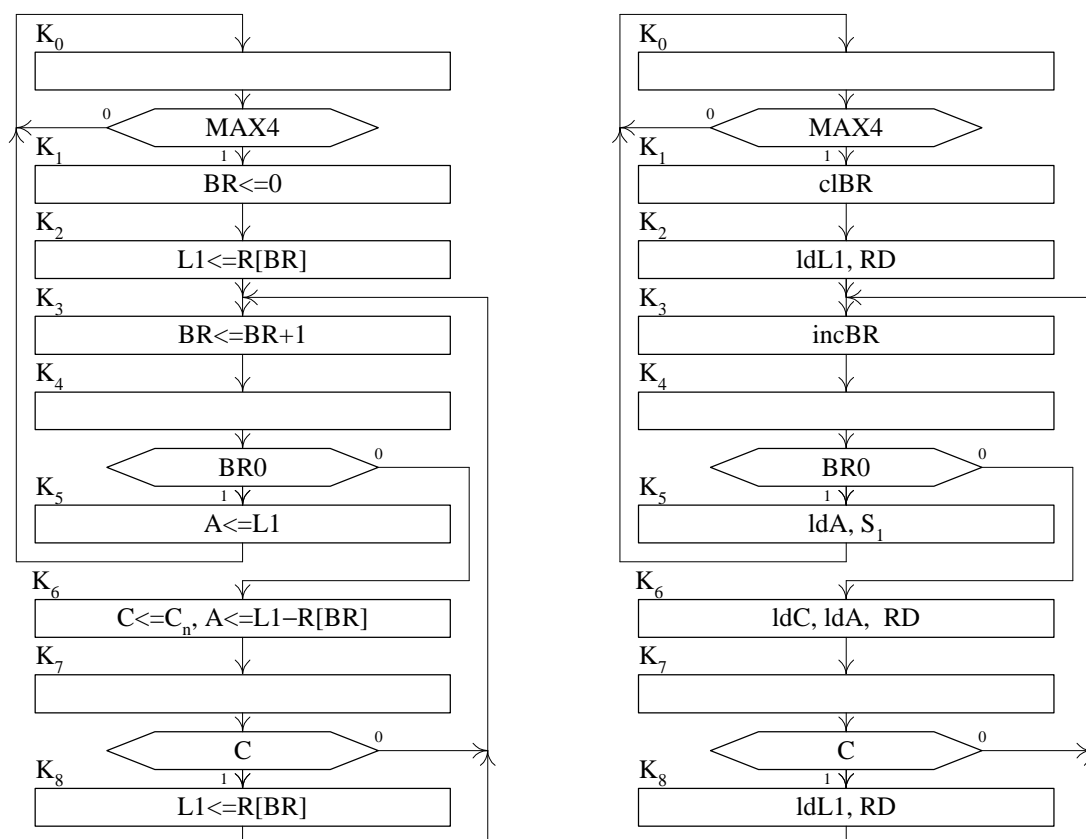
S_0	S_1	F_0
0	0	$A-B$
0	1	$A-C_0$
1	0	$A+C_0$
1	1	$A+B$

Табела 1.4 Микрооперације у јединици ALU

Решење:

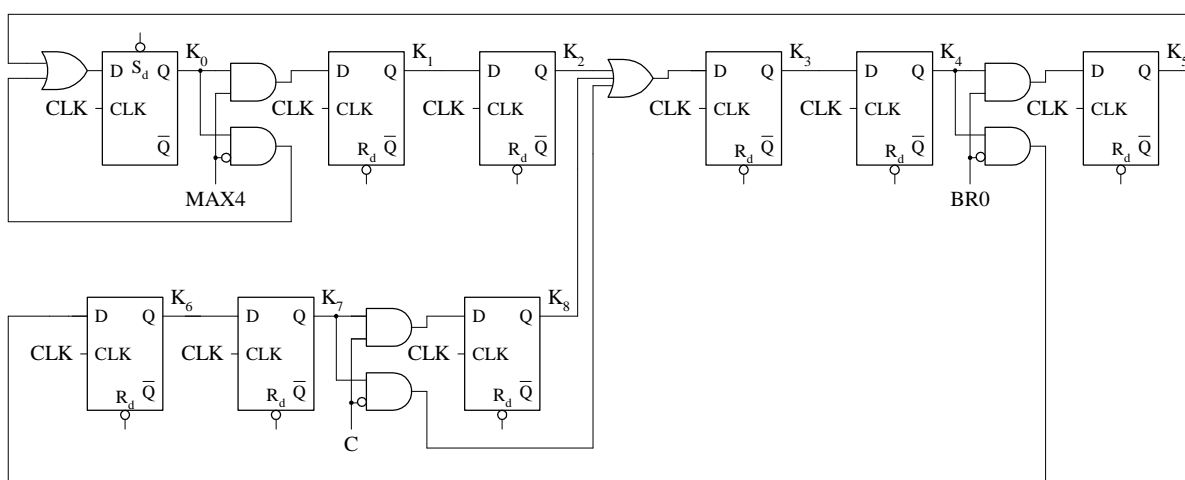
а) Дијаграм тока микрооперација и управљачких сигнала дати су на слици 1.4.б.

Извршавање операције MAX4 се реализује на сличан начин као и извршавање операције MIN4. Разлика је у кораку K_0 у коме се проверава вредност сигнала MAX4 уместо сигнала MIN4. Разлика је и у кораку K_7 у коме се за операцију MAX4 у зависности од тога да ли сигнал C има вредност 0 или 1 прелази или на корак K_8 или на корак K_0 , док је у случају операције MIN4 било обрнуто, што је последица тога да се у операцији MAX4 тражи максимум а у операцији MIN4 минимум.



Слика 1.4.б Дијаграм тока микрооперација и управљачких сигнала

б) Структурна шема управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима приказана је на слици 1.4.в



Слика 1.4.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{cIBR} = K_1$$

$$S_1 = K_5$$

$$\text{ldL1} = K_2 + K_8$$

$$\text{ldC} = K_6$$

$$\text{ldA} = K_5 + K_6$$

$$\text{RD} = K_2 + K_6 + K_8$$

$$\text{incBR} = K_3$$

у којима $K_0, K_1, K_2, \dots, K_8$ представљају сигнале са излаза флип-флопова придружених операционим блоковима у дијаграму тока управљачких сигнала (слика 1.4.б). Сви остали управљачки сигнали су 0.

в) Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.4.б) и дата на слици 1.4.г.

Q	Z	Q(t+1)	X	J ₁	K ₁	J ₂	K ₂	J ₃	K ₃	J ₄	K ₄
K ₀ (0000)	/	K ₀ (0000)	$\overline{\text{MAX4}}$	0	b	0	b	0	b	0	b
		K ₁ (0001)	MAX4	0	b	0	b	0	b	1	b
K ₁ (0001)	clBR	K ₂ (0011)	1	0	b	0	b	1	b	b	0
K ₂ (0011)	ldL1, RD	K ₃ (0010)	1	0	b	0	b	b	0	b	1
K ₃ (0010)	incBR	K ₄ (0110)	1	0	b	1	b	b	0	0	b
K ₄ (0110)	/	K ₆ (0101)	$\overline{\text{BR0}}$	0	b	b	0	b	1	1	b
		K ₅ (0111)	BR0	0	b	b	0	b	0	1	b
K ₅ (0111)	ldA, S ₁	K ₀ (0000)	1	0	b	b	1	b	1	b	1
K ₆ (0101)	ldC, ldA, RD	K ₇ (0100)	1	0	b	b	0	0	b	b	1
K ₇ (0100)	/	K ₈ (1100)	$\overline{\text{C}}$	1	b	b	0	0	b	0	b
		K ₃ (0010)	C	0	b	b	1	1	b	0	b
K ₈ (1100)	ldL1, RD	K ₃ (0010)	1	b	1	b	1	1	b	0	b

Слика 1.4.г.Таблица стања, прелаза/излаза и побуда флип-флопова

Стања секвенцијалне прекидачке мреже кодирана су на следећи начин

$K_0=0000, K_1=0001, K_2=0011, K_3=0010, K_4=0110, K_5=0111, K_6=0101, K_7=0100,$
 $K_8=1100,$

а за реализацију стања секвенцијалне прекидачке мреже користе се флип-флопови Q₁, Q₂, Q₃ и Q₄ типа JK.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

clBR = K₁

S₁ = K₅

ldL1 = K₂ + K₈

ldC = K₆

ldA = K₅ + K₆

RD = K₂ + K₆ + K₈

incBR = K₃

у којима $K_0, K_1, K_2, \dots, K_8$ представљају сигнале декодованих стања секвенцијалне прекидачке мреже. Сви остали управљачки сигнали су 0.

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопова Q₁, Q₂, Q₃ и Q₄ типа JK и комбинационе прекидачке мреже која генерише сигнале побуда JK флип-флопова према следећим изразима:

$$J_1 = K_7 \cdot \overline{C}$$

$$K_1 = K_8$$

$$J_2 = K_3$$

$$K_2 = K_5 + K_7 \cdot C + K_8$$

$$J_3 = K_1 + K_7 \cdot C + K_8$$

$$K_3 = K_4 \cdot \overline{BR0} + K_5$$

$$J_4 = K_0 \cdot MAX4 + K_4$$

$$K_4 = K_2 + K_5 + K_6$$

С обзиром на усвојени начин кодирања стања секвенцијалне прекидачке мреже, сигнали декодованих стања секвенцијалне прекидачке мреже добијају се према изразима:

$$K_0 = \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_4}$$

$$K_1 = \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot Q_4$$

$$K_2 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3 \cdot Q_4$$

$$K_3 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3 \cdot \overline{Q_4}$$

$$K_4 = \overline{Q_1} \cdot Q_2 \cdot Q_3 \cdot \overline{Q_4}$$

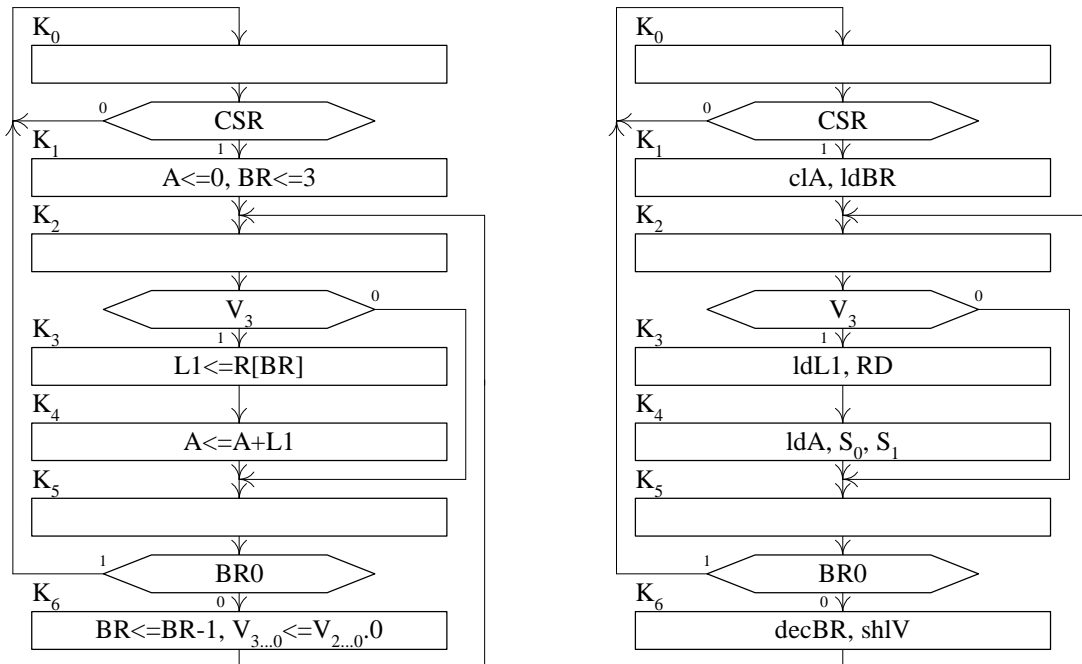
$$K_5 = \overline{Q_1} \cdot Q_2 \cdot Q_3 \cdot Q_4$$

$$K_6 = \overline{Q_1} \cdot Q_2 \cdot \overline{Q_3} \cdot Q_4$$

$$K_7 = \overline{Q_1} \cdot Q_2 \cdot \overline{Q_3} \cdot \overline{Q_4}$$

$$K_8 = Q_1 \cdot Q_2 \cdot \overline{Q_3} \cdot \overline{Q_4}$$

У једној итерацији петље проверава се бит највеће тежине (V_3) регистра V и уколико је он једнак јединици у регистар $L1$ се уписује садржај регистра $R[BR]$. Затим се израчуна сума садржаја регистра A и $L1$ и резултат упише у регистар A . Уколико је вредност V_3 једнака нули, садржај регистра A остаје непромењен. Докле год је садржај регистра BR различит од нуле садржај регистра V се помера за једно место у лево, а садржај регистра BR се декрементира и понавља цео поступак провере бита V_3 и израчунавања суме. Када садржај регистра BR постане нула значи да се у регистру A налази резултат извршења тражене инструкције.



Слика 1.5.6 Дијаграм тока микрооперација и управљачких сигнала

У кораку K_0 се проверава вредност сигнала CSR и у зависности од тога да ли сигнал CSR има вредност 0 или 1 или остаје у кораку K_0 или на сигнал такта прелази на корак K_1 .

У кораку K_1 се вредношћу 1 сигнала clA на сигнал такта уписује нула у регистар A и вредношћу 1 сигнала $ldBR$ на сигнал такта уписује бинарна вредност 11 у регистар BR . На исти сигнал такта се прелази на корак K_2 .

У кораку K_2 се и проверава вредност сигнала V_3 и у зависности од тога да ли сигнал V_3 има вредност 0 или 1 на сигнал такта се прелази или на корак K_5 или на корак K_3 .

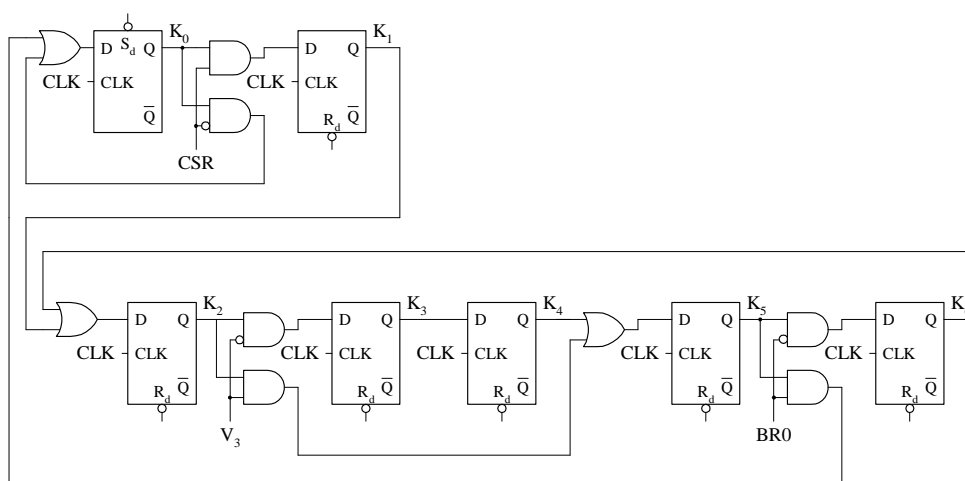
У кораку K_3 се вредношћу 1 сигнала $rdR[BR]$ на линије магистрале M пропушта садржај регистра $R[BR]$, који се вредношћу 1 сигнала $ldL1$ на сигнал такта уписује у регистар $L1$. На исти сигнал такта се прелази на корак K_4 .

У кораку K_4 на улазу A јединице ALU је присутан садржај регистра $L1$, а на улазу B јединице ALU присутан је садржај регистра A . Вредностима 1 сигнала S_0 и S_1 се обезбеђује да се на излазу јединице ALU појави сума садржаја регистара $L1$ и A , која се вредношћу 1 сигнала ldA на сигнал такта уписује у регистар A . На исти сигнал такта се прелази на корак K_5 .

У кораку K_5 се проверава вредност сигнала $BR0$ и у зависности од тога да ли сигнал $BR0$ има вредност 0 или 1 на сигнал такта прелази или на корак K_6 или на корак K_0 .

У кораку K_6 се вредношћу 1 сигнала $decBR$ садржај регистра BR декрементира и вредношћу 1 сигнала $shlV$ садржај регистра V помера за једно место у лево. На исти сигнал такта се прелази на корак K_2 .

б) Структурна шема управљачке јединице реализоване као "шетајућа јединица" са D флип-флоповима приказана је на слици 1.5.в.



Слика 1.5.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$clA = K_1$$

$$ldA = K_4$$

$$ldL1 = K_3$$

$$ldBR = K_1$$

$$S_0 = K_4$$

$$S_1 = K_4$$

$$decBR = K_6$$

$$shlV = K_6$$

$$RD = K_3$$

у којима $K_0, K_1, K_2, \dots, K_6$ представљају сигнале са излаза флип-флопова придружених операционим блоковима у дијаграму тока управљачких сигнала (слика 1.5.б). Сви остали управљачки сигнали су 0.

в) Таблица стања, прелаза/излаза и побуда флип-флопова за управљачку јединицу реализовану као стандардна секвенцијална прекидачка мрежа са JK флип-флоповима формирана је на основу дијаграма тока управљачких сигнала (слика 1.5.б) и дата на слици 1.5.г.

Q	Z	Q(t+1)	CSR	J ₁	K ₁	J ₂	K ₂	J ₃	K ₃
K ₀ (000)	/	K ₀ (000)	\overline{CSR}	0	b	0	b	0	b
		K ₁ (001)	CSR	0	b	0	b	1	b
K ₁ (001)	clA, ldBR	K ₂ (011)	1	0	b	1	b	b	0
K ₂ (011)	/	K ₃ (010)	V ₃	0	b	b	0	b	1
		K ₅ (111)	$\overline{V_3}$	1	b	b	0	b	0
K ₃ (010)	ldL1, RD	K ₄ (110)	1	1	b	b	0	0	b
K ₄ (110)	ldA, S ₀ , S ₁	K ₅ (111)	1	b	0	b	0	1	b
K ₅ (111)	/	K ₀ (000)	BR0	b	1	b	1	b	1
		K ₆ (101)	$\overline{BR0}$	b	0	b	1	b	0

K_6 (101)	decBR, shlV	K_2 (011)	1	b	1	1	b	b	0
-------------	-------------	-------------	---	---	---	---	---	---	---

Слика 1.5.г. Таблица стања, прелаза/излаза и побуде флип-флопова

Стања секвенцијалне прекидачке мреже кодирана су на следећи начин

$K_0=000$, $K_1=001$, $K_2=011$, $K_3=010$, $K_4=110$, $K_5=111$, $K_6=101$,

а за реализацију стања секвенцијална прекидачка мрежа користе се флип-флопови Q_1 , Q_2 и Q_3 типа JK

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$clA = K_1$$

$$ldA = K_4$$

$$ldL1 = K_3$$

$$ldBR = K_1$$

$$S_0 = K_4$$

$$S_1 = K_4$$

$$decBR = K_6$$

$$shlV = K_6$$

$$RD = K_3$$

у којима K_0, K_1, \dots, K_6 , представљају сигнале декодованих стања секвенцијалне прекидачке мреже. Сви остали управљачки сигнали су 0.

Структурна шема управљачке јединице реализоване као стандардна секвенцијална прекидачка мрежа се састоји од флип-флопове Q_1 , Q_2 и Q_3 типа JK и комбинационе прекидачке мреже која генерише сигнале побуда JK флип-флопова према следећим изразима:

$$J_1 = K_2 \cdot \overline{V_3} + K_3$$

$$K_1 = K_5 \cdot BR0 + K_6$$

$$J_2 = K_1 + K_6$$

$$K_2 = K_5$$

$$J_3 = K_0 \cdot CSR + K_4$$

$$K_3 = K_2 \cdot V_3 + K_5 \cdot BR0$$

С обзиром на усвојени начин кодирања стања секвенцијалне прекидачке мреже, сигнали декодованих стања секвенцијалне прекидачке мреже добијају се према изразима:

$$K_0 = \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$$

$$K_1 = \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3$$

$$K_2 = \overline{Q_1} \cdot Q_2 \cdot Q_3$$

$$K_3 = \overline{Q_1} \cdot Q_2 \cdot \overline{Q_3}$$

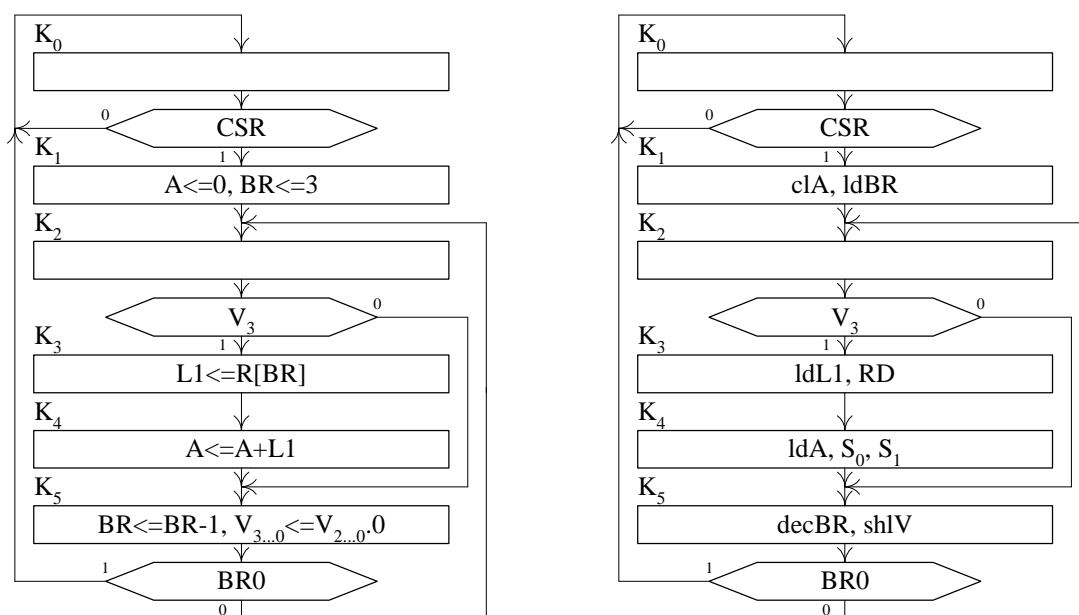
$$K_4 = Q_1 \cdot Q_2 \cdot \overline{Q_3}$$

$$K_5 = Q_1 \cdot Q_2 \cdot Q_3$$

$$K_6 = Q_1 \cdot \overline{Q_2} \cdot Q_3$$

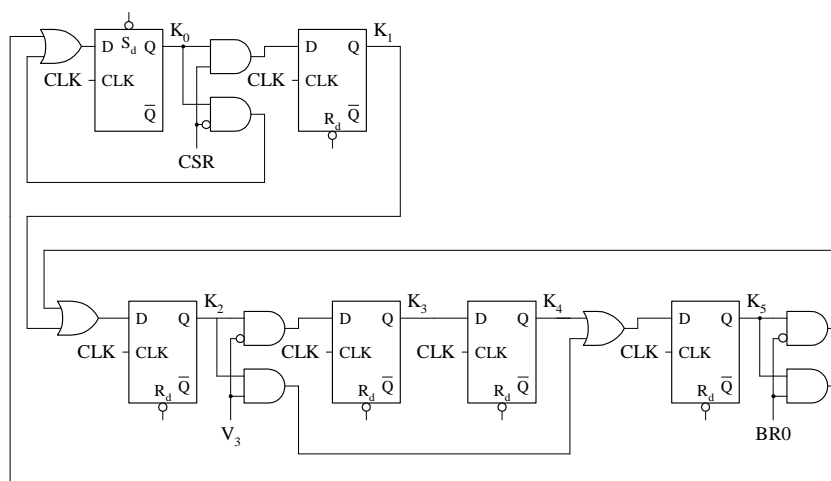
Дискусија 1:

Дијаграм тока микрооперација и управљачких сигнала би могли да се реализују и на начина приказан на слици 1.5.г. У кораку K5 се на исти сигнал такта на основу вредности сигнала BR0 прелази у корак K2 или K0 и врши декрементирање садржаја регистра BR. Прелазак се врши на основу старе, а не нове вредности бројача BR.



Слика 1.5.г Дијаграм тока микрооперација и управљачких сигнала

Структура управљачке јединице је дата на слици 1.5.д.



Слика 1.5.д Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$clA = K_1$$

$$ldA = K_4$$

$$ldL1 = K_3$$

$$ldBR = K_1$$

$$S_0 = K_4$$

$$S_1 = K_4$$

$$decBR = K_5$$

$$shlV = K_5$$

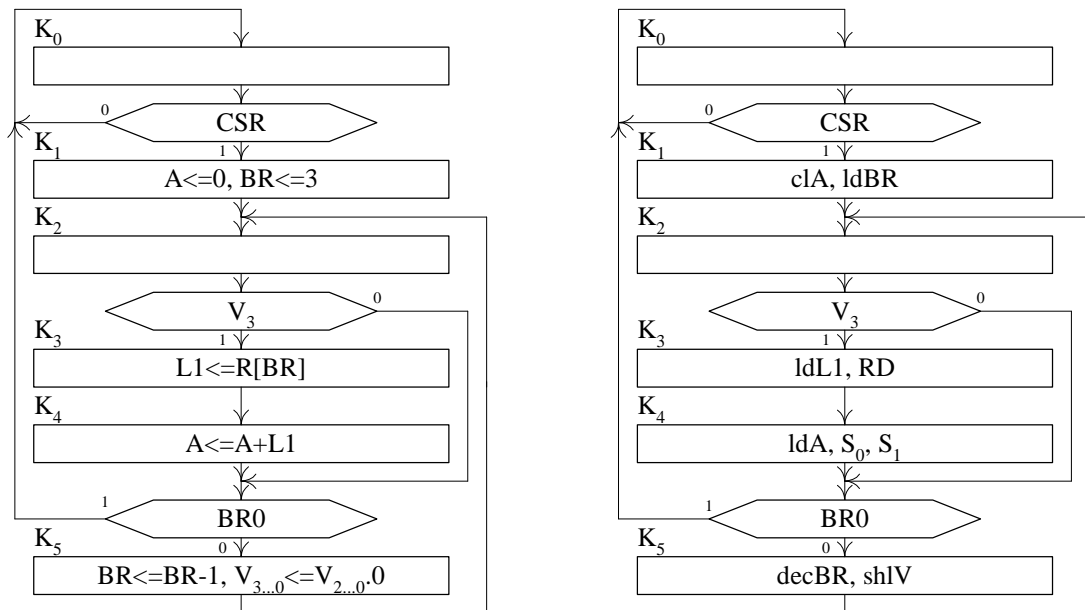
$$RD = K_3$$

Сви остали управљачки сигнали су 0.

Дискусија 2:

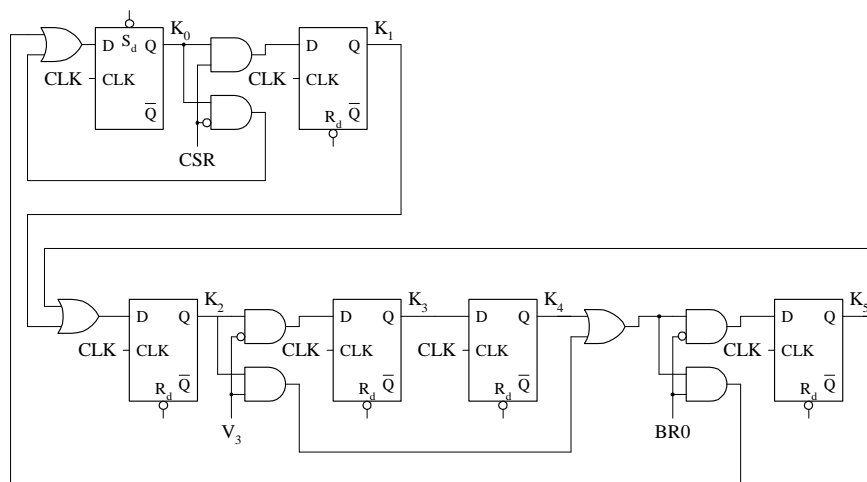
Дијаграм тока микрооперација и управљачких сигнала би могли да се реализују и на начина приказан на слици 1.5.ђ. У кораку K2 се проверава вредност сигнала V3. Уколико је V3 нула прелази се на корак K3. Уколико је V3 јединица проверава се и

вредност сигнала BR0 и прелази на корак K0 или K6 у зависности од тога да ли је сигнал BR0 јединица или нула. Вредност сигнала BR0 се проверава и из корака K4 и прелази на корак K0 или K6 у зависности од тога да ли је сигнал BR0 јединица или нула.



Слика 1.5.г Дијаграм тока микрооперација и управљачких сигнала

Структура управљачке јединице је дата на слици 1.5.е.



Слика 1.5.е Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу на исти начин као и у случају решења управљачке јединице са слике 1.13.е.

2 ЛИТЕРАТУРА

1. B. Lazić, *Logičko projektovanje računara*, Nauka—Elektrotehnički fakultet, Beograd, 1994.
2. D. Živković, M. Popović, *Impulsna u digitalna elektronika*, Nauka—Elektrotehnički fakultet, Beograd, 1992.
3. J. Djordjevic, A. Milenkovic, N. Grbanovic, "An Integrated Educational Environment for Teaching Computer Architecture and Organisation," IEEE MICRO, May 2000, pp. 66-74.
4. J. Djordjevic, M. R. Barbacci, B. Hosler, *A PMS Level Notation for the Description and Simulation of Digital Systems*, The Computer Journal, Vol. 28, No. 4, pp. 357-365, 1985.
5. S. Miladinović, J. Đorđević, A. Milenković, *Programski sistem za grafički opis u simulaciju digitalnih sistema*, Zbornik radova ETRAN 1997, Zlatibor, Jugoslavija, Jun 1997.
6. N. Grbanovic, J. Djordjevic, B. Nikolić, *The Software Package for an Educational Computer System*, International Journal on Electrical Engineering Education, Vol. 40, No. 4, Oct 2003, pp. 270-284.
7. J. Djordjevic, A. Milenkovic, I. Todorovic, D. Marinov, "CALCAS: A Computer Architecture Learning and Knowledge Assessment System," IEEE TC Computer Architecture Newsletter, March 1999.
8. J. Đorđević, *Priručnik uz arhitekture računara*, Elektrotehnički fakultet, Beograd, 1997.
9. J. Đorđević, *Priručnik uz arhitekture u organizacije računara*, Elektrotehnički fakultet, Beograd, 1997.
10. J. Đorđević, *Arhitektura računara, Edukacioni računarski sistem, Arhitektura u organizacija računarskog sistema*, Elektrotehnički fakultet, Beograd, 2002.
11. J. Đorđević, N. Grbanović, B. Nikolić, Z. Radivojević, *Arhitektura računara, Edukacioni računarski sistem, Priručnik za simulaciju sa zadacima*, Elektrotehnički fakultet, Beograd, 2004.
12. J. Djordjevic, B. Nikolic, A. Milenkovic, "Flexible Web-based Educational System for Teaching Computer Architecture and Organization," IEEE, Transactions on Education, Vol. 48, No. 2, 2005.
13. J. Djordjevic, B. Nikolic, M. Mitrovic, "A Memory System for Education," Computer Journal, (to appear)