



Архитектура рачунара  
Први колоквијум

1. (5) У процесору са векторисаним механизмом прекида потребно је генерисати сигнал ПРЕКИД (индикацију присуства прекида) у случају да процесор прихвата: унутрашњи прекид због грешке у коду операције (PRCOD), унутрашњи прекид због грешке у начину адресирања (PRADR), спољашњи немаскирајући прекид (INM), унутрашњи прекид због задатог режима рада са прекидом после сваке инструкције (PRTRAP) и спољашње маскирајуће прекиде (IM) који сижу по линијама  $IRQM_0$  и  $IRQM_1$ . Нацртати шему за генерисање и објаснити како се генерише овај сигнал. Размотрити ситуацију када не постоји регистар маске IMR, а програмске статусна реч PSW садржи и бите I (*Interrupt Enable*), T (*Trap*) и одговарајући број L (*Priority Level*) бита, све у складу са описом процесора из задатка 3.

2. (5) Посматра се процесор чији је опис дат у задатку 3. Претпоставимо да се извршава главни програм и да је бит Т програмске статусне речи којим се задаје прекид после сваке инструкције постављен на вредност 1. Навести све ситуације у којима се након (започињања) неке инструкције главног програма неће ући у *trap* прекидну рутину после те инструкције (а пре прве наредне инструкције главног програма).

3. (15) Адресни простор процесора је величине 128KB, адресибилна јединица је 16 битна реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором. Механизам прекида је векторисан. Табела прекидних рутина почиње од адресе на коју указује регистар IVTP чија вредност је 1000h. Табела прекидних рутина је ограничена на 16 улаза.

Процесор има две улазне линије  $IRQM_0$  и  $IRQM_1$  за спољашње маскирајуће прекиде и једну улазну линију  $IRQN_0$  за спољашње немаскирајуће прекиде на које су везане периферије PER0, PER1 и PER2, респективно. Адресе 4 битних регистара контролера периферија PER0, PER1 и PER2 у којима се чувају бројеви улаза у IV табелу су 10h, 20h и 30h, респективно. Придружени бројеви улаза у табели прекидних рутина за  $IRQM_0$ ,  $IRQM_1$  и  $IRQN_0$  су 13, 14 и 15, док се захтеви памте у флип флопима  $PRM_0$ ,  $PRM_1$  и  $PRN_0$ , а прекидне рутине се налазе на 2000h, 3000h и 4000h, респективно. Од спољашњих маскирајућих виши приоритет има захтев који долази по линији  $IRQM_1$ . Процесор реагује и на: прекиде услед извршавања инструкције INS - захтев се чува у флип флопу PRINS, прекиде због задатог режима рада прекид после сваке инструкције - захтев се чува у биту Т регистра PSW. Улаз 0 IV табеле је фиксно одређен за прекиде због задатог режима рада прекид после сваке инструкције, док се на адреси 1000h налази прекидна рутина.

Акумулатор ACC и PSW су 16 битни. У регистру PSW постоје бит Т (нулти бит регистра PSW), бит I (први бит регистра PSW) и одговарајући број L бита (највиши битови регистра PSW). Главни програм има најнижу бинарну вредност L бита. Код спољашњих маскирајућих прекида, прихватају се само прекиди вишег приоритета. У кораку за обраду прекида на стек се хардверски стављају PC и PSW, тим редом. Стек расте према нижим локацијама, а SP указује на последњу заузету локацију. Почетна вредност регистра SP износи FFFFh. Инструкције INTE, INTD, TRPE, TRPD и RTI не реагују на прекиде. У процесору не постоји регистар маске IMR.

На слици 1, дат је део кода који је учитан у оперативну меморију рачунара. Инструкција на адреси 5000h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. На слици 2, дати су тренуци пристизања спољашњих захтева за прекид.

а) (3) Написати прекидну рутину након чијег извршавања неће бити могуће прихватити ни један спољашњи маскирајући прекид чак иако се након ње изврши инструкција INTE. У ову прекидну рутину би се прелазило само из главног програма коришћењем инструкције INS. Не треба разматрати случај када се у ову прекидну рутину прелази из неке друге прекидне рутине. На располагању је помоћна локација на адреси 0000h.

б) (1) Написати део програма којим се додељује број улаза у IV табелу за периферију PER1.

в) (1) Колика је величина IV табеле? Резултат дати у бајтовима.

г) (10) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 5000h. На почетку су сви бити регистра PSW постављени на 0. Почетни садржај осталих релевантних регистара/меморијских локација дат је у табели 1. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида. Табелу приказати до завршене инструкције која се налази на адреси 5006h. При цртању стања стека, потребно је назначити адресу сваке меморијске локације, као и на коју адресу указује регистар SP. При цртању регистра PSW на стеку, назначити само релевантне битове.

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 90 минута. **Коначно решење задатака попунити искључиво на формулару.**

Презиме и име студента	Индекс (гггг/бббб)	Потпис дежурног

**1. Сигнал ПРЕКИД**

2.

Ситуација 1:

Ситуација 2:

Ситуација 3:

Ситуација 4:

Ситуација 5:

Презиме и име студента	Индекс (гггг/бббб)	Потпис дежурног

## Слика 2 - пристигли захетви

<u>Адреса</u> <u>Наредба</u>	<u>Адреса</u> <u>Наредба</u>	<u>Адреса</u> <u>Наредба</u>	<u>Адреса</u> <u>Наредба</u>	Редни број инструкције	Линија захтева
5000h INTE	1000h INC	3000h TRPE	4000h AND #5h	2	IRQM <sub>1</sub>
5001h LOAD #1h	1001h RTI	3001h LOAD #FFFFh	4002h RTI		
5003h STORE 10h	...	3003h STORE FFFDh	....	4	IRQM <sub>0</sub>
5005h INS #0h	2000h XOR #2h	3005h INTE	6000h SUB #2h		
5007h INTD	2002h RTI	3006h DEC	6002h INC	6	IRQN <sub>0</sub>
		3007h RTI	6003h RTI		

### **Таблица 1 - редослед извшавања инструкција**

[illegible]

Изглед стека:

SP

Ситуација 1

FFFFh

а)

б)

Инструкција
ST 0000
POP
OR #C000
PUSH
LD 0000
RTI

в) величина: \_\_\_\_\_ В