



Архитектура рачунара
- јунски испитни рок -

1. (5) У посматраном рачунарском систему постоји само једна линија по којој улазно/излазни уређаји могу процесору да шаљу захтеве за прекид, док линија за слање сигнала потврде не постоји. У датом систему постоје 2 улазно/излазна уређаја UI1 и UI0, при чему UI1 има виши приоритет од UI0. Периферија захтев за прекидом генерише као ниво. Нацртати како та 2 улазно/излазна уређаја треба повезати помоћу те линије на процесор ради слања захтева за прекид и објаснити како се реализује скок на одговарајућу прекидну рутину сваког од 2 улазно/излазна уређаја. Скок на одговарајућу прекидну рутину се реализује делом хардверски, а делом софтверски. Објаснити шта се и како ради хардверски, а шта и како софтверски. За онај део који се ради софтверски написати одговарајући програм. Адресе прекидних рутина уређаја UI1 и UI0 су 10000000h и 00000000h, респективно. Ширина меморијске речи и адресе меморијских локација су 32 бита.

2. (5) Написати оптималну секвенцу инструкција неопходних за срачунавање израза:

```
int *a, *b, *c, d, i;
...
for (i = 0; i < d; i += 1)
    if (b[i] == c[i]) a[i] = 1;
    else a[i] = 0;
...
```

На располагању је процесор код кога аритметичке, логичке и померачке инструкције имају формат: OC reg, reg, reg/imm где је OC код операције, одредишни операнд и први операнд морају бити у регистру (reg), док други може бити или у регистру или дат непосредно (reg/imm). Инструкција LOAD има формат: LOAD reg, mem где је првим операндом дат одредишни регистар (reg), а другим извориште. Инструкција STORE има формат: STORE reg, mem где је првим операндом дат изворишни регистар (reg), а другим одредиште. A, B, C, D и I су глобалне променљиве које одговарају симболичким ознакама адреса меморијских локација у којима се налазе операнди. Садржај меморијских локација означених адресама A, B, C и D треба да остане непромењен, садржај одговарајућих регистара је дозвољено мењати. На располагању стоји 8 регистара опште намене. Претпоставити да су сви подаци и адресе исте дужине која је једнака адресибилној јединици.

3. (5) Написати оптималну секвенцу инструкција која одговара следећој стандардној библиотечкој C функцији која израчунава дужину низа *source*:

```
int strlen (const char *source);
```

Формати инструкција и података су као у задатку 2. На располагању стоје и сложене инструкције.

4. (15) У рачунарском систему се налази једноадресни процесор, меморија и периферије PER0 и PER1 са придруженим контролером са директним приступом меморији DMA. Све компоненте рачунара су повезане системском магистралом са 16 битном адресном и 16 битном магистралом података. Адресирање је на нивоу 16 битних речи. Улазно-излазни адресни простор и меморијски адресни простор су раздвојени. Адресе релевантних регистара су:

PER0_CONTROL	FF00h	DMA_PER1_CONTROL	FF20h
PER0_STATUS	FF01h	DMA_PER1_STATUS	FF21h
PER0_DATA	FF02h	DMA_PER1_DATA	FF22h
PER1_CONTROL	FF10h	DMA_PER1_ADDR	FF23h
PER1_STATUS	FF11h	DMA_PER1_COUNT	FF24h
PER1_DATA	FF12h		

У управљачким регистрима бит 15 је *Start* којим се дозвољава почетак операције, бит 0 одређују тип преноса података (1 - улаз (*input*), 0 – излаз (*output*)), бит 1 је *Enable* којим се дозвољава прекид, а у статусним регистрима бит 0 је *Ready* који сигнализира спремност контролера периферије. Бит 2 управљачког регистра DMA контролера задаје режим рада (0-блоковски (*burst*), 1-циклус по циклус (*cycle stealing*)).

Написати главни програм и одговарајућу прекидну рутину којима се обавља следећи пренос. Са периферије PER0 се прихвата бесконачни низ података и упоредо прослеђује периферији PER1. На располагању је један кружни бафер који почиње на адреси BPSTART и величине је BPSIZE. Наиме, упоредо са пуњењем кружног бафера одвија се његово пражњење слањем података на периферију PER1. Користити променљиву CNT којој одговара број елемената у кружном баферу, променљиву HEAD која указује на прву слободну адресу за прихватање податка и променљиву TAIL која указује на адресу првог елемента за слање (променљиве иницијализовати и адекватно ажурирати).

Примање података са периферије PER0 реализовати испитивањем бита спремности. Слање података на периферију PER1 реализовати коришћењем придруженог DMA контролера који ради у циклус по циклус режиму рада и то тако да се при слању података шаље што већи доступан блок података из бафера. DMA контролер покретати једино ако се у кружном баферу налази минимално N елемената (N је дата константа, $1 < N \leq BPSIZE$). За давање нове операције над DMA претходно је потребно да ни DMA ни PER1 не извршавају ни једну операцију. Процесор не поседује регистре опште намене, као ни IMR регистар. Процесор поседује PSWI и одговарајуће инструкције којим се дозвољава или забрањује обрада спољашњих маскирајућих прекида. Дозвољено је користи додатне променљиве, али њихове називе треба писати описно и семантички исправно. **Обавезно је писање концизних коментара над семантичким целинама.**

Напомене: На испиту нису дозвољена никаква помоћна средства, ни калкулатори, ни литература. Испит траје 120 минута. Излазак је забрањен првих 60 минута. Студент је дужан да пише читко и уредно.