



Архитектура рачунара  
Први колоквијум

1. (5) У регистру PSW постоји неколико бита који се односе на прекиде.

а) Нацртати изглед ових разреда регистра PSW уколико је регистар реализован користећи RS флип-флопове.

б) За сваки од сигнала којим се мења садржај појединих разреда (поставља, брише, уписује) назначити у којим се ситуацијама генеришу. Одговор дати табеларно.

Сигнал	Бит на који утиче	Ситуација у којој се генерише

2. (5) У процесору са векторисаним механизмом прекида у оквиру хардверског дела опслуживања захтева за прекид на стек се стављају и то по следећем редоследу: програмски бројач PC, програмска статусна реч PSW, акумулатор ACC, адресни регистар AR, базни регистар BR, и индексни регистар XR. Повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције водећи рачуна о варијантама реализација инструкције.

3. (15) Адресни простор процесора је величине 64KB, адресбилна јединица је 8 битна реч. Код смештања вишечерних података у меморију, нижи бајт се налази на нижој адреси, а виши бајт на вишој адреси. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, табела прекидних рутина (*Interrupt Vector*) почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност FF08h. Све инструкције врше операције над 16 битним подацима.

Процесор има две улазне линије IRQM<sub>0</sub> и IRQM<sub>1</sub> за спољашње маскирајуће прекиде и једну улазну линију IRQN<sub>0</sub> за спољашње немаскирајуће прекиде на које су везане периферије PER0, PER1 и PER2, респективно. Адресе 8 битних регистра контролера периферија PER0, PER1 и PER2 у којима се чувају бројеви улаза у IV табелу су 10h, 14h и 18h, респективно. Придружени бројеви улаза у табели прекидних рутина за IRQM<sub>0</sub>, IRQM<sub>1</sub> и IRQN<sub>0</sub> су 4, 5 и 6, док се захтеви памте у флип флопвима PRM<sub>0</sub>, PRM<sub>1</sub> и PRN<sub>0</sub>, а прекидне рутине се налазе на 1100h, 1105h и 1200h, респективно. Од спољашњих маскирајућих приоритетнији је захтев који долази по линији IRQM<sub>1</sub>. Процесор реагује и на: прекиде услед неисправне инструкције (грешка у коду операције или грешка при адресирању) - захтев се чува у флип флопу PRIFAULT, прекиде услед извршавања инструкције INS - захтев се чува у флип флопу PRINS, прекиде због задатог режима рада прекид после сваке инструкције - захтев се чува у биту Т (*Trap enable*) регистра PSW. Улаз 1 IV табеле је фиксно одређен и за прекиде настале услед неисправне инструкције и за прекиде због задатог режима рада прекид после сваке инструкције, док се на адреси 1000h налази прекидна рутина.

У регистру PSW постоје бит I (*Interrupt Enable*), бит Т (*Trap enable*) и одговарајући број L бита. Главни програм има најнижу бинарну вредност L бита. Прихватају се само прекиди вишег приоритета. У кораку за обраду прекида на стек се хардверски стављају PSW и PC, тим редом. У случају неисправне инструкције на стек се ставља адреса инструкције на којој се јавила неисправност, у осталим случајевима на стек се ставља адреса прве следеће инструкције. Стек расте према нижим локацијама, а SP указује на последњу заузету локацију. Акумулатор ACC је 16 битни, док је PSW 8 битни. Инструкције INTE, INTD, TRPE и TRPD не реагују на прекиде, све остале инструкције реагују на прекиде осим инструкције RTI која реагује само на спољашње прекиде. Не постоји регистар маске IMR.

На слици 1, дат је део кода који је уčitан у оперативну меморију рачунара. Инструкција на адреси 100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. На слици 2, дати су тренуци пристизања спољашњих захтева за прекид.

а) (4) Написати програм којим се иницијализује IV табела. Сматрати да је на почетку цела IV табела попуњена са вредностима 0h. Цео програм не сме бити прекинут захтевима за спољашње маскирајуће прекиде. Обезбедити да се акумулатор и PSW регистар пре и после извршеног програма не измени. Није дозвољено коришћење инструкција INTE и INTD. Почетни садржај PSWI бита је 1. Уз сваку инструкцију написати на којој се адреси налази у меморији. Све адресне инструкције сматрати да су дужине 3 речи, а све безадресне 1 реч. Програм почиње на адреси F0h. Користити што мање инструкција.

- б) (1) Написати део програма којим се додељују број улаза у IV табелу за периферију PER0.
- в) (1) На којој адреси се налази улаз 40 у IV табели ?
- г) (9) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. На почетку су сви бити регистра PSW постављени на 0. Почетни садржај осталих релевантних регистара/меморијских локација дат је у табели 1. Потребно је у празној колони доцртати колоне које представљају запамћене захтеве за прекиде. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида. Табелу приказати до завршене инструкције која се налази на адреси 103h.

**Слика 1 - део оперативне меморије**

Адреса	Наредба	Адреса	Наредба	Адреса	Наредба	Адреса	Наредба
100h	TRPE	1000h	POP	1100h	DEC	1200h	INTE
101h	INC	1001h	STORE 80h	1101h	RTI	1201h	STORE #5
102h	TRPD	1004h	ADD #3	1102h	SUB #2	1204h	RTI
103h	STORE 80h	1007h	PUSH	1105h	INC	1205h	POP
106h	...	1008h	RTI	1106h	RTI	1206h	RTI

**Слика 2 - пристигли захтеви**

Редни број инструкције	Линија захтева
2	IRQN <sub>0</sub> , IRQM <sub>0</sub>
8	IRQM <sub>1</sub>

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат. Коначно решење задатка 3, попунити искључиво на формулару. Студент је дужан да пише уредно и читко.

Презиме и име студента	Индекс (гггг/бббб)	Потпис дежурног

## Слика 2 - пристигли захетви

<u>Адреса</u> <u>Наредба</u>	<u>Адреса</u> <u>Наредба</u>	<u>Адреса</u> <u>Наредба</u>	<u>Адреса</u> <u>Наредба</u>	Редни број инструкције	Линија захтева
100h TRPE	1000h POP	1100h DEC	1200h INTE	2	IRQN <sub>0</sub> , IRQM <sub>0</sub>
101h INC	1001h STORE 80h	1101h RTI	1201h STORE #5		
102h TRPD	1004h ADD #3	1102h SUB #2	1204h RTI	8	IRQM <sub>1</sub>
103h STORE 80h	1007h PUSH	1105h INC	1205h POP		
106h ...	1008h RTI	1106h RTI	1206h RTI		

[illegible]

Изглед стека:

Ситуација 1

SP		A
----	--	---

Ситуација 2

		A
	I=0 T=1 L=00	A-1
	01	A-2
SP	02	A-3

Ситуација 3

		A
	I=0 T=1 L=00	A-1
	01	A-2
	02	A-3
	I=1 T=0 L=00	A-4
	12	A-5
SP	01	A-6

Ситуација 4

		A
	I=0 T=1 L=00	A-1
	01	A-2
	02	A-3
SP	I=1 T=0 L=00	A-4

Ситуација 5

		A
	I=0 T=1 L=00	A-1
	01	A-2
	02	A-3
	I=1 T=0 L=00	A-4
	12	A-5
	04	A-6

а)

Адреса	Инструкција
00F0h	INS #0
...	
0000	PUSH
0001	LD #1000h
0004	ST FF0Ah
0007	LD #1100h
000A	ST FF10h
000D	LD #1105h
0010	ST FF12h
0013	LD #1200h
0016	ST FF14h
0019	POP
001A	RTI

б)

LD #4  
OUT 10h

в) адреса: FF58 [h]