



Архитектура рачунара  
Први колоквијум

1. (5) У процесору са векторисаним механизмом прекида током извршавања неке прекидне рутине стиже маскирајући захтев за прекид од неког улазно/излазног уређаја. Узети да не постоји ни један други захтев за прекид и да се скаче на прекидну рутину датог улазно/излазног уређаја. Објаснити шта се све и по ком редоследу том приликом ради у оквиру хардверског дела опслуживања овог захтева за прекид. Водити рачуна да у оквиру тога треба објаснити шта, када и по ком редоследу треба проверавати да би се утврдило да се скаче на прекидну рутину датог улазно/излазног уређаја. Такође треба водити рачуна да се, пошто се ради о захтеву за прекид од неког улазно/излазног уређаја, мењају и неки битови у регистру PSW. Одговор дати табеларно.

Редослед провере	Шта се проверава	Да ли је услов испуњен	Шта се и где мења

2. (5) У процесору са векторисаним механизмом прекида потребно је генерисати сигнал ПРЕКИД (индикацију присуства прекида) у случају да процесор прихвата: унутрашњи прекид због грешке у коду операције (PRCOD), унутрашњи прекид због грешке у начину адресирања (PRADR), спољашњи немаскирајући прекид (INM), унутрашњи прекид због задатог режима рада са прекидом после сваке инструкције (PRTRAP) и спољашњи маскирајући прекид (IM) који сиже по линији IRQM. Нацртати шему за генерисање и објаснити како се генерише овај сигнал. Размотрити ситуацију када постоји регистар маске IMR, програмске статусна реч PSW са битовима I (*Interrupt Enable*), T (*Trap*) и одговарајући број L (*Priority Level*) бита.

3. (15) Оперативна меморија неког рачунара је капацитета 8 GB, а ширина речи меморије је 16 бита. Вишечасовни бројеви се смештају тако да се на нижој адреси налази нижа реч. Процесор је једноадресни. Улазно/излазни и меморијски адресни простори су раздвојени. Механизам прекида је векторисан. Адресе прекидних рутина се чувају у табели адреса прекидних рутина (IV табела - *Interrupt Vector Table*) која почиње на адреси 4h оперативне меморије и има 64 улаза.

У рачунару могу да се генеришу два спољашња маскирајућа захтева за прекид који долазе у процесор преко улазних линија IRQM<sub>0</sub> и IRQM<sub>1</sub> као импулс и један спољашњи немаскирајући захтев за прекид који долази у процесор преко улазне линије IRQN. Спољашњи маскирајући захтеви за прекид долазе од контролера периферија, спољашњи немаскирајући захтев за прекид долази од уређаја који контролише исправност рада делова рачунара. Адресе прекидних рутина за спољашње маскирајуће захтеве за прекид са линија IRQM<sub>0</sub> и IRQM<sub>1</sub> и спољашњи немаскирајући захтев за прекид са линије IRQN се налазе у улазима 10, 5 и 12 IV табеле, респективно. Прекидне рутине почињу на адресама 1014h, 1000h и 1010h, респективно. Спољашњи маскирајући захтев за прекид са линије IRQM<sub>1</sub> има виши приоритет од спољашњег маскирајућег захтева за прекид са линије IRQM<sub>0</sub>.

Процесор може да генерише један унутрашњи захтев за прекид због извршавања инструкције прекида INS. Претпоставити да је извршавање инструкције INS тако реализовано да се у фази извршавање операције само у флип-флоп PRINS уписује вредност 1 и одмах прелази на фазу опслуживање прекида. У оквиру фазе опслуживање прекида се прелази на прекидну рутину на исти начин као и за све остале прекиде.

У процесору постоји регистар PSW (*Program Status Word*) са битовима I (*Interrupt Enable*) и одговарајући број L (*Priority Level*) бита. Бит I вредношћу 1 дозвољава прихватање спољашњих маскирајућих захтева за прекид. Битови L садрже ниво приоритета текућег програма и користе се да се само приликом извршавања главног програма и прекидних рутина спољашњих маскирајућих захтева за прекид реализује механизам којим се прихватају спољашњих маскирајућих захтеви за прекид једино уколико су вишег нивоа приоритета од нивоа приоритета текућег програма. Регистар маске IMR (*Interrupt Mask Register*) не постоји. У оквиру извршавања фазе опслуживање прекида на стеку се хардверски чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама, а указивач на врх стека SP указује на задњу заузету локацију. Вредност регистра SP је 4100h. Акумулатор ACC и PSW су дужине 16 бита. Инструкције INTE и INTD не реагују на спољашње захтеве за прекид, док инструкција RTI реагује на спољашње прекиде.

Изглед дела главног програма је дат на слици 1, прекидних рутина на слици 2. Инструкција LOAD 1h на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид

по линији IRQN, у току 4. инструкције по линији IRQM<sub>0</sub>, а у току 7. инструкције по линији IRQM<sub>1</sub>. На почетку извршавања главног програма су сви бити регистра програмске статусне речи PSW-а постављени на 0. Почетни садржај меморијске локације 1h је 6h.

Слика 1

Адреса	Наредба
0100h	LOAD 1h
0103h	INC
0104h	INS #5
0105h	INTE
0106h	DEC
0107h	INC
0108h	STORE 1h

Слика 2

Адреса	Наредба	Адреса	Наредба
1000h	LOAD 1h	100Ah	OR #3
1003h	INC	100Dh	PUSH
1004h	STORE 1h	100Eh	POP
1007h	RTI	100Fh	RTI
1008h	INTE	1010h	STORE 1h
1009h	INC	1013h	RTI
		1014h	POP
		1015h	INC
		1016h	PUSH
		1017h	RTI

а) (3) Написати део програма којим се попуњавају улази у IV табели.

б) (1) На којој адреси се налази улаз 24 у IV табели?

в) (10) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој почиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида. Приказати и изглед стека, са назначеним адресама.

г) (1) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.