



Архитектура рачунара - други колоквијум

**I (15) 1. (5)** Посматра се магистрала са подељеним циклусима која се састоји од адресних линија, линија података и управљачких линија и на којој се реализују циклус слање захтева за читање, циклус слање захтева за упис и циклус враћање податка.

**а)** За сваки од наведена три циклуса на магистрали навести по којим линијама (адресне линије, линије података и сигнали по управљачким линијама) које информације размењују газда у слуга. Одговор дати табеларно.

Циклус	Линије	Информације	Ко поставља

**б)** Навести шта све треба да постоји од хардвера на страни процесора и меморијског модула да би три наведен циклуса могла да се реализују.

**2. (5)** Посматра се контролер улазно/излазне периферије без директног приступа меморији.

**а)** Нацртати структуру контролера.

**б)** Објаснити функцију свих делова контролера.

**в)** Објаснити којим битовима и у којим регистрима се задају могући режими рада контролера и добијају информације како се одвија пренос података.

**3. (5)** Контролер улазне периферије и улазна периферија за међусобно повезивање користе паралелни интерфејс који се састоји од линија података, једне статусне линије и једне управљачке линије. Статусном линијом контролер улазне периферије даје индикацију периферији да ли у његов регистар податка може да се уписује садржај са линија података, док периферија управљачком линијом обезбеђује упис податка са линија података у регистар податка контролера улазне периферије.

**а)** Навести по ком редоследу се статусна линија контролера периферије и управљачка линија периферије користе за синхронизацију при слању података из периферије у контролер периферије. Одговор дати табеларно.

Редослед	Линија	Вредност	Значење	Ко поставља

**б)** За случај да процесор не стигне да прочита постојећи податак пре него што периферија генерише нови податак нацртати временске облике сигнала које размењују контролер периферије и периферија и навести које сигнале и по ком редоследу генеришу контролер периферије и периферија.

**II (10)** Посматра се једноадресни процесор који је повезан са меморијом и улазно/излазним уређајима преко синхроне магистрале. Улазно/излазни адресни простор је меморијски мапиран. Адресни простор је капацитета 128KB, а величина адресибилне јединица је 16 бита. Најнижих 20K адреса адресног простора је резервисано за ROM меморију. Наредних 12K адреса резервисано је за улазно/излазни адресни простор. Остатак адресног простора је резервисано за RAM меморију.

Физичка RAM меморија је капацитета 48KB и заузима највише адресе адресног простора резервисаног за RAM меморију. Физичка ROM меморија је капацитета 4KB и заузима најниже адресе адресног простора резервисаног за ROM меморију.

**а) (3)** Следећу табелу попунити са релевантним адресама.

Р.Б.	Адресни простор	Почетна адреса	Последња адреса
1.	Целокупни адресни простор		
2.	Улазно-излазни адресни простор		
3.	Адресни простор резервисан за RAM		
4.	Адресни простор резервисан за ROM		
5.	Физичка RAM меморија		
6.	Физичка ROM меморија		

**Напомена:** Табелу прецртати (редни број, почетна адреса, последња адреса) у Ваше свеске.

Све адресе дати у хексадецималном бројном систему.

**б) (3)** Приказати реализацију физичке ROM меморије користећи чипови 512x16 бита. Потребно је назначити модул (заокружити га) којем се приступа када се приступа адреси 500h.

**в) (4)** Приказати реализацију физичке RAM меморије користећи чипови 1024x4 бита.

**Напомене:** На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори, ни литература. Колоквијум траје 1,5 сат. Првих сат времена није дозвољено напуштање сале. Дозвољен је рад графитном оловком. Вежбанке треба да буду потписане хемијском оловком.