

**Ј. ЂОРЂЕВИЋ, З. РАДИВОЈЕВИЋ, М. ПУНТ,
Б. НИКОЛИЋ, Д. МИЛИЋЕВ, Ј. ПРОТИЋ,
А. МИЛЕНКОВИЋ**

**АРХИТЕКТУРА
И ОРГАНИЗАЦИЈА
РАЧУНАРА**

**ПРЕКИДИ, МАГИСТРАЛА И
УЛАЗ/ИЗЛАЗ**

ЗБИРКА РЕШЕНИХ ЗАДАТАКА

Београд 2013.

САДРЖАЈ

САДРЖАЈ	I
1 МАГИСТРАЛА	1
1.1 АДРЕСИРАЊЕ	1
1.1.1 ЗАДАТАК	1
1.1.2 ЗАДАТАК	15
1.1.3 ЗАДАТАК	30
1.1.4 ЗАДАТАК	45
1.1.5 ЗАДАТАК	64
1.1.6 ЗАДАТАК	75

1 МАГИСТРАЛА

1.1 АДРЕСИРАЊЕ

1.1.1 ЗАДАТАК

Посматра се рачунар код кога је улазно/излазни адресни простор меморијски пресликан.

Адресни простор рачунара је 64К адреса, при чему је ширина адресибилне локације 8 бита. Нижих 32К адреса адресног простора је резервисано за RAM меморију, а виших 32К адреса за ROM меморију и контролере периферија. У оквиру виших 32К адреса адресног простора резервисаног за ROM меморију и контролере периферија, нижих 16К адреса је резервисано за ROM меморију и виших 16К адреса за контролере периферија.

Од целокупног опсега адреса резервисаног за RAM меморију попуњено је само најнижих 8К адреса, а од целокупног опсега адреса резервисаног за ROM меморију попуњено је само најнижих 8К адреса. Контролери периферија имају по 16 локација (регистара). У рачунару постоји само један контролер периферије, чије локације (регистри) попуњавају само најнижих 16 адреса из целокупног опсега адреса резервисаног за контролере периферија.

а) Назначити опсег адреса у адресном простору, опсег адреса резервисан за RAM меморију, опсег адреса резервисан за ROM меморију и контролере периферија, опсег адреса резервисан за ROM меморију, опсег адреса резервисан за контролере периферија, опсег адреса попуњен RAM меморијом, опсег адреса попуњен ROM меморијом и опсег адреса попуњен контролером периферије. Резултат представити табеларно.

б) Реализовати модул RAM меморије који попуњава само најнижих 8К адреса од 32К адреса опсега адреса резервисаног за RAM меморију користећи чипове 256x4 бита (управљачки улази су **RD**, **WR** и **CS**).

в) Реализовати модул ROM меморије који попуњава само најнижих 8К адреса од 16К адреса опсега адреса резервисаног за ROM меморију користећи чипове 1024x2 бита (управљачки улази су **RD** и **CS**).

г) Реализовати део контролера периферије са локацијама (регистрима) које попуњавају само најнижих 16 адреса из целокупног опсега адреса резервисаног за контролере периферија.

д) Генерисати сигнал којим се детектује да је дата адреса из опсега адреса који нису попуњени RAM меморијом, ROM меморијом и контролером периферије.

Решење:

а) За адресирање локација у адресном простору рачунара величине 64К (2^{16}) адреса потребно је користити 16 битне адресе $A_{15}A_{14}...A_1A_0$, при чему је ширина адресибилне локације 8 битова. Опсег адреса који припада адресном простору величине 64К (2^{16}) адреса се добија варирањем свих 16 битова адресе (слика 1). Почетна адреса адресног простора је 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h,

док је последња адреса 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FFFFh (слика 7).

A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса у адресном простору
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
- - - -	- - - -	- - - -	- - - -	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 0	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 1 Адресе у опсегу адреса адресног простора

Адресни простор од 64К (2^{16}) адреса је подељен на два дела и то нижих 32К (2^{15}) адреса за RAM меморију и виших 32К (2^{15}) адреса за ROM меморију и контролере периферија. Стога у 16 битној адреси $A_{15}A_{14}...A_1A_0$ бит A_{15} вредностима 0 и 1 одређује да се ради о нижем опсегу адреса од 32К (2^{15}) адреса додељених RAM меморији и вишем опсегу адреса од 32К (2^{15}) адреса додељених ROM меморији и контролерима периферија, респективно. Преосталих 15 битова 16 битне адресе $A_{14}...A_1A_0$, који имају вредности у опсегу од 000 0000 0000 0000b до 111 1111 1111 1111b, представљају адресу унутар опсега од 32К (2^{15}) адреса (слика 2). Стога је почетна адреса $A_{15}A_{14}...A_1A_0$ опсега адреса резервисаног за RAM меморију 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h, док је последња адреса 0111 1111 1111 1111b, што у хексадецималном запису даје адресу 7FFFh. На сличан начин се добија да је почетна адреса $A_{15}A_{14}...A_1A_0$ опсега адреса резервисаног за ROM меморију и контролере периферија 1000 0000 0000 0000b, што у хексадецималном запису даје адресу 8000h, док је последња адреса 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FFFFh.

A ₁₅	A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса резервисан за RAM меморију
0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
-	- - - -	- - - -	- - - -	- - - -	
0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 0	
0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса резервисан за ROM меморију и контролере периферија
1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
-	- - - -	- - - -	- - - -	- - - -	
1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 0	
1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 2 Адресе у опсегу адреса резервисаном за RAM меморију и опсегу адреса резервисаном за ROM меморију и контролере периферија

У опсегу адреса резервисаном за RAM меморију од 32К (2^{15}) адреса RAM меморијом је попуњено само најнижих 8К (2^{13}) адреса. Стога треба узети да је опсег адреса резервисан за RAM меморију од 32К (2^{15}) адреса подељен на четири (2^2) опсега адреса величине 8К (2^{13}) адреса од којих је само најнижих 8К адреса попуњено RAM меморијом. У овом случају у 16 битној адреси $A_{15}A_{14}...A_1A_0$ бит A_{15} вредношћу 0 одређује да се ради о адреси из опсега адреса од 32К адреса резервисаних за RAM меморију, а битови $A_{14}A_{13}$ вредностима 00b, 01b, 10b и 11b одређују о ком од четири опсега адреса од 8К (2^{13}) адреса се ради. Пошто је од 32К (2^{15}) адреса попуњено само најнижих 8К (2^{13}) адреса, битови $A_{14}A_{13}$ имају вредности 00b. Преосталих 13 битова 16 битне адресе $A_{12}...A_1A_0$, који имају вредности у опсегу од 0 0000 0000 0000b до 1 1111 1111 1111b, представљају адресу унутар опсега адреса од 8К (2^{13}) адреса (слика 3).

Стога је почетна адреса $A_{15}A_{14}...A_1A_0$ у опсегу адреса попуњеном RAM меморијом 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h, док је последња адреса 0001 1111 1111 1111b, што у хексадецималном запису даје адресу 1FFFh (слика 7).

A_{15}	$A_{14}A_{13}$	A_{12}	$A_{11}A_{10}A_9A_8$	$A_7A_6A_5A_4$	$A_3A_2A_1A_0$	
0	0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса попуњен RAM меморијом
0	0 0	0	0 0 0 0	0 0 0 0	0 0 0 1	
-	- -	-	- - - -	- - - -	- - - -	
0	0 0	1	1 1 1 1	1 1 1 1	1 1 1 0	
0	0 0	1	1 1 1 1	1 1 1 1	1 1 1 1	
0	0 1	0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса не попуњен RAM меморијом
-	- -	-	- - - -	- - - -	- - - -	
0	0 1	1	1 1 1 1	1 1 1 1	1 1 1 1	
0	1 0	0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса не попуњен RAM меморијом
-	- -	-	- - - -	- - - -	- - - -	
0	1 0	1	1 1 1 1	1 1 1 1	1 1 1 1	
0	1 1	0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса не попуњен RAM меморијом
-	- -	-	- - - -	- - - -	- - - -	
0	1 1	1	1 1 1 1	1 1 1 1	1 1 1 1	
1	0 0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса резервисан за ROM меморију и контролере периферија
-	- - -	-	- - - -	- - - -	- - - -	
1	1 1 1	1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 3 Адресе у опсегу адреса попуњеном RAM меморијом

Опсег адреса резервисан за ROM меморију и контролере периферија од 32К (2^{15}) адреса је подељен на два дела и то нижих 16К (2^{14}) адреса за ROM меморију и виших 16К (2^{14}) адреса за контролере периферија. Стога у 16 битној адреси $A_{15}A_{14}...A_1A_0$ бит A_{15} вредношћу 1 одређује да се ради о вишем опсегу адреса од 32К (2^{15}) адреса резервисаних за ROM меморију и контроле периферија, бит A_{14} вредностима 0 и 1 одређује да се ради о нижем опсегу адреса од 16К (2^{14}) адреса резервисаних за ROM меморију и вишем опсегу адреса од 16К (2^{14}) адреса резервисаних за контролер периферија, респективно. Преосталих 14 битова 16 битне адресе $A_{13}...A_1A_0$, који имају вредности у опсегу од 00 0000 0000 0000b до 11 1111 1111 1111b, представљају адресу унутар опсега од 16К (2^{14}) адреса (слика 4). Стога је почетна адреса $A_{15}A_{14}...A_1A_0$ опсега адреса резервисаног за ROM меморију 1000 0000 0000 0000b, што у хексадецималном запису даје адресу 8000h, док је последња адреса 1011 1111 1111 1111b, што у хексадецималном запису даје адресу BFFFh. На сличан начин се добија да је почетна адреса $A_{15}A_{14}...A_1A_0$ опсега адреса резервисаног за контролере периферија 1100 0000 0000 0000b, што у хексадецималном запису даје адресу C000h, док је последња адреса 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FFFFh (слика 7).

A ₁₅	A ₁₄	A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0	0	0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса резервисан за RAM меморију
-	-	- -	- - - -	- - - -	- - - -	
0	1	1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1	0	0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса резервисан за ROM меморију
1	0	0 0	0 0 0 0	0 0 0 0	0 0 0 1	
-	-	- -	- - - -	- - - -	- - - -	
1	0	1 1	1 1 1 1	1 1 1 1	1 1 1 0	
1	0	1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1	1	0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса резервисан за контролере периферија
1	1	0 0	0 0 0 0	0 0 0 0	0 0 0 1	
-	-	- -	- - - -	- - - -	- - - -	
1	1	1 1	1 1 1 1	1 1 1 1	1 1 1 0	
1	1	1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 4 Адресе у опсегу адреса резервисаном за ROM меморију и опсегу адреса резервисаном за контролере периферија

У опсегу адреса резервисаном за ROM меморију од 16К (2^{14}) адреса ROM меморијом је попуњено само нижих 8К (2^{13}) адреса. Стога треба узети да је опсег адреса резервисан за ROM меморију од 16К (2^{14}) адреса подељен на два (2^1) опсега адреса величине 8К (2^{13}) адреса од којих је само нижих 8К (2^{13}) адреса попуњено ROM меморијом. У овом случају у 16 битној адреси $A_{15}A_{14}...A_1A_0$ бит A_{15} вредношћу 1 одређује да се ради о адреси из опсега од 32К (2^{15}) адреса резервисаних за ROM меморију и контролере периферија, бит A_{14} вредношћу 0 одређује да се ради о адреси из опсега од 16К (2^{14}) адреса резервисаних за ROM меморију и бит A_{13} вредностима 0 и 1 одређују о ком од два опсега адреса од по 8К (2^{13}) адреса се ради. Пошто је од 16К (2^{14}) адреса попуњено само нижих 8К (2^{13}) адреса, бит A_{13} има вредност 0. Преосталих 13 битова 16 битне адресе $A_{12}...A_1A_0$, који имају вредности у опсегу од 0 0000 0000 до 1 1111 1111 1111b, представљају адресу локације унутар опсега од 8К (2^{13}) адреса (слика 5). Стога је почетна адреса $A_{15}A_{14}...A_1A_0$ у опсегу адреса попуњеном ROM меморијом 1000 0000 0000 0000b, што у хексадецималном запису даје адресу 8000h, док је последња адреса 1001 1111 1111 1111b, што у хексадецималном запису даје адресу 9FFFh (слика 7).

A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	опсег адреса резервисан за RAM меморију
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	опсег адреса попуњен ROM меморијом
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	
1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	опсег адреса не попуњен ROM меморијом
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	опсег адреса резервисан за контролере периферија
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	

Слика 5 Адресе у опсегу адреса попуњеном ROM меморијом

У опсегу адреса резервисаном за контролере периферија од 16К (2^{14}) адреса контролером периферије је попуњено само нижих 16 (2^4) адреса. Стога треба узети да је опсег адреса резервисан за контролере периферија од 16К (2^{14}) адреса подељен на 1К (2^{10}) опсега адреса величине 16 (2^4) адреса од којих је само најнижих 16 (2^4) адреса попуњено контролером периферије. У овом случају у 16 битној адреси $A_{15}A_{14}...A_1A_0$ бит A_{15} вредношћу 1 одређује да се ради о адреси из опсега од 32К (2^{15}) адреса резервисаних за ROM меморију и контролере периферија, бит A_{14} вредношћу 1 одређује да се ради о адреси из опсега од 16К (2^{14}) адреса резервисаних за контролере периферија а битови $A_{13}A_{12}...A_5A_4$ вредностима 00 0000 0000b до 11 1111 1111b одређују о ком од 1К (2^{10}) опсега адреса од по 16 (2^4) адреса се ради. Пошто је од 1К (2^{10}) адреса попуњено само најнижих 16 адреса, битови $A_{13}A_{12}...A_5A_4$ имају вредности 00 0000 0000b. Преостала четири бита 16 битне адресе $A_3A_2A_1A_0$, који имају вредности у опсегу од 0000b до 1111b, представљају адресу локације (регистра) унутар опсега од 16 адреса (слика 6). Стога је почетна адреса $A_{15}A_{14}...A_1A_0$ у опсегу адреса попуњеном контролером периферије 1100 0000 0000 0000b, што у хексадецималном запису даје адресу C000h, док је последња адреса 1100 0000 0000 1111b, што у хексадецималном запису даје адресу C00Fh (слика 7).

A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	опсег адреса резервисан за RAM меморију
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	опсег адреса резервисан за ROM меморију
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	опсег адреса попуњен контролером периферије
1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	-	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
1	1	0	0	0	0	0	0	0	0	0	0	1	1	1	0	
1	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	опсег адреса не попуњен контролером периферије
1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	-	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	опсег адреса не попуњен контролером периферије
1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

Слика 6 Адресе у опсегу адреса попуњеном контролером периферије

Опсеги адреса	Прва адреса	Последња адреса
Опсег адреса адресног простора рачунара	0000h	FFFFh
Опсег адреса резервисан за RAM меморију	0000h	7FFFh
Опсег адреса резервисан за ROM меморију и контролере периферија	8000h	FFFFh
Опсег адреса резервисан за ROM меморију	8000h	BFFFh
Опсег адреса резервисан за контролере периферија	C000h	FFFFh
Опсег адреса попуњен RAM меморијом	0000h	1FFFh
Опсег адреса попуњен ROM меморијом	8000h	9FFFh
Опсег адреса попуњен контролером периферије	C000h	C00Fh

Слика 7 Опсеги адреса

Дискусија: Алтернативни приступ у поступку одређивања опсега адреса би се састојао у одређивању почетне/крајње адресе посматраног опсега адреса на коју би се додала/одузимала величина посматраног опсега адреса.

Пошто је адресни простор рачунара величине 64 KB, а адресирање је на нивоу 8 битне речи, следи да су адресе 16 бита. Адресни простор рачунара почиње од адресе 0000h. Прва адреса која се налази након адресног простора рачунара се добија

сабирањем почетне адресе адресног простора рачунара и величине адресног простора рачунара, а то је $0000h+64K$ или $0000h+10000h$. То је адреса $10000h$. Одавде следи да је последња адреса адресног простора рачунара за један мања и да износи $FFFFh$.

Адресни простор резервисан за RAM меморију је величине $32K$ и почиње од прве адресе адресног простора рачунара. То је адреса $0000h$. Прва адреса која се налази након адресног простора резервисаног за RAM меморију се добија сабирањем почетне адресе адресног простора резервисаног за RAM меморију и величине адресног простора резервисаног за RAM меморију, а то је $0000h+32K$ или $0000h+8000h$. То је адреса $8000h$. Одавде следи да је последња адреса адресног простора резервисаног за RAM меморију за један мања и да износи $7FFFh$.

Опсег адреса попуњених RAM меморијом је величине $8K$ и почиње од прве адресе адресног простора резервисаног за RAM меморију. То је адреса $0000h$. Прва адреса која се налази након опсега адреса попуњених RAM меморијом се добија сабирањем почетне адресе опсега адреса попуњених RAM меморијом и величине опсега адреса попуњених RAM меморијом, а то је $0000h+8K$ или $0000h+2000h$. То је адреса $2000h$. Одавде следи да је последња адреса опсега адреса попуњених RAM меморијом за један мања и да износи $1FFFh$.

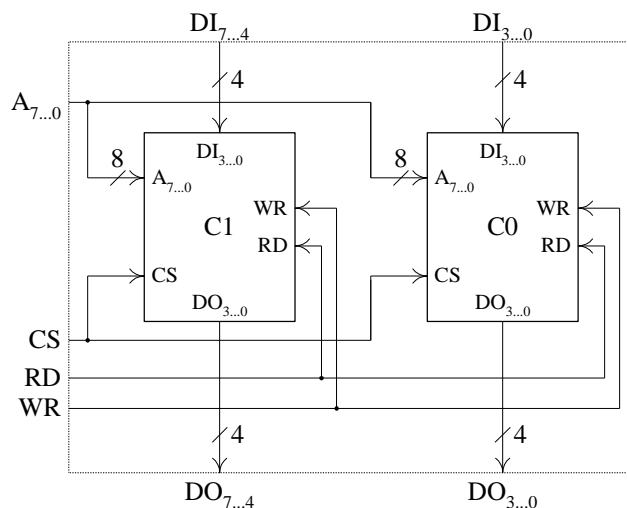
Адресни простор резервисан за ROM меморија је величине $32K$ и почиње од прве адресе након адресног простора резервисаног за ROM меморију. То је адреса $8000h$. Прва адреса која се налази након адресног простора резервисаног за ROM меморију се добија сабирањем почетне адресе адресног простора резервисаног за ROM меморију и величине адресног простора резервисаног за ROM меморију, а то је $8000h+32K$ или $8000h+8000h$. То је адреса $10000h$. Одавде се добија да је последња адреса адресног простора резервисаног за ROM меморију за један мања и да износи $FFFFh$.

Опсег адреса попуњених ROM меморијом је величине $8K$ и почиње од прве адресе адресног простора резервисаног за ROM меморију. То је адреса $8000h$. Прва адреса која се налази након опсега адреса попуњених ROM меморијом се добија сабирањем почетне адресе опсега адреса попуњених ROM меморијом и величине опсега адреса попуњених ROM меморијом, а то је $8000h+8K$ или $8000h+2000h$. То је адреса $A000h$. Одавде следи да је последња адреса опсега адреса попуњених ROM меморијом за један мања и да износи $9FFFh$.

б) Реализација RAM меморије капацитета 8Кx8 битова који попуњава само најнижих 8К (2^{13}) адреса од 32К (2^{15}) адреса опсега адреса резервисаног за RAM меморију користећи чипове 256x4 бита је представљена на сликама 8 и 9.

У реализованој RAM меморији капацитета 8Кx8 битова, најпре два чипа капацитета 256x4 бита служе за смештање 4 нижа и 4 виша бита 8 битне бинарне речи у реализованом модулу RAM меморије капацитета 256x8 битова (слика 8), затим 32 модула RAM меморије капацитета 256x8 битова служе за покривање 32 опсега адреса од по 256 адреса у реализованом модулу RAM меморије капацитета 8Кx8 битова и на крају модул RAM меморији капацитета 8Кx8 битова служи за покривање 8К адреса RAM меморијом (слика 9). За реализацију RAM меморије капацитета 8Кx8 битова потребна су 64 чипа капацитета 256x4 бита.

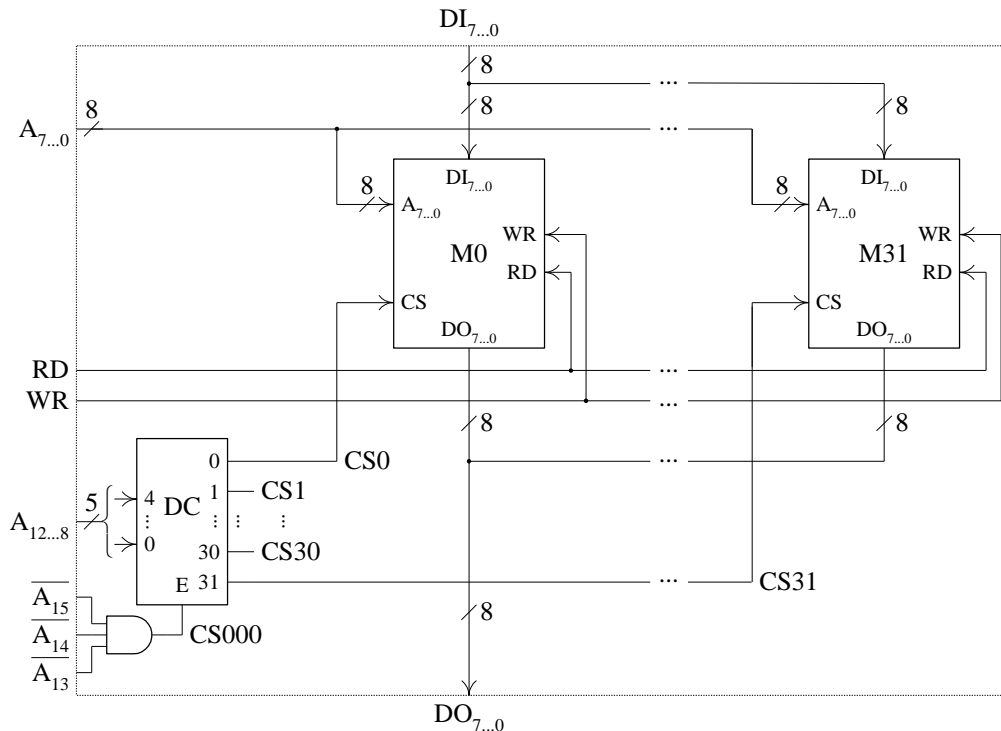
При оваквој реализацији RAM меморије капацитета 8Кx8 битова опсег од 64К (2^{16}) адреса је најпре подељен на 2 (2^1) опсега адреса величине 32К (2^{15}) адреса, а затим је нижи опсег од 32К (2^{15}) адреса подељен на 4 (2^2) опсега адреса величине 8К (2^{13}) адреса и на крају је најнижи опсег од 8К (2^{13}) адреса подељен на 32 (2^5) опсега адреса величине 256 (2^8) адреса. Стога у 16 битној адреси $A_{15}A_{14}...A_1A_0$ најпре најстарији бит A_{15} вредностима 0 и 1 одређују о ком од 2 (2^1) опсега адреса од по 32К (2^{15}) адреса се ради, затим битови $A_{14}A_{13}$ вредностима 00b, 01b, 10b и 11b одређују о ком од 4 (2^2) опсега адреса од по 8К (2^{13}) адреса се ради, потом битови $A_{12}A_{11}A_{10}A_9A_8$ вредностима 0 0000b до 1 1111b одређују о ком од 32 (2^5) опсега адреса од по 256 (2^8) адреса се ради и на крају најмлађих 8 битова $A_7...A_1A_0$ вредностима 0000 0000b до 1111 1111b одређују адресу локације унутар опсега од 256 (2^8) адреса. При томе бит A_{15} вредношћу 0 одређује да се ради о адреси из опсега адреса резервисаног за RAM меморију, а битови $A_{14}A_{13}$ вредностима 00b да се ради о адреси из најнижег опсега адреса од 8К (2^{13}) адреса попуњеног модулом RAM меморије капацитета 8Кx8 битова.



Слика 8 Модул RAM меморије капацитета 256x8 битова реализован чиповима 256x4 бита

У 16 битној адреси $A_{15}A_{14}...A_1A_0$ која припада попуњеној RAM меморији бит A_{15} , који има вредност 0, и битови $A_{14}A_{13}$, који имају вредност 00b, служе за формирање сигнала селекције CS000 модула RAM меморије капацитета 8Кx8 битова, битови $A_{12}A_{11}A_{10}A_9A_8$, који имају вредности 0 0000b до 1 1111b, служе за формирање сигнала селекција CS0 до CS31 једног од 32 модула RAM меморије капацитета 256x8 битова унутар селектованог модула RAM меморије капацитета 8Кx8 битова и битови

$A_7 \dots A_1 A_0$ представљају адресу локације унутар селектованог модула RAM меморије капацитета 256x8 битова.



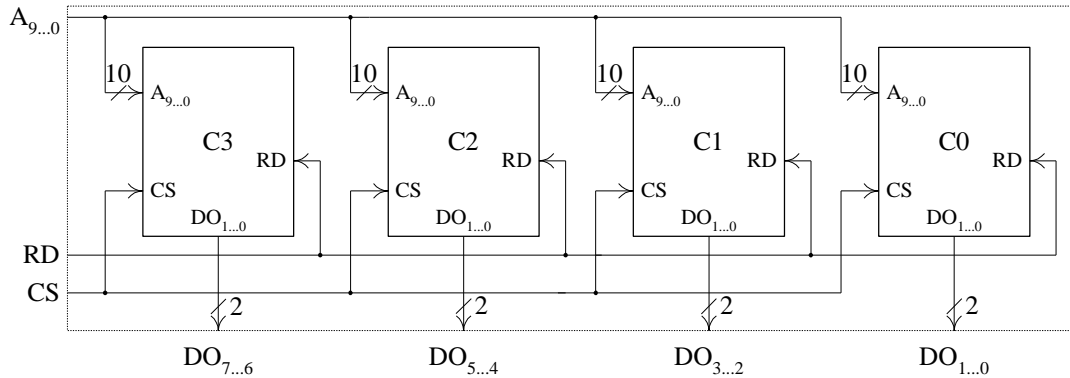
Слика 9 Модул RAM меморије капацитета 8Кx8 битова који попуњава само најнижих 8К адреса од 32К адреса опсега адреса резервисаног за RAM меморију користећи модуле RAM меморије капацитета 256x8 битоца

в) Реализација ROM меморије капацитета 8Кx8 битова која попуњава само нижих 8К (2^{13}) адреса од 16К (2^{14}) адреса опсега адреса резервисаног за ROM меморију користећи чипове 1024x2 бита је представљена на сликама 10 и 11.

У реализованој ROM меморије капацитета 8Кx8 битова, најпре четири чипа капацитета 1024x2 бита служе за смештање четири пара битова (0 и 1, 2 и 3, 4 и 5, 6 и 7) 8 битне бинарне речи у реализованом модулу ROM меморије капацитета 1024x8 битова (слика 10), затим 8 модула ROM меморије капацитета 1024x8 битова служе за покривање 8 опсега адреса од по 1024 адреса у реализованом модулу ROM меморије капацитета 8Кx8 битова и на крају модул ROM меморије капацитета 8Кx8 битова служи за покривање 8К адреса ROM меморијом (слика 11). Стога су за реализацију ROM меморије капацитета 8Кx8 битова потребна 32 чипа капацитета 1024x2 бита.

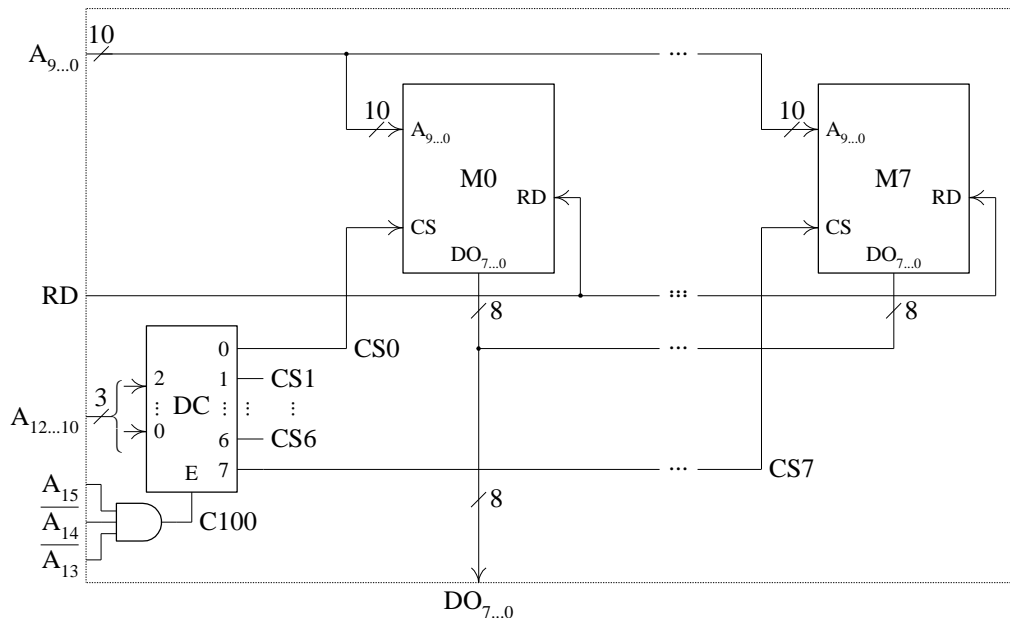
При оваквој реализацији ROM меморије капацитета 8Кx8 битова опсег од 64К (2^{16}) адреса је најпре подељен на 2 (2^1) опсега адреса величине 32К (2^{15}) адреса, затим је виши опсег од 32К (2^{15}) адреса подељен на 2 (2^1) опсега адреса величине 16 (2^{14}) адреса, потом је нижи опсег од 16К (2^{14}) адреса подељен на 2 (2^1) опсега адреса величине 8К (2^{13}) адреса и на крају је нижи опсег од 8К (2^{13}) адреса подељен на 8 (2^3) опсега адреса величине 1024 (2^{10}) адреса. Стога у 16 битној адреси $A_{15}A_{14} \dots A_1A_0$ најпре најстарији бит A_{15} вредностима 0 и 1 одређују о ком од 2 (2^1) опсега адреса од 32К (2^{15}) адреса се ради, затим бит A_{14} вредностима 0 и 1 одређују о ком од 2 (2^1) опсега адреса од 16 К (2^{14}) адреса се ради, потом бит A_{13} вредностима 0 и 1 одређују о ком од 2 (2^1) опсега адреса од 8 К (2^{13}) адреса се ради, затим битови $A_{12}A_{11}A_{10}$ вредностима 0 00b до 1 11b одређују о ком од 8 (2^3) опсега адреса од 1024 (2^{10}) адреса се ради и на крају најмлађих 10 битоа $A_9A_8 \dots A_1A_0$ вредностима 00 0000 0000b до 11 1111 1111b одређују адресу локације унутар опсега од 1024 адресе. При томе најпре бит A_{15} вредношћу 1

одређује да се ради о адреси из опсега адреса резервисаног за ROM меморију и контролере периферија, затим бит A_{14} вредношћу 0 одређује да се ради о адреси из опсега адреса резервисаног за ROM меморију и на крају бит A_{14} вредношћу 0 одређује да се ради о адреси из најнижег опсега адреса од 8K адреса попуњеног модулом ROM меморије капацитета 8Kx8 битова.



Слика 10 Модул ROM меморије капацитета 1024x8 битова реализован чиповима 1024x2 бита

У 16 битној адреси $A_{15}A_{14}...A_1A_0$ која припада попуњеној ROM меморији бит A_{15} , који има вредност 1, и битови $A_{14}A_{13}$, који имају вредности 00b, служе за формирање сигнала селекције CS100 модула ROM меморије капацитета 8Kx8 битова, битови $A_{12}A_{11}A_{10}$, који имају вредности 0 00b до 1 11b, служе за формирање сигнала селекција CS0 до CS7 једног од 8 модула ROM меморије капацитета 1024x8 битова унутар селектованог модула ROM меморије капацитета 8Kx8 битова и битови $A_9A_8A_7...A_1A_0$ представљају адресу локације унутар селектованог модула ROM меморије капацитета 1024x8 битова.



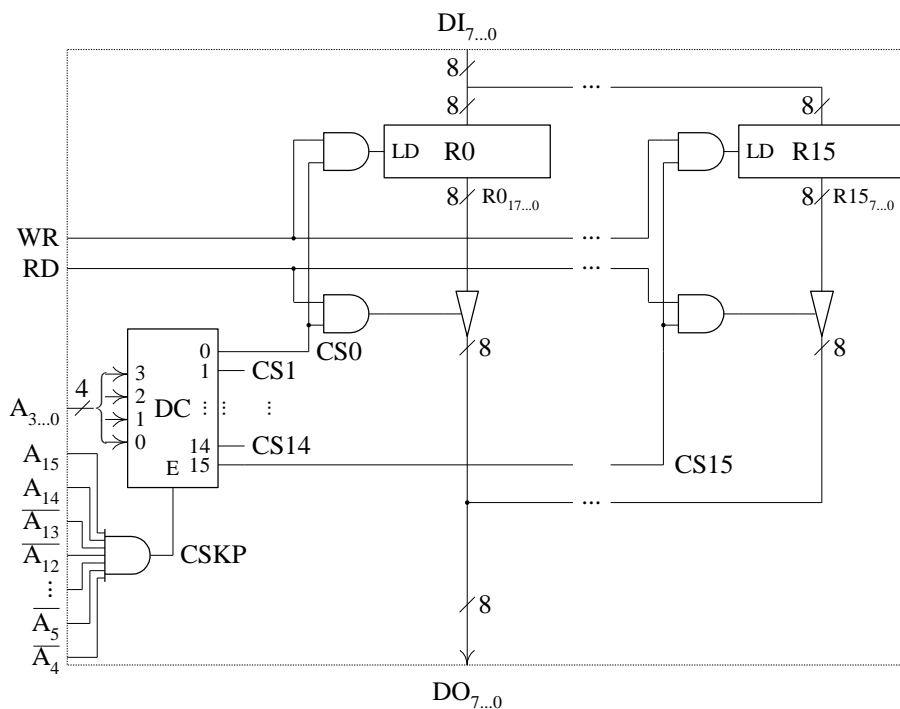
Слика 11 Модул ROM меморије капацитета 8Kx8 битова која попуњава само најнижих 8K адреса од 32K адреса опсега адреса резервисаног за ROM меморију користећи модуле ROM меморије капацитета 1024x8 битова

г) Реализација дела контролера периферије са локацијама (регистрима) који попуњава само 16 најнижих адреса од 16K адреса опсега адреса резервисаног за контролере периферија приказана је на слици 12.

У контролеру периферије постоји 16 локација (регистара), па је опсег од 16К (2^{14}) адреса резервисан за контролере периферија подељен на 1К (2^{10}) опсега адреса величине 16 (2^4) адреса.

При оваквој реализацији контролера периферије капацитета 16 локација (регистара) опсег од 64К (2^{16}) адреса је најпре подељен на 2 (2^1) опсега адреса величине 32К (2^{15}) адреса, затим је виши опсег од 32К (2^{15}) адреса подељен на 2 (2^1) опсега адреса величине 16К (2^{14}) адреса и на крају је виши опсег од 16К (2^{14}) адреса подељен на 1К (2^{10}) опсега адреса величине 16 (2^4) адреса. Стога у 16 битној адреси $A_{15}A_{14}...A_1A_0$ најпре најстарији бит A_{15} вредностима 0 и 1 одређују о ком од 2 (2^1) опсега адреса од 32К (2^{15}) адреса се ради, затим бит A_{14} вредностима 0 и 1 одређују о ком од 2 (2^1) опсега адреса од 16К (2^{14}) адреса се ради, потом битови $A_{13}A_{12}...A_4$ вредностима 00 0000 0000b до 11 1111 1111b одређују о ком од 1К (2^{10}) опсега адреса од 16 (2^4) адреса се ради и на крају најмлађа 4 бита $A_3A_2A_1A_0$ вредностима 0000b до 1111b одређују адресу локације унутар опсега од 16 адреса. При томе најпре бит A_{15} вредношћу 1 одређује да се ради о адреси из опсега адреса резервисаног за ROM меморију и контролере периферија, затим бит A_{14} вредношћу 1 одређује да се ради о адреси из опсега адреса резервисаног за контролере периферија и на крају битови $A_{13}A_{12}...A_4$ вредностима 00 0000 0000b одређују да се ради о адреси из најнижег опсега адреса од 16 адреса попуњеног контролером периферије капацитета 16 локација (регистара).

У 16 битној адреси $A_{15}A_{14}...A_1A_0$, која припада једином контролеру периферије који постоји у рачунару, бит A_{15} , који има вредност 1, затим бит A_{14} , који има вредност 1 и битови $A_{13}A_{12}...A_4$, који имају вредност 00 0000 0000b, служе за формирање сигнала селекције CSKP контролера периферије, док битови $A_3A_2A_1A_0$, који имају вредности 0000b до 1111b, служе за формирање сигнала селекција CS0 до CS15 једне од 16 локација (регистара) унутар селектованог контролера периферије.



Слика 12 Део контролера са периферије са локацијама (регистрима) који попуњава само најнижих 16 адреса од 16К адреса опсега адреса резервисаног за контролере периферија

д) Сигнал којим се детектује да је дата адреса из опсега адреса који није попуњен RAM меморијом, ROM меморијом и контролером периферије се добија као ИЛИ функција сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене RAM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене ROM меморијом и сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене контролером периферије и дат је изразом

$$\begin{aligned} & \overline{A_{15}} \cdot (\overline{A_{14}} \cdot A_{13} + A_{14} \cdot \overline{A_{13}} + A_{14} \cdot A_{13}) + \\ & A_{15} \cdot \overline{A_{14}} \cdot A_{13} + \\ & A_{15} \cdot A_{14} \cdot (\overline{A_{13}} \cdot \overline{A_{12}} \cdot \dots \cdot \overline{A_6} \cdot \overline{A_5} \cdot A_4 + \overline{A_{13}} \cdot \overline{A_{12}} \cdot \dots \cdot \overline{A_6} \cdot A_5 \cdot \overline{A_4} + \dots + \\ & \quad A_{13} \cdot A_{12} \cdot \dots \cdot A_6 \cdot A_5 \cdot \overline{A_4} + A_{13} \cdot A_{12} \cdot \dots \cdot A_6 \cdot A_5 \cdot A_4) \end{aligned}$$

Опсег адреса резервисан за RAM меморију од 32К (2^{15}) адреса је подељен на 4 (2^2) опсега адреса величине 8К (2^{13}) адреса од којих је само најнижих 8К (2^{13}) адреса попуњено RAM меморијом (слика 3). Стога у 16 битној адреси $A_{15}A_{14}\dots A_1A_0$ бит A_{15} вредношћу 0 одређује да се ради о адреси из опсега од 32К (2^{15}) адреса резервисаних за RAM меморију, а битови $A_{14}A_{13}$ вредностима 00b, 01b, 10b и 11b одређују о ком од 4 (2^2) опсега од 8К (2^{13}) адреса се ради. У опсегу од 32К (2^{15}) адреса попуњен је само опсег од најнижих 8К (2^{13}) адреса, док преостала три опсега од по 8К (2^{13}) адреса нису попуњена. За попуњен опсег од 8К (2^{13}) адреса битови $A_{14}A_{13}$ имају вредности 00b, док за преостала три непопуњена опсега од по 8К (2^{13}) адреса битови $A_{14}A_{13}$ имају вредности 01b, 10b и 11b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене RAM меморијом генерише према изразу

$$\overline{A_{15}} \cdot (\overline{A_{14}} \cdot A_{13} + A_{14} \cdot \overline{A_{13}} + A_{14} \cdot A_{13})$$

Опсег адреса резервисан за ROM меморију од 16К (2^{14}) адреса је подељен на 2 (2^1) опсега адреса величине 8К (2^{13}) адреса од којих је само нижих 8К (2^{13}) адреса попуњено ROM меморијом (слика 5). Стога у 16 битној адреси $A_{15}A_{14}\dots A_1A_0$ бит A_{15} вредношћу 1 одређује да се ради о адреси из опсега од 32К (2^{15}) адреса резервисаних за ROM меморију и контролере периферија, бит A_{15} вредношћу 0 одређује да се ради о адреси из опсега од 16К (2^{14}) адреса резервисаних за ROM меморију, а бит A_{13} вредностима 0 и 1 одређују о ком од два опсега од 8К (2^{13}) адреса се ради. У опсегу од 16К (2^{14}) адреса попуњен је само опсег од нижих 8К (2^{13}) адреса, док опсег од виших 8К (2^{13}) адреса није попуњен. За попуњен опсег од 8К (2^{13}) адреса бит A_{13} има вредност 0, док за непопуњен опсег од 8К (2^{13}) адреса бит A_{13} има вредност 1. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене ROM меморијом генерише према изразу

$$A_{15} \cdot \overline{A_{14}} \cdot A_{13}$$

Опсег адреса резервисан за контролере периферија од 16К (2^{14}) адреса је подељен на 1024 опсега адреса величине 16 адреса од којих је само најнижих 16 адреса попуњено контролером периферије (слика 6). Стога у 16 битној адреси $A_{15}A_{14}\dots A_1A_0$ бит A_{15} вредношћу 1 одређује да се ради о адреси из опсега од 32К (2^{15}) адреса резервисаних за ROM меморију и контролере периферија, бит A_{14} вредношћу 1 одређује да се ради о адреси из опсега од 16К (2^{14}) адреса резервисаних за контролере периферија, а битови $A_{13}A_{12}\dots A_4$ вредностима 00 0000 0000b до 11 1111 1111b одређују о ком од 1024 опсега од 16 адреса се ради. У опсегу од 16К адреса попуњен је само опсег од најнижих 16 адреса, док преостали опсеги од 16 (2^{14}) адреса којих има 1023 нису попуњени. За попуњен опсег битови $A_{13}A_{12}\dots A_4$ имају вредности 00 0000 0000b, док за непопуњене опсеге битови $A_{13}A_{12}\dots A_4$ имају вредности од 00 0000 0001b до 11 1111 1111b. Стога се

сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене контролером периферије генерише према изразу

$$A_{15} \cdot A_{14} \cdot (\overline{A_{13}} \cdot \overline{A_{12}} \cdot \dots \cdot \overline{A_6} \cdot \overline{A_5} \cdot A_4 + \overline{A_{13}} \cdot \overline{A_{12}} \cdot \dots \cdot \overline{A_6} \cdot A_5 \cdot \overline{A_4} + \dots + \overline{A_{13}} \cdot \overline{A_{12}} \cdot \dots \cdot \overline{A_6} \cdot A_5 \cdot \overline{A_4} + A_{13} \cdot A_{12} \cdot \dots \cdot A_6 \cdot A_5 \cdot A_4)$$

1.1.2 ЗАДАТАК

Посматра се рачунар код кога су меморијски и улазно/излазни адресни простори раздвојени. Стога на магистрали постоји сигнал $\overline{M}/\overline{IO}$ који вредностима 1 и 0 одређује да ли је адреса из меморијског или улазно/излазног адресног простора, респективно.

Меморијски адресни простор је 4G адреса, при чему је ширина адресибилне локације 16 бита. Нижих 3G адреса меморијског адресног простора је резервисано за RAM меморију, а виших 1G адреса меморијског адресног простора је резервисано за ROM меморију. Од целокупног опсега адреса резервисаног за RAM меморију попуњено је само виших 2G адреса, а од целокупног опсега адреса резервисаног за ROM меморију попуњено је само нижих 512M адреса.

Улазно/излазни адресни простор је 256 адреса, при чему је ширина адресибилне локације 16 бита. Нижих 128 адреса улазно/излазног адресног простора је резервисано за контролере без директног приступа меморији, а виших 128 адреса улазно/излазног адресног простора је резервисано за контролере са директним приступом меморији. Контролери без директног приступа меморији имају по четири локације (регистра), а контролери са директним приступом меморији имају по осам локација (регистара). У рачунару постоји само један контролер без директног приступа меморији, чије локације (регистри) попуњавају само четири најниже адресе из целокупног опсега адреса резервисаног за контролере без директног приступа меморији, и само један контролер са директним приступом меморији, чије локације (регистри) попуњавају само осам најнижих адреса из целокупног опсега адреса резервисаног за контролере са директним приступом меморији.

а) Назначити опсег адреса у меморијском адресном простору, опсег адреса резервисан за RAM меморију, опсег адреса резервисан за ROM меморију, опсег адреса попуњен RAM меморијом и опсег адреса попуњен ROM меморијом. Назначити опсег адреса у улазно/излазном адресном простору рачунара, опсег адреса резервисан за контролере без директног приступа меморији, опсег адреса резервисан за контролере са директним приступом меморији, опсег адреса попуњен локацијама (регистрима) контролера без директног приступа меморији и опсег адреса попуњен локацијама (регистрима) контролера са директним приступом меморији. Резултат представити табеларно.

б) Реализовати модул RAM меморије који попуњава само виших 2G адреса од 3G адреса опсега адреса резервисаног за RAM меморију користећи чипове 512Mx8 битова (управљачки улази су **RD**, **WR** и **CS**).

в) Реализовати модул ROM меморије који попуњава само нижих 512M адреса од 1G адреса опсега адреса резервисаног за ROM меморију користећи чипове 128Mx1 бита (управљачки улази су **RD** и **CS**).

г) Реализовати део контролера без директног приступа меморији са локацијама (регистрима) које попуњавају најниже четири адресе из целокупног опсега адреса резервисаног за контролере без директног приступа меморији.

д) Реализовати део контролера са директним приступом меморији са локацијама (регистрима) које попуњавају најнижих осам адреса из целокупног опсега адреса резервисаног за контролере са директним приступом меморији.

ђ) Генерисати сигнал којим се детектује да је дата адреса или из опсега адреса меморијског адресног простора које нису попуњене RAM и ROM меморијом или из

улазно/излазног простора које нису попуњене контролерима без и са директним приступом меморији.

Решење:

а) За адресирање локација у меморијском адресном простору рачунара величине 4G (2^{32}) адреса потребно је користити 32 битне адресе $A_{31}A_{30}...A_1A_0$, при чему је ширина адресибилне локације 16 бита. Опсег адреса који припада меморијском адресном простору рачунара величине 4G (2^{32}) се добија варирањем 32 бита адресе (слика 13). Почетна адреса $A_{31}A_{30}...A_1A_0$ меморијског адресног простора је 0000 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0000 0000h, док је последња адреса 1111 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FFFF FFFFh (слика 21).

$A_{31}A_{30}A_{29}A_{28}$		$A_7 A_6 A_5 A_4$	$A_3 A_2 A_1 A_0$	
0 0 0 0		0 0 0 0	0 0 0 0	опсег адреса у меморијском адресном простору
0 0 0 0		0 0 0 0	0 0 0 1	
- - - -	...	- - - -	- - - -	
1 1 1 1		1 1 1 1	1 1 1 0	
1 1 1 1		1 1 1 1	1 1 1 1	

Слика 13 Адресе у опсегу адреса меморијског адресног простора

Меморијски адресни простор од 4G (2^{32}) адреса је подељен на два дела и то нижих 3G ($3 \cdot 2^{30}$) адреса за RAM меморију и виших 1G ($1 \cdot 2^{30}$) адреса за ROM меморију. Стога у 32 битној адреси $A_{31}A_{30}...A_1A_0$ битови $A_{31}A_{30}$ вредностима 00b, 01b, 10b и 11b одређују о ком од четири опсега адреса од 1G адреса се ради. Од 4G (2^{32}) адреса меморијског адресног простора најнижих 3G ($3 \cdot 2^{30}$) адреса је резервисано за RAM меморију, па битови $A_{31}A_{30}$ имају вредности 00b, 01b и 10b, док највиших 1G ($1 \cdot 2^{30}$) адреса је резервисано за ROM меморију, па битови $A_{31}A_{30}$ имају вредност 11b. Преосталих 30 битоа 32 битне адресе $A_{29}...A_1A_0$, који имају вредности у опсегу од 00 0000 0000 0000 0000 0000 0000b до 11 1111 1111 1111 1111 1111 1111b, представљају адресу унутар опсега од 1G (2^{30}) адреса (слика 14). Стога је почетна адреса $A_{31}A_{30}...A_1A_0$ опсега адреса резервисаног за RAM меморију 0000 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0000 0000h, док је последња адреса 1011 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу BFFF FFFFh. На сличан начин се добија да је почетна адреса $A_{31}A_{30}...A_1A_0$ опсега адреса резервисаног за ROM меморију 1100 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу C000 0000h, док је последња адреса 1111 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FFFF FFFFh (слика 21).

A ₃₁ A ₃₀	A ₂₉ A ₂₈		A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0	0 0		0 0 0 0	0 0 0 0	опсег адреса резервисан за RAM меморију
- -	- -	...	- - - -	- - - -	
0 0	1 1		1 1 1 1	1 1 1 1	
0 1	0 0		0 0 0 0	0 0 0 0	
- -	- -	...	- - - -	- - - -	
0 1	1 1		1 1 1 1	1 1 1 1	
1 0	0 0		0 0 0 0	0 0 0 0	опсег адреса резервисан за ROM меморију
- -	- -	...	- - - -	- - - -	
1 0	1 1		1 1 1 1	1 1 1 1	
1 1	0 0		0 0 0 0	0 0 0 0	
- -	- -	...	- - - -	- - - -	
1 1	1 1		1 1 1 1	1 1 1 1	

Слика 14 Адресе у опсезима адреса резервисаним за RAM и ROM меморију

У опсегу адреса резервисаном за RAM меморију од 3G ($3 \cdot 2^{30}$) адреса, који се састоји од три опсега адреса величине 1G (2^{30}) адреса, RAM меморијом је попуњено само највиших 2G ($2 \cdot 2^{30}$) адреса. Стога у 32 битној адреси A₃₁A₃₀...A₁A₀ битови A₃₁A₃₀ вредностима 00b, 01b и 10b одређују о ком од три опсега адреса од 1G (2^{30}) адреса резервисаним за RAM меморију се ради. Пошто је од 3G ($3 \cdot 2^{30}$) адреса попуњено само највиших 2G ($2 \cdot 2^{30}$) адреса, битови A₃₁A₃₀ имају вредности 01b и 10b. Преосталих 30 битоа 32 битне адресе A₂₉...A₁A₀, који имају вредности у опсегу од 00 0000 0000 0000 0000 0000 0000b до 11 1111 1111 1111 1111 1111 1111b, представљају адресу локације унутар опсега од 1G (2^{30}) адреса (слика 15). Стога је почетна адреса A₃₁A₃₀...A₁A₀ у опсегу адреса попуњеном RAM меморијом 0100 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 4000 0000h, док је последња адреса 1011 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу BFFF FFFFh (слика 21).

A ₃₁ A ₃₀	A ₂₉ A ₂₈		A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0	0 0		0 0 0 0	0 0 0 0	опсег адреса не попуњен RAM меморијом
- -	- -	...	- - - -	- - - -	
0 0	1 1		1 1 1 1	1 1 1 1	
0 1	0 0		0 0 0 0	0 0 0 0	опсег адреса попуњен RAM меморијом
- -	- -	...	- - - -	- - - -	
0 1	1 1		1 1 1 1	1 1 1 1	
1 0	0 0		0 0 0 0	0 0 0 0	
- -	- -	...	- - - -	- - - -	
1 0	1 1		1 1 1 1	1 1 1 1	
1 1	0 0		0 0 0 0	0 0 0 0	опсег адреса резервисан за ROM меморију
- -	- -	...	- - - -	- - - -	
1 1	1 1		1 1 1 1	1 1 1 1	

Слика 15 Адресе у опсегу адреса попуњеном RAM меморијом

У опсегу адреса резервисаном за ROM меморију од 1G (2^{30}) адреса ROM меморијом је попуњено само нижих 512M (2^{29}) адреса. Стога треба узети да је опсег адреса резервисан за ROM меморију од 1G (2^{30}) адреса подељен на 2 (2^1) опсега адреса

величине 512M (2^{29}) адреса од којих је само нижих 512M адреса попуњено ROM меморијом. У овом случају у 32 битној адреси $A_{31}A_{30}...A_1A_0$ битови $A_{31}A_{30}$ вредностима 11b одређују да се ради о адреси из опсега адреса од 1G (2^{30}) адреса резервисаном за ROM меморију, а бит A_{29} вредностима 0 и 1 одређују о ком од два опсега адреса од 512M (2^{29}) адреса се ради. Пошто је од 1G(2^{30}) адреса попуњено само нижих 512M (2^{29}) адреса, бит A_{29} има вредност 0. Преосталих 29 битова 32 битне адресе $A_{28}...A_1A_0$, који имају вредности у опсегу од 0 0000 0000 0000 0000 0000 0000 0000b до 1 1111 1111 1111 1111 1111 1111b, представљају адресу локације унутар опсега од 512M (2^{29}) адреса (слика 16). Стога је почетна адреса $A_{31}A_{30}...A_1A_0$ у опсегу адреса попуњеном ROM меморијом 1100 0000 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу C000 0000h, док је последња адреса 1101 1111 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу DFFF FFFFh (слика 21).

$A_{31}A_{30}$	$A_{29}A_{28}$		$A_7A_6A_5A_4$	$A_3A_2A_1A_0$	
0 0	0 0		0 0 0 0	0 0 0 0	опсег адреса резервисан за RAM меморију
- -	- -	...	- - - -	- - - -	
1 0	1 1		1 1 1 1	1 1 1 1	
1 1	0 0		0 0 0 0	0 0 0 0	опсег адреса попуњен ROM меморијом
- -	- -	...	- - - -	- - - -	
1 1	0 1		1 1 1 1	1 1 1 1	
1 1	1 0		0 0 0 0	0 0 0 0	опсег адреса не попуњен ROM меморијом
- -	- -	...	- - - -	- - - -	
1 1	1 1		1 1 1 1	1 1 1 1	

Слика 16 Адресе у опсегу адреса попуњених ROM меморијом

За адресирање локација у улазно/излазном адресном простору рачунара величине 256 (2^8) адреса потребно је користити 8 битне адресе $A_7A_6...A_1A_0$, при чему је ширина адресбилне локације 16 бита. Опсег адреса који припада улазно/излазном адресном простору рачунара величине 256 (2^8) адреса се добија варирањем 8 битова адресе (слика 17). Почетна адреса $A_7A_6...A_1A_0$ улазно/излазног адресног простора је 0000 0000b, што у хексадецималном запису даје адресу 00h, док је последња адреса 1111 1111b, што у хексадецималном запису даје адресу FFh (слика 21).

$A_7A_6A_5A_4$	$A_3A_2A_1A_0$	
0 0 0 0	0 0 0 0	опсег адреса у улазно/излазном адресном простору рачунара
0 0 0 0	0 0 0 1	
- - - -	- - - -	
1 1 1 1	1 1 1 0	
1 1 1 1	1 1 1 1	

Слика 17 Адресе у опсегу адреса улазно/излазног адресног простора

Улазно/излазни адресни простор од 256 (2^8) адреса је подељен на два дела и то нижих 128 (2^7) адреса за контролере без директног приступа меморији и виших 128 (2^7) адреса за контролере са директним приступом меморији. Стога у 8 битној адреси $A_7A_6...A_1A_0$ бит A_7 вредностима 0 и 1 одређује да се ради о нижем и вишем опсегу адреса од по 128 (2^7) адреса резервисаних за контролере без директног приступа меморији и контролере са директним приступом меморији, респективно. Преосталих 7 битова 8 битне адресе $A_6...A_1A_0$, који имају вредности у опсегу од 000 0000b до 111 1111b, представљају адресу унутар опсега од 128 (2^7) адреса (слика 18). Стога је почетна адреса $A_7A_6...A_1A_0$ опсега адреса резервисаног за контролере без директног приступа меморији 0000 0000b, што у хексадецималном запису даје адресу 00h, док је

последња адреса 0111 1111b, што у хексадецималном запису даје адресу 7Fh. На сличан начин се добија да је почетна адреса $A_7A_6...A_1A_0$ опсега адреса резервисаног за контролере са директним приступом меморији 1000 0000b, што у хексадецималном запису даје адресу 80h, док је последња адреса 1111 1111b, што у хексадецималном запису даје адресу FFh (слика 21).

A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
0	0	0	0	0	0	0	0	опсег адреса резервисан за контролере без директног приступа меморији
0	0	0	0	0	0	0	1	
-	-	-	-	-	-	-	-	
0	1	1	1	1	1	1	0	
0	1	1	1	1	1	1	1	
<hr/>								
1	0	0	0	0	0	0	0	опсег адреса резервисан за контролере са директним приступом меморији
1	0	0	0	0	0	0	1	
-	-	-	-	-	-	-	-	
1	1	1	1	1	1	1	0	
1	1	1	1	1	1	1	1	

Слика 18 Адресе у опсезима адреса резервисаним за контролере без директног приступа меморији и контролере са директним приступом меморији

У опсегу адреса резервисаном за контролере без директног приступа меморији од 128 (2^7) адреса локацијама (регистрима) контролера без директног приступа меморији је попуњен само опсег од најниже 4 (2^2) адресе. Стога треба узети да је опсег адреса резервисан за контролере без директног приступа меморији од 128 (2^7) адреса подељен на 32 (2^5) опсега адреса величине 4 (2^2) адреса од којих је само опсег од најниже 4 адресе попуњен локацијама (регистрима) контролера без директног приступа меморији. У овом случају у 8 битној адреси $A_7A_6...A_1A_0$ бит A_7 вредношћу 0 одређује да се ради о адреси из опсега од 128 адреса резервисаних за контролере без директног приступа меморији, а битови $A_6A_5A_4A_3A_2$ вредностима 000 00 до 111 11 одређују о ком од 32 опсега адреса од 4 адресе се ради. Пошто је од 32 опсега попуњен само опсег од најниже 4 адресе, битови $A_6A_5A_4A_3A_2$ имају вредности 000 00. Преостала 2 бита 8 битне адресе A_1A_0 , који имају вредности у опсегу од 00b до 11b, представљају адресу локације (регистра) унутар опсега од 4 адресе (слика 19). Стога је почетна адреса $A_7A_6...A_1A_0$ опсега адреса попуњеног контролером без директног приступа меморији 0000 0000b, што у хексадецималном запису даје адресу 00h, док је последња адреса 0000 0011b, што у хексадецималном запису даје адресу 03h (слика 21).

A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
0	0	0	0	0	0	0	0	опсег адреса попуњен контролером без директног приступа меморији
0	0	0	0	0	0	0	1	
0	0	0	0	0	0	1	0	
0	0	0	0	0	0	1	1	
0	0	0	0	0	1	0	0	опсег адреса не попуњен контролером без директног приступа меморији
-	-	-	-	-	-	-	-	
0	0	0	0	0	1	1	1	
-	-	-	-	-	-	-	-	
0	1	1	1	1	1	0	0	опсег адреса не попуњен контролером без директног приступа меморији
-	-	-	-	-	-	-	-	
0	1	1	1	1	1	1	1	
1	0	0	0	0	0	0	0	опсег адреса резервисан за контролере са директним приступом меморији
-	-	-	-	-	-	-	-	
1	1	1	1	1	1	1	1	

Слика 19 Адресе у опсегу адреса попуњеном контролером без директног приступа меморији

У опсегу адреса резервисаном за контролере са директним приступом меморији од 128 (2^7) адреса локацијама (регистрима) контролера са директним приступом меморији је попуњен само опсег од најнижих 8 (2^3) адреса. Стога треба узети да је опсег адреса резервисан за контролере са директним приступом меморији од 128 (2^7) адреса подељен на 16 (2^4) опсега адреса величине 8 (2^3) адреса од којих је само опсег од најнижих 8 адреса попуњен локацијама (регистрима) контролера са директним приступом меморији. У овом случају у 8 битној адреси $A_7A_6...A_1A_0$ бит A_7 вредношћу 1 одређује да се ради о адреси из опсега од 128 адреса резервисаних за контролере са директним приступом меморији, а битови $A_6A_5A_4A_3$ вредностима 000 0b до 111 1b одређују о ком од 16 опсега адреса од 8 адреса се ради. Пошто је од 16 опсега попуњен само опсег од најнижих 8 адреса, битови $A_6A_5A_4A_3$ имају вредности 000 0b. Преостала 3 бита 8 битне адресе $A_2A_1A_0$, који имају вредности у опсегу од 000b до 111b, представљају адресу локације (регистра) унутар опсега од 8 адреса (слика 20). Стога је почетна адреса $A_7A_6...A_1A_0$ опсега адреса попуњеном контролером са директним приступом меморији 1000 0000b, што у хексадецималном запису даје адресу 80h, док је последња адреса 1000 0111b, што у хексадецималном запису даје адресу 87h (слика 21).

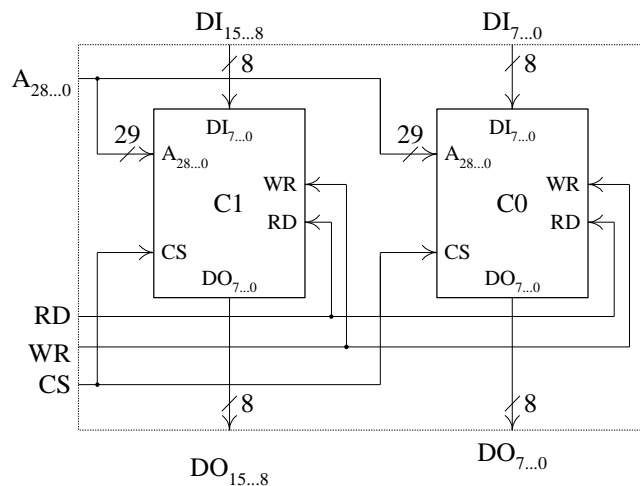
A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
0	0	0	0	0	0	0	0	опсег адреса резервисан за контролере без директног приступа меморији
-	-	-	-	-	-	-	-	
0	1	1	1	1	1	1	1	
1	0	0	0	0	0	0	0	опсег адреса попуњен контролером са директним приступом меморији
1	0	0	0	0	0	0	1	
-	-	-	-	-	-	-	-	
1	0	0	0	0	1	1	0	
1	0	0	0	0	1	1	1	
1	0	0	0	1	0	0	0	опсег адреса не попуњен контролером са директним приступом меморији
-	-	-	-	-	-	-	-	
1	0	0	0	1	1	1	1	
-	-	-	-	-	-	-	-	
1	1	1	1	1	0	0	0	опсег адреса не попуњен контролером са директним приступом меморији
-	-	-	-	-	-	-	-	
1	1	1	1	1	1	1	1	

Слика 20 Адресе у опсегу адреса попуњеном контролером са директним приступом меморији

Опсези адреса	M/ \bar{IO}	Прва адреса	Последња адреса
Опсег адреса меморијског адресног простора	1	0000 0000h	FFFF FFFFh
Опсег адреса резервисан за RAM меморију	1	0000 0000h	BFFF FFFFh
Опсег адреса резервисан за ROM меморију	1	C000 0000h	FFFF FFFFh
Опсег адреса попуњен RAM меморијом	1	4000 0000h	BFFF FFFFh
Опсег адреса попуњен ROM меморијом	1	C000 0000h	DFFF FFFFh
Опсег адреса улазно/излазног адресног простора	0	00h	FFh
Опсег адреса резервисан за контролере без директног приступа меморији	0	00h	7Fh
Опсег адреса резервисан за контролере са директним приступом меморији	0	80h	FFh
Опсег адреса попуњен контролером без директног приступа меморији	0	00h	03h
Опсег адреса попуњен контролером са директним приступом меморији	0	80h	87h

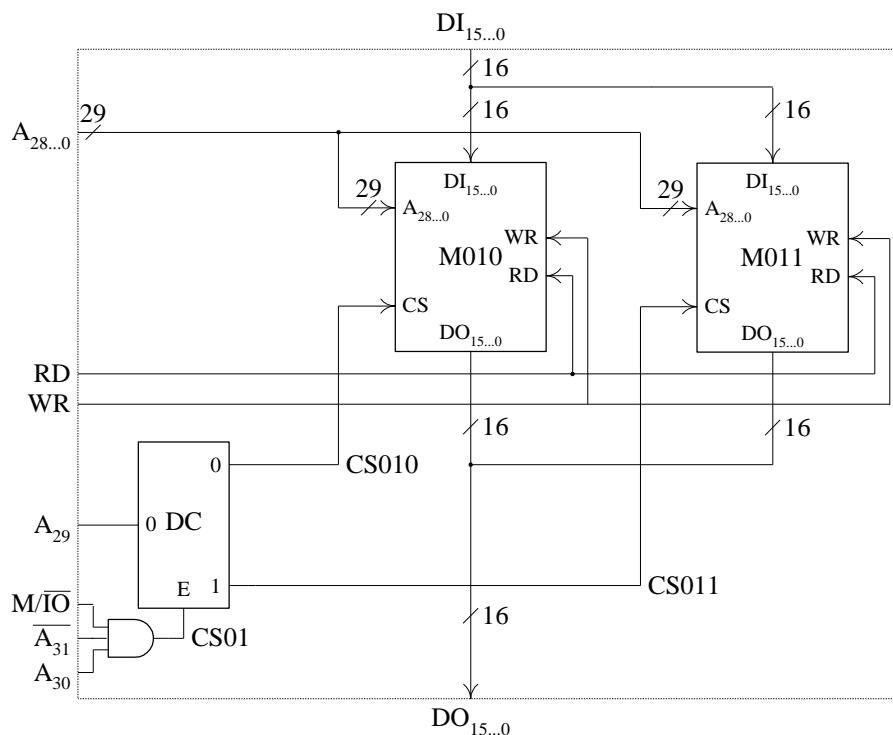
Слика 21 Опсези адреса

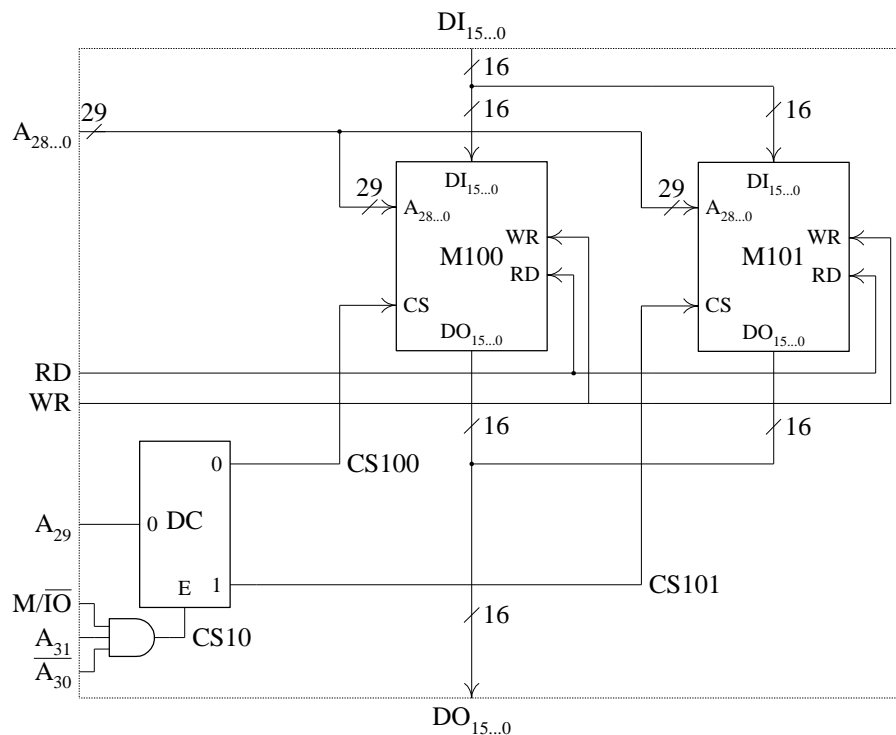
б) Реализација RAM меморије капацитета 2Gx16 бита која попуњава само највиших 2G адреса од 3G адреса опсега адреса резервисаног за RAM меморију користећи чипове 512Mx8 битова је представљена на сликама 22 и 23.



Слика 22 Модул RAM меморије капацитета 512Mx16 битова реализован чиповима 512Mx8 битова

У реализованој RAM меморији капацитета 2Gx16 битова, најпре два чипа капацитета 512Mx8 битова служе за смештање 8 нижих и 8 виших битова 16 битне бинарне речи у реализованом модулу RAM меморије капацитета 512Mx16 битова (слика 22), затим два модула RAM меморије капацитета 512Mx16 битова служе за покривање нижег и вишег опсега адреса од по 512M адреса у реализованом модулу RAM меморије капацитета 1Gx16 битова и на крају два модула RAM меморије капацитета 1Gx16 битова служе за покривање 2G адреса RAM меморијом (слика 23). За реализацију RAM меморије капацитета 2Gx16 битова потребно је 8 чипова капацитета 512Mx8 битова.





Слика 23 Два модула RAM меморије капацитета 1Gx16 бита која попуњавају само највиших 2G адреса од 3G адреса опсега адреса резервисаног за RAM меморију користећи модуле RAM меморије капацитета 512Mx16 бита

При оваквој реализацији RAM меморије капацитета 2Gx16 бита опсег од 2^{32} адреса је најпре подељен на 4 (2^2) опсега адреса величине 1G (2^{30}) адреса, а затим је и сваки опсег од 2^{30} адреса подељен на 2 (2^1) опсега адреса величине 512M (2^{29}) адреса. Стога у 32 битној адреси $A_{31}A_{30}...A_1A_0$ најпре два најстарија бита $A_{31}A_{30}$ вредностима 00b до 11b одређују о ком од четири опсега адреса од 1G (2^{30}) адреса се ради, затим бит A_{29} вредностима 0 и 1 одређују о ком од два опсега адреса од 512M (2^{29}) адреса се ради и на крају најмлађих 29 бита $A_{28}...A_1A_0$ вредностима 0 0000 0000 0000 0000 0000 0000 0000b до 1 1111 1111 1111 1111 1111 1111 1111b одређују адресу локације унутар опсега од 512M (2^{29}) адреса. При томе битови $A_{31}A_{30}$ вредностима 01b и 10b одређују да се ради о адреси из два највиша опсега адреса од по 1G (2^{30}) адреса попуњених модулима RAM меморије капацитета 1Gx16 бита.

У 32 битној адреси $A_{31}A_{30}...A_1A_0$ која припада попуњеној RAM меморији, битови $A_{31}A_{30}$, који имају вредност 01b и 10b, служе за формирање сигнала селекција CS01 до CS10 једног од два модула RAM меморије капацитета 1Gx16 бита, бит A_{29} , који има вредност 0 и 1, служи за формирање сигнала селекција CS010, CS011, CS100 и CS101 једног од два модула RAM меморије капацитета 512Mx16 бита унутар селектованог модула RAM меморије капацитета 1Gx16 бита и битови $A_{28}...A_1A_0$ представљају адресу локације унутар селектованог модула RAM меморије капацитета 512Mx16 бита. При томе сигнал $\overline{M/I\bar{O}}$ мора да има вредност 1, као индикацију да се ради о адреси из меморијског адресног простора.

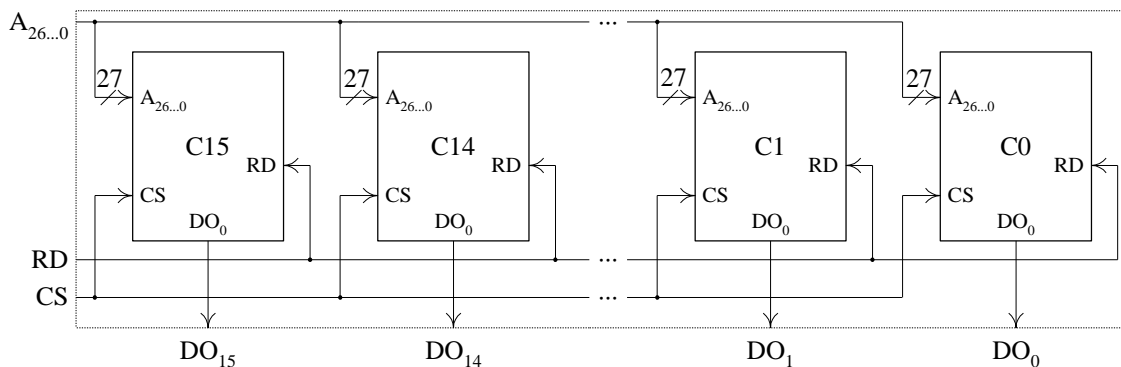
в) Реализација модула ROM меморије капацитета 512Mx16 бита која попуњава само најнижих 512M адреса од 1G адреса опсега адреса резервисаног за ROM меморију користећи чипове 128Mx1 бита је представљена на сликама 24 и 25.

У реализованој ROM меморији капацитета 512Mx16 бита, најпре 16 чипова капацитета 128Mx1 бит служе за смештање 16 бита 16 битне бинарне речи у

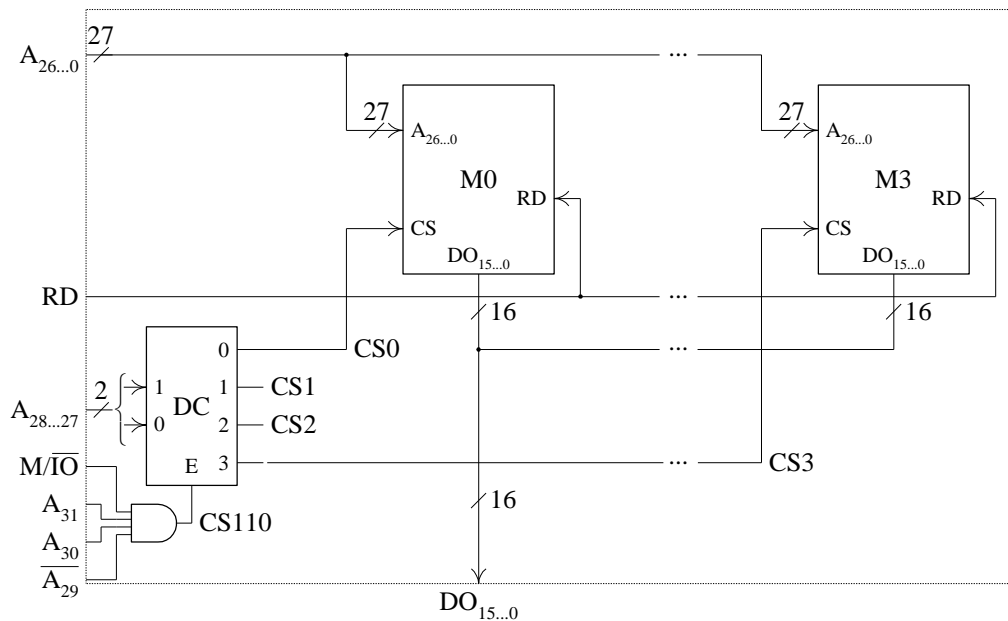
реализованом модулу ROM меморије капацитета 128Mx16 битова (слика 24) и затим четири модула ROM меморије капацитета 128Mx16 битова служе за покривање четири опсега адреса од по 128M адреса у реализованом модулу ROM меморије капацитета 512Mx16 битова (слика 25). За реализацију ROM меморије капацитета 512Mx16 битова потребна су 64 чипа капацитета 128Mx16 бита.

При оваквој реализацији ROM меморије капацитета 512Mx16 бита опсег од 2^{32} адреса је најпре подељен на 4 (2^2) опсега адреса величине 1G (2^{30}) адреса, затим је сваки опсег од 2^{30} адреса подељен на 2 (2^1) опсега адреса величине 512M (2^{29}) адреса и на крају је сваки опсег од 2^{29} адреса подељен на 4 (2^2) опсега адреса величине 128M (2^{27}) адреса. Стога у 32 битној адреси $A_{31}A_{30}...A_1A_0$ најпре два најстарија бита $A_{31}A_{30}$ вредностима 00b до 11b одређују о ком од четири опсега адреса од 1G (2^{30}) адреса се ради, затим бит A_{29} вредностима 0 и 1 одређују о ком од два опсега адреса од 512M (2^{29}) адреса се ради, потом битови $A_{28}A_{27}$ вредностима 00b, 01b, 10b и 11b одређују о ком од четири опсега адреса од 128M (2^{27}) адреса се ради и на крају најмлађих 27 битова $A_{26}...A_1A_0$ вредностима 000 0000 0000 0000 0000 0000 0000b до 111 1111 1111 1111 1111 1111 1111b одређују адресу локације унутар опсега од 128M (2^{27}) адреса. При томе битови $A_{31}A_{30}$ вредностима 11b одређују да се ради о адреси из највишег опсега адреса од 1G (2^{30}) адреса резервисаног за ROM меморију капацитета 1Gx16 бита и бит A_{29} вредношћу 0 одређује да се ради о адреси из нижег опсега адреса од по 512M (2^{29}) адреса попуњеног модулом ROM меморије капацитета 512M x16 битова.

У 32 битној адреси $A_{31}A_{30}A_{29}A_{28}...A_1A_0$ која припада попуњеној ROM меморији, битови $A_{31}A_{30}$, који имају вредност 11b, и бит A_{29} , који има вредност 0, служе за формирање сигнала селекције CS110 модула ROM меморије капацитета 512M x16 битова, битови $A_{28}A_{27}$ имају вредности 00b, 01b, 10b и 11b и служе за формирање сигнала селекција CS11000, CS11001, CS11010 и CS11011 једног од четири модула RAM меморије капацитета 128Mx16 битова унутар селектованог модула ROM меморије капацитета 512Mx16 битова и битови $A_{26}...A_1A_0$ представљају адресу локације унутар селектованог модула ROM меморије капацитета 128Mx16 битова. При томе сигнал $\overline{M}/\overline{IO}$ мора да има вредност 1, као индикацију да се ради о адреси из меморијског адресног простора.



Слика 24 Модул ROM меморије капацитета 128Mx16 битова реализован чиповима 128Mx16 бита

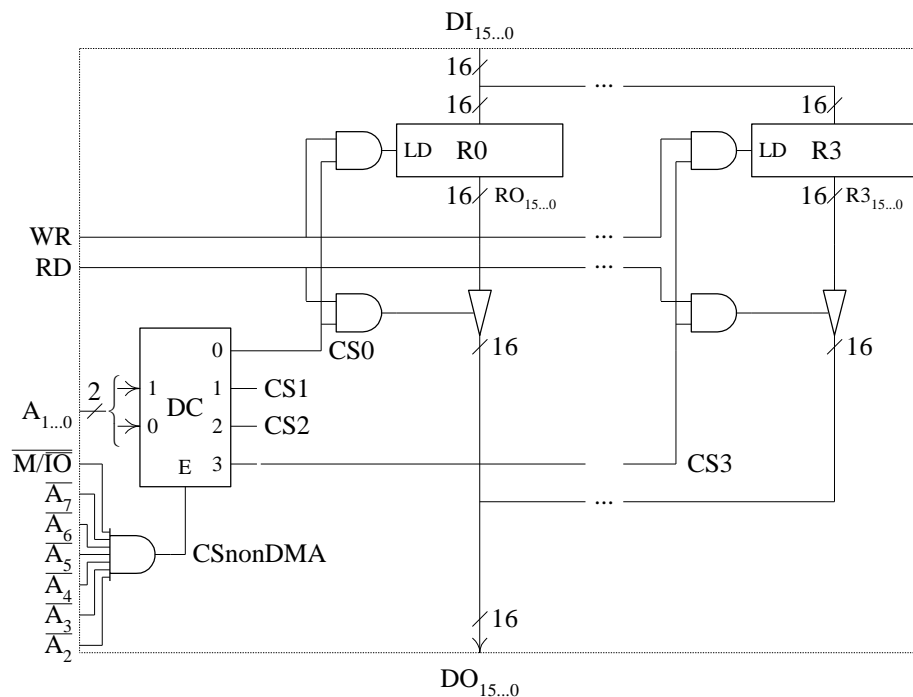


Слика 25 Модул ROM меморије капацитета 512Mx16 битова који попуњава само најнижих 512M адреса од 1G адреса опсега адреса резервисаног за ROM меморију реализован модулима ROM меморије капацитета 128Mx16 битова

г) Реализација дела контролера без директног приступа меморији са локацијама (регистрима), који попуњава само четири најниже адресе од 128 адреса опсега адреса резервисаног за контролере без директног приступа меморији приказана је на слици 26.

У контролеру без директног приступа меморији постоје четири локације (регистра), па је опсег од 128 (2^7) адреса резервисан за контролере без директног приступа меморији подељен на 32 (2^5) опсега адреса величине 4 (2^2) адресе. Стога у 8 битној адреси $A_7A_6A_5...A_2A_1A_0$ бит A_7 вредностима 0 и 1 одређују о ком од два (2^1) опсега адреса од 128 (2^7) адреса резервисаних за контролере без директног приступа меморији и контролере са директним приступом меморији се ради, битови $A_6A_5A_4A_3A_2$ вредностима 00000b до 11111b одређују о ком од 32 (2^5) опсега адреса од 4 (2^2) адресе се ради, док битови A_1A_0 вредностима 00b до 11b одређују адресу локације (регистра) унутар опсега од 4 (2^2) адресе. При томе бит A_7 вредношћу 0 одређује да се ради о адреси из опсега адреса од 128 адреса резервисаних за контролере без директног приступа меморији и битови $A_6A_5A_4A_3A_2$ вредностима 00000b да се ради о адреси из најнижег опсега адреса од по 4 адресе попуњеног локацијама (регистрима) контролера без директног приступа меморији.

У 8 битној адреси $A_7A_6A_5...A_2A_1A_0$ која припада једином контролеру без директног приступа меморији који постоји у рачунару бит A_7 , који има вредност 0, и битови $A_6A_5A_4A_3A_2$, који имају вредност 00000b, служе за формирање сигнала селекције CSnonDMA модула контролера без директног приступа меморији, док битови A_1A_0 , који имају вредности 00, 01, 10 и 11, служе за формирање сигнала селекција CS0, CS1, CS2 и CS3 једне од четири локације (регистра) унутар селектованог контролера без директног приступа меморији. При томе сигнал $\overline{M/I\bar{O}}$ мора да има вредност 0, као индикацију да се ради о адреси из улазно/излазног адресног простора.

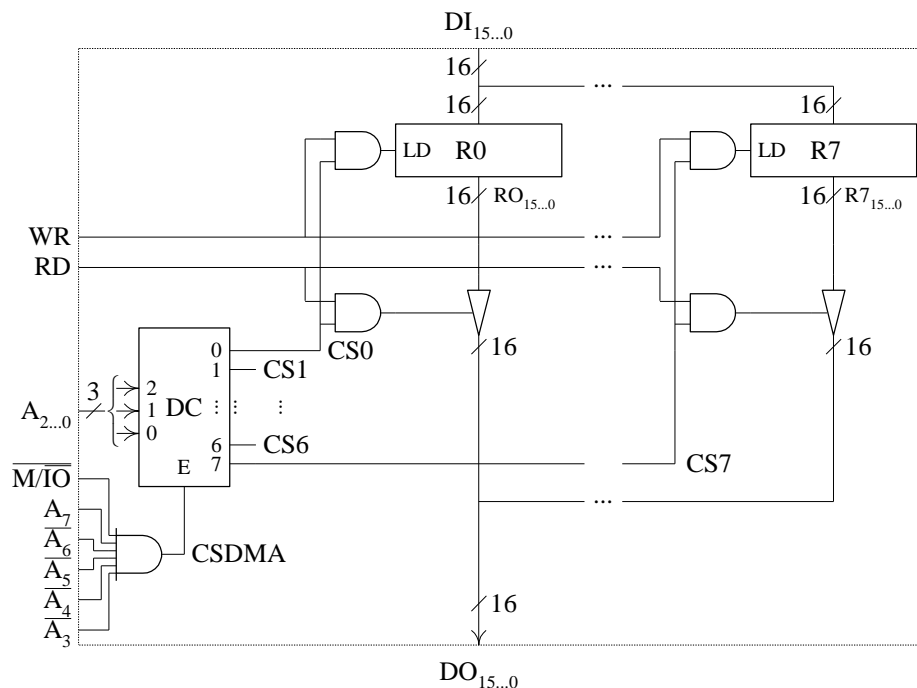


Слика 26 Део контролера без директног приступа меморији са локацијама (регистрима) који попуњава само најниже четири адресе од 128 адреса опсега адреса резервисаног за контролере без директног приступа меморији

д) Реализација дела контролера са директним приступом меморији са локацијама (регистрима) који попуњава само осам најнижих адреса од 128 адреса опсега адреса резервисаног за контролере са директним приступом меморији приказана је на слици 27.

У контролеру са директним приступом меморији постоји 8 локација (регистара), па је опсег од 128 (2^7) адреса резервисан за контролере са директним приступом меморији подељен на 16 (2^4) опсега адреса величине 8 (2^3) адреса. Стога у 8 битној адреси $A_7A_6A_5\dots A_2A_1A_0$ бит A_7 вредностима 0 и 1 одређују о ком од два (2^1) опсега адреса од 128 (2^7) адреса резервисаних за контролере без директног приступа меморији и контролере са директним приступом меморији се ради, битови $A_6A_5A_4A_3$ вредностима 0000b до 1111b одређују о ком од 16 (2^4) опсега адреса од 8 (2^3) адреса се ради, док битови $A_2A_1A_0$ вредностима 000b до 111b одређују адресу локације (регистра) унутар опсега од 8 (2^3) адреса. При томе бит A_7 вредношћу 1 одређује да се ради о адреси из опсега адреса од 128 адреса резервисаних за контролере са директним приступом меморији и битови $A_6A_5A_4A_3$ вредностима 0000b да се ради о адреси из најнижег опсега адреса од по 8 адреса попуњеног локацијама (регистрима) контролера са директним приступом меморији.

У 8 битној адреси $A_7A_6A_5\dots A_2A_1A_0$ која припада једином контролеру са директним приступом меморији који постоји у рачунару бит A_7 , који има вредност 1, и битови $A_6A_5A_4A_3$, који имају вредност 0000b, служе за формирање сигнала селекције CSDMA контролера са директним приступом меморији, док битови $A_2A_1A_0$, који имају вредности 000b до 111b, служе за формирање сигнала селекција CS0 до CS7 једне од 8 локација (регистара) унутар селектованог контролера са директним приступом меморији. При томе сигнал $\overline{M/I\overline{O}}$ мора да има вредност 0 као индикацију да се ради о адреси из улазно/излазног адресног простора.



Слика 27 Део контролера са директним приступом меморији са локацијама (регистрима) који попуњава само најнижих осам адреса од 128 адреса опсега адреса резервисаног за контролере са директним приступом меморији

ђ) Сигнал којим се детектује да је дата адреса из опсега адреса меморијског адресног простора које нису попуњене RAM и ROM меморијом или опсега адреса улазно/излазног адресног простора које нису попуњене контролерима без директног приступа меморији и контролерима са директним приступом меморији се добија као ИЛИ функција сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене RAM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене ROM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене контролерима без директног приступа меморији и сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене контролерима са директним приступом меморији и дат је изразом

$$\begin{aligned} & \overline{M/I\overline{O}} \cdot \overline{A_{31}} \cdot \overline{A_{30}} + \\ & \overline{M/I\overline{O}} \cdot \overline{A_{31}} \cdot \overline{A_{30}} \cdot \overline{A_{29}} + \\ & \overline{M/I\overline{O}} \cdot \overline{A_7} \cdot (\overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} + \dots + \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2}) + \\ & \overline{M/I\overline{O}} \cdot \overline{A_7} \cdot (\overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} + \dots + \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3}) \end{aligned}$$

Опсег адреса резервисан за RAM меморију од 3G је подељен на три опсега адреса величине 1G адреса од којих је само највиших 2G адреса попуњено RAM меморијом. Стога у 32 битној адреси $A_{31}A_{30} \dots A_1A_0$ битови $A_{31}A_{30}$ вредностима 00b, 01b и 10b одређују о ком од три опсега од 1G адреса се ради. У опсегу од 3G адреса попуњена су само највиша 2 опсега од по 1G адреса, док преостали опсег од 1G адреса није попуњен. За попуњене опсега од 1G адреса битови $A_{31}A_{30}$ имају вредност 01b и 10b, док за преостали непопуњени опсег од 1G адреса битови $A_{31}A_{30}$ имају вредност 00b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене RAM меморијом генерише према изразу

$$\overline{M/I\overline{O}} \cdot \overline{A_{31}} \cdot \overline{A_{30}}$$

Опсег адреса резервисан за ROM меморију од 1G адреса је подељен на два опсега адреса величине 512M адреса од којих је само најнижих 512M адреса попуњено ROM меморијом. Стога у 32 битној адреси $A_{31}A_{30}...A_1A_0$ битови $A_{31}A_{30}$ вредношћу 11b одређује да се ради о адреси из опсега од 1G адреса резервисаног за ROM меморију, а бит A_{29} вредностима 0 и 1 одређују о ком од два опсега од 512M адреса се ради. У опсегу од 1G адреса попуњен је само опсег од најнижих 512M адреса, док преостали опсег од 512M адреса није попуњен. За попуњен опсег од 512M адреса бит A_{29} има вредност 0, док за преостали непопуњени опсег од 512M адреса бит A_{29} има вредности 1. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене ROM меморијом генерише према изразу

$$\overline{M}/\overline{IO} \cdot A_{31} \cdot A_{30} \cdot A_{29}.$$

Опсег адреса резервисан за контролере без директног приступа меморији од 128 адреса је подељен на 32 опсега адреса величине 4 адресе од којих су само најниже 4 адресе попуњене контролером без директног приступа меморији. Стога у 8 битној адреси $A_7A_6...A_1A_0$ бит A_7 вредношћу 0 одређује да се ради о адреси из опсега од 128 адреса резервисаном за контролере без директног приступа меморији, битови $A_6A_5A_4A_3A_2$ вредностима 00000b до 11111b одређују о ком од 32 опсега адреса од 4 адресе се ради. У опсегу од 128 адреса попуњен је само један опсег од најниже 4 адресе, док преостали опсеги од по 4 адресе, којих има 31, нису попуњени. За попуњен опсег од 4 адресе битови $A_6A_5A_4A_3A_2$ имају вредности 00000b, док за преостале непопуњене опсеге од по 4 адресе, којих има 31, битови $A_6A_5A_4A_3A_2$ имају вредности 00001b до 11111b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене контролером без директног приступа меморији генерише према изразу

$$\overline{M}/\overline{IO} \cdot \overline{A_7} \cdot (\overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} + \dots + A_6 \cdot A_5 \cdot A_4 \cdot A_3 \cdot A_2)$$

Опсег адреса резервисан за контролере са директним приступом меморији од 128 адреса је подељен на 16 опсега адреса величине 8 адреса од којих је само најнижих 8 адреса попуњено контролером са директним приступом меморији. Стога у 8 битној адреси $A_7A_6...A_1A_0$ бит A_7 вредношћу 1 одређује да се ради о адреси из опсега од 128 адреса резервисаном за контролере са директним приступом меморији, битови $A_6A_5A_4A_3$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од 8 адреса се ради. У опсегу од 128 адреса попуњен је само један опсег од најнижих 8 адреса, док преосталих 15 опсега од по 8 адреса није попуњено. За попуњен опсег од 8 адреса битови $A_6A_5A_4A_3$ имају вредности 0000b, док за преосталих 15 непопуњених опсега од по 8 адреса битови $A_6A_5A_4A_3$ имају вредности 0001b до 1111b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене контролером са директним приступом меморији генерише према изразу

$$\overline{M}/\overline{IO} \cdot A_7 \cdot (\overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} + \dots + A_6 \cdot A_5 \cdot A_4 \cdot A_3)$$

1.1.3 ЗАДАТАК

Посматра се рачунар код кога су меморијски и улазно/излазни адресни простори раздвојени, па на магистрали постоји сигнал $\overline{M}/\overline{IO}$ који вредностима 1 и 0 одређује да ли је адреса из меморијског или улазно/излазног адресног простора, респективно. RAM и ROM меморијама рачунара се приступа помоћу адреса из меморијског адресног простора, док се контролерима периферија рачунара приступа било адресом из меморијског адресног простора било адресом из улазно/излазног адресног простора.

Меморијски адресни простор је 16М адреса, при чему је ширина адресибилне локације 8 битова. Два највиша опсега адреса од по 64К адреса у меморијском адресном простору су резервисана за ROM меморију и контролере периферија и то нижи опсег за ROM меморију и виши за контролере периферија. Трећи најнижи опсег адреса од 254·64К адреса из меморијског адресног простора је резервисан за RAM меморију. Од целокупног опсега адреса резервисаног за ROM меморију попуњено је само најнижих 1К адреса. Од целокупног опсега адреса резервисаног за контролере периферија попуњене су само најниже 64 адресе. Од целокупног опсега адреса резервисаног за RAM меморију попуњено је само најнижих 1М адреса.

Улазно/излазни адресни простор је 64К адреса, при чему је ширина адресибилне локације 8 битова. Цео опсег адреса од 64К адреса улазно/излазног адресног простора је резервисан за контролере периферија који имају по 64 локације (регистра). У рачунару постоји само један контролер периферије чије локације (регистри) попуњавају само најниже 64 адресе из целокупног опсега адреса улазно/излазног адресног простора.

Локацијама (регистрима) контролера периферије се може приступати и помоћу најниже 64 адресе из опсега адреса меморијског адресног простора резервисаног за контролере периферија и помоћу најниже 64 адресе из опсега адреса улазно/излазног адресног простора.

а) Назначити опсег адреса у меморијском адресном простору, опсег адреса резервисан за RAM меморију, опсег адреса резервисан за ROM меморију, опсег адреса у меморијском адресном простору резервисан за контролере периферија, опсег адреса попуњен RAM меморијом, опсег адреса попуњен ROM меморијом, опсег адреса у меморијском адресном простору попуњен контролером периферије, опсег адреса у улазно/излазног адресном простору и опсег адреса у улазно/излазног адресном простору попуњен локацијама (регистрима) контролера периферије. Резултат представити табеларно.

б) Реализовати модул RAM меморије који попуњава само најнижих 1М адреса из опсега адреса резервисаног за RAM меморију користећи чипове 64Кx1 битова (управљачки улази су **RD**, **WR** и **CS**).

в) Реализовати модул ROM меморије који попуњава само најнижих 1К адреса из опсега адреса резервисаног за ROM меморију користећи чипове 128x4 битова (управљачки улази су **RD** и **CS**).

г) Реализовати део контролера периферије са локацијама (регистрима) које попуњавају само 64 најниже адресе и из опсега адреса меморијског адресног простора резервисаног за контролере периферија и из опсега адреса улазно/излазног адресног простора.

д) Генерисати сигнал којим се детектује да је дата адреса или из опсега адреса меморијског адресног простора које нису попуњене RAM и ROM меморијом и

контролером периферије или из улазно/излазног простора које нису попуњене контролером периферије.

Решење:

а) За адресирање локација у меморијском адресном простору рачунара величине 16М (2^{24}) адреса потребно је користити 24 битне адресе $A_{23}A_{22}...A_1A_0$, при чему је ширина адресбилне локације 8 битова. Опсег адреса који припада меморијском адресном простору рачунара величине 16М (2^{24}) се добија варирањем 24 бита адресе (слика 28). Почетна адреса $A_{23}A_{22}...A_1A_0$ меморијског адресног простора је 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 00 0000h, док је последња адреса 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FF FFFFh (слика 35).

$A_{23} A_{22} A_{21} A_{20}$		$A_7 A_6 A_5 A_4$	$A_3 A_2 A_1 A_0$	
0 0 0 0		0 0 0 0	0 0 0 0	опсег адреса меморијског адресном простора
0 0 0 0		0 0 0 0	0 0 0 1	
- - - -	...	- - - -	- - - -	
1 1 1 1		1 1 1 1	1 1 1 0	
1 1 1 1		1 1 1 1	1 1 1 1	

Слика 28 Адресе у опсегу адреса меморијског адресног простора

Меморијски адресни простор од 16М (2^{24}) адреса је подељен на три дела и то нижи опсег адреса од 254·64К ($(2^8-2)·2^{16}$) адреса који је резервисан за RAM меморију и виша два опсега адреса од по 64К (2^{16}) адреса која су резервисана за ROM меморију и контролере периферија. При томе оквиру највиша 2 опсега адреса од по 64К (2^{16}) адреса резервисана за ROM меморију и контролере периферија нижи опсег је резервисан за ROM меморију и виши за контролере периферија. Стога у 24 битној адреси $A_{23}A_{22}...A_1A_0$ битови $A_{23}A_{22}...A_{17}A_{16}$ вредностима 0000 0000b до 1111 1111b одређују о ком од 256 (2^8) опсега адреса од по 64К (2^{16}) адреса адреса се ради. Од 16М (2^{24}) адреса меморијског адресног простора најнижих 254·64К ($(2^8-2)·2^{16}$) адреса је резервисано за RAM меморију, па битови $A_{23}A_{22}...A_{17}A_{16}$ имају вредности 0000 0000b до 1111 1101b, док су највиша два опсега адреса од по 64К (2^{16}) адреса резервисана за ROM меморију и контролере периферија и то нижи за ROM меморију, па битови $A_{23}A_{22}...A_{17}A_{16}$ имају вредности 1111 1110b, и виши за контролере периферија, па битови $A_{23}A_{22}...A_{17}A_{16}$ имају вредности 1111 1111b. Преосталих 16 битова 24 битне адресе $A_{15}...A_1A_0$, који имају вредности у опсегу од 0000 0000 0000 0000b до 1111 1111 1111 1111b, представљају адресу унутар опсега од 64К (2^{16}) адреса (слика 29). Стога је почетна адреса $A_{23}A_{22}...A_1A_0$ опсега адреса резервисаног за RAM меморију 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 00 0000h, док је последња адреса 1111 1101 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FD FFFFh. На сличан начин се добија да је почетна адреса $A_{23}A_{22}...A_1A_0$ опсега адреса резервисаног за ROM меморију 1111 1110 0000 0000 0000 0000b, што у хексадецималном запису даје адресу FE 0000h, док је последња адреса 1111 1110 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FEFF FFFFh, као и да је почетна адреса $A_{23}A_{22}...A_1A_0$ опсега адреса резервисаног за конатролере периферија 1111 1111 0000 0000 0000 0000b, што у хексадецималном запису даје адресу FF 0000h, док је последња адреса 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FF FFFFh (слика 35).

A ₂₃ A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	Резервисан RAM
...	
0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 1	1 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
...	
1 1 1 1	1 1 0 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1 1	1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	резервисан ROM
...	
1 1 1 1	1 1 1 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	резервисан контролери периферија
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 29 Адресе у меморијском адресном простору у опсезима адреса резервисаним за RAM меморију, ROM меморију и контролере периферија

У опсегу адреса резервисаном за RAM меморију од 254·64К ((2⁸-2)·2¹⁶) адреса, који се састоји од 254 опсега адреса величине 64К адреса, RAM меморијом је попуњено само најнижих 1М (16·64К) адреса. Стога у 24 битној адреси A₂₃A₂₂...A₁A₀ битови A₂₃A₂₂...A₁₇A₁₆ вредностима 0000 0000b до 1111 1101b одређују о ком од 254 опсега адреса од 64К адреса резервисаним за RAM меморију се ради. Пошто је од 254·64К адреса попуњено само најнижих 1М (16·64К) адреса, битови A₂₃A₂₂...A₁₇A₁₆ имају вредности 0000 0000b до 0000 1111b. Преосталих 16 битова 24 битне адресе A₁₅A₁₄...A₁A₀, који имају вредности у опсегу од 0000 0000 0000 0000b до 1111 1111 1111 1111b, представљају адресу локације унутар опсега од 64К (2¹⁶) адреса (слика 30). Стога је почетна адреса A₂₃A₂₂...A₁A₀ у опсегу адреса попуњеном RAM меморијом 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 00 0000h, док је последња адреса 0000 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 0F FFFFh (слика 35).

A ₂₃ A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен RAM
...	
0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
0 0 0 0	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен RAM
...	
0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен RAM
...	
1 1 1 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен RAM
...	
1 1 1 1	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 1	1 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	ROM
...	
1 1 1 1	1 1 0 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	КР
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	

Слика 30 Адресе у меморијском адресном простору у опсегу адреса попуњеном RAM меморијом

У опсегу адреса резервисаном за ROM меморију од 64К (2^{16}) адреса ROM меморијом је попуњено само најнижих 1К (2^{10}) адреса. Стога треба узети да је опсег адреса резервисан за ROM меморију од 64К (2^{16}) адреса подељен на 64 (2^6) опсега адреса величине 1К (2^{10}) адреса од којих је само најнижих 1К (2^{10}) адреса попуњено ROM меморијом. У овом случају у 24 битној адреси $A_{23}A_{22}...A_1A_0$ битови $A_{23}A_{22}...A_{17}A_{16}$ вредностима 1111 1110b одређују да се ради о адреси из опсега адреса од 64К (2^{16}) адреса резервисаном за ROM меморију, а битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}$ вредностима 0000 00b до 1111 11b одређују о ком од 64 опсега адреса од 1К адреса се ради. Пошто је од 64К (2^{16}) адреса попуњено само најнижих 1К (2^{10}) адреса, битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}$ имају вредности 000000b. Преосталих 10 битова 24 битне адресе $A_9A_8...A_1A_0$, који имају вредности у опсегу од 00 0000 0000b до 11 1111 1111b, представљају адресу локације унутар опсега од 1К адреса (слика 31). Стога је почетна адреса $A_{23}A_{22}...A_1A_0$ у опсегу адреса попуњеном ROM меморијом 1111 1110 0000 0000 0000 0000b, што у хексадецималном запису даје адресу FE 0000h, док је последња адреса 1111 1110 0000 0011 1111 1111b, што у хексадецималном запису даје адресу FE 03FFh (слика 35).

A ₂₃ A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	резервисан RAM
...	
1 1 1 1	1 1 0 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1 1	1 1 1 0	0 0 0 0	0 0	0 0	0 0 0 0	попуњен ROM
...	
1 1 1 1	1 1 1 0	0 0 0 0	0 0	1 1	1 1 1 1	
1 1 1 1	1 1 1 0	0 0 0 0	0 1	0 0	0 0 0 0	не попуњен ROM
...	
1 1 1 1	1 1 1 0	0 0 0 0	0 1	1 1	1 1 1 1	
...	
1 1 1 1	1 1 1 0	1 1 1 1	1 1	0 0	0 0 0 0	не попуњен ROM
...	
1 1 1 1	1 1 1 0	1 1 1 1	1 1	1 1	1 1 1 1	
1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	КР
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 31 Адресе у меморијском адресном простору у опсегу адреса попуњеном ROM меморијом

У опсегу адреса меморијског адресног простора резервисаном за контролере периферија од 64К (2^{16}) адреса контролерима периферија су попуњене само најниже 64 (2^6) адресе. Стога треба узети да је опсег адреса резервисан за контролере периферија од 64К (2^{16}) адреса подељен на 1К (2^{10}) опсега адреса величине 64 (2^6) адресе од којих су само најниже 64 (2^6) адресе попуњене контролерима периферија. У овом случају у 24 битној адреси $A_{23}A_{22}...A_1A_0$ битови $A_{23}A_{22}...A_{17}A_{16}$ вредностима 1111 1111b одређују да се ради о адреси из опсега адреса од 64К (2^{16}) адреса резервисаног за контролере периферија, а битови $A_{15}A_{14}...A_8A_7A_6$ вредностима 0000 0000 00b до 1111 1111 11b одређују о ком од 1К (2^{10}) опсега адреса од по 64 (2^6) адресе се ради. Пошто је од 64К (2^{16}) адреса попуњено само најнижих 1К (2^{10}) адреса, битови $A_{15}A_{14}...A_7A_6$ имају вредности 0000 0000 00b. Преосталих 6 битова 24 битне адресе $A_5A_4...A_1A_0$, који имају вредности у опсегу од 00 0000b до 11 1111b, представљају адресу локације унутар опсега од 64 (2^6) адресе (слика 70). Стога је почетна адреса $A_{23}A_{22}...A_1A_0$ у опсегу адреса попуњеном контролером периферије 1111 1111 0000 0000 0000 0000b, што у хексадецималном запису даје адресу FF 0000h, док је последња адреса 1111 1111 0000 0000 0011 1111b, што у хексадецималном запису даје адресу FF 003Fh (слика 35).

A ₂₃ A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	резервисан RAM
...	
1 1 1 1	1 1 0 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1 1	1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	резервисан ROM
...	
1 1 1 1	1 1 1 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0	0 0 0 0	попуњен КР
...	
1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0	1 1 1 1 1 1	
1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 1	0 0 0 0 0 0	не попуњен КР
...	
1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 1	1 1 1 1 1 1	
...	не попуњен КР
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1	0 0 0 0 0 0	
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1	1 1 1 1 1 1	

Слика 32 Адресе у меморијском адресном простору у опсегу адреса попуњеном контролером периферије

За адресирање локација у улазно/излазном адресном простору рачунара величине 64К (2^{16}) адреса потребно је користити 16 битне адресе $A_{15}A_{14}...A_1A_0$, при чему је ширина адресбилне локације 8 бита. Опсег адреса који припада улазно/излазном адресном простору рачунара величине 64К (2^{16}) адреса се добија варирањем 16 битова адресе (слика 33). Почетна адреса $A_{15}A_{14}...A_1A_0$ улазно/излазног адресног простора је 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h, док је последња адреса 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FFFFh (слика 35).

A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса у улазно/излазном адресном простору рачунара
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 0	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 33 Адресе у опсегу адреса улазно/излазног адресног простора рачунара

У опсегу адреса резервисаном за контролере периферија од 64К (2^{16}) адреса контролерима периферија су попуњене само најниже 64 (2^6) адресе. Стога треба узети да је опсег адреса резервисан за контролере периферија од 64К (2^{16}) адреса подељен на 1К (2^{10}) опсега адреса величине 64 (2^6) адресе од којих су само најниже 64 (2^6) адресе попуњене контролерима периферија. У овом случају у 16 битној адреси $A_{15}A_{14}...A_1A_0$ битови $A_{15}A_{14}...A_7A_6$ вредностима 0000 0000 00b до 1111 1111 11b одређују о ком од 1К (2^{10}) опсега адреса од 64 (2^6) адресе се ради. Пошто су од 64К (2^{16}) адреса попуњене само најниже 64 (2^6) адресе, битови $A_{15}A_{14}...A_7A_6$ имају вредности 0000 0000 00b. Преосталих 6 битова 16 битне адресе $A_5A_4...A_1A_0$, који имају вредности у опсегу од 00 0000b до 11 1111b, представљају адресу локације унутар опсега од 64 (2^6) адресе (слика 74). Стога је почетна адреса $A_{15}A_{14}...A_1A_0$ у опсегу адреса попуњеном контролером

периферије 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h, док је последња адреса 0000 0000 0011 1111b, што у хексадецималном запису даје адресу 003Fh (слика 35).

A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀		
0 0 0 0	0 0 0 0	0 0	0 0	0 0 0 0	попуњен КР
...	
0 0 0 0	0 0 0 0	0 0	1 1	1 1 1 1	
0 0 0 0	0 0 0 0	0 1	0 0	0 0 0 0	не попуњен КР
...	
0 0 0 0	0 0 0 0	0 1	1 1	1 1 1 1	
...	не попуњен КР
1 1 1 1	1 1 1 1	1 1	0 0	0 0 0 0	
...	
1 1 1 1	1 1 1 1	1 1	1 1	1 1 1 1	

Слика 34 Адресе у опсегу адреса улазно/излазног адресног простора попуњеном контролером периферије

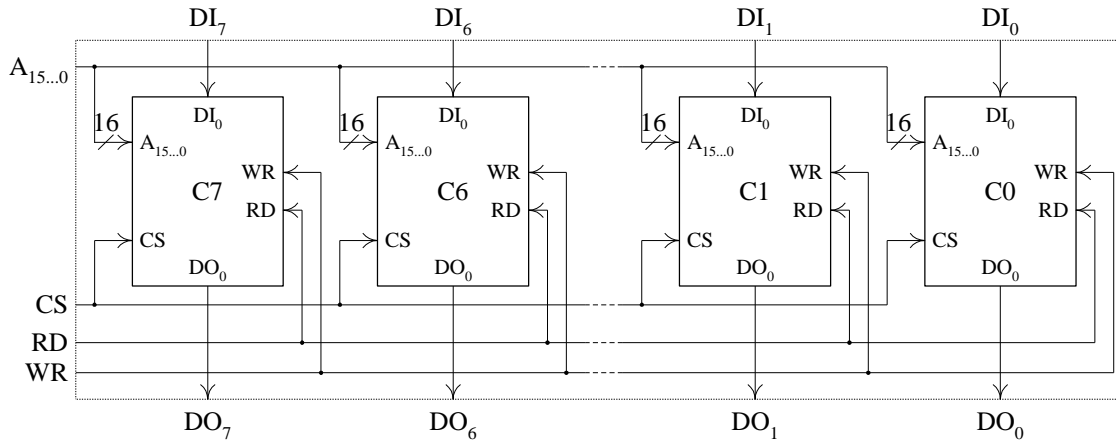
Опсези адреса	М/ЈО	Прва адреса	Последња адреса
Опсег адреса меморијског адресног простора	1	00 0000h	FF FFFFh
Опсег адреса меморијског адресног простора резервисан за RAM меморију	1	00 0000h	FD FFFFh
Опсег адреса меморијског адресног простора резервисан за ROM меморију	1	FE 0000h	FE FFFFh
Опсег адреса меморијског адресног простора резервисан за контролере периферија	1	FF 0000h	FF FFFFh
Опсег адреса меморијског адресног простора попуњен RAM меморијом	1	00 0000h	0F FFFFh
Опсег адреса меморијског адресног простора попуњен ROM меморијом	1	FE 0000h	FE 03FFh
Опсег адреса меморијског адресног простора попуњен контролерима периферија	1	FF 0000h	FF 003Fh
Опсег адреса улазно/излазног адресног простора	0	0000h	FFFFh
Опсег адреса улазно/излазног адресног простора попуњен контролерима периферија	0	0000h	003Fh

Слика 35 Опсези адреса

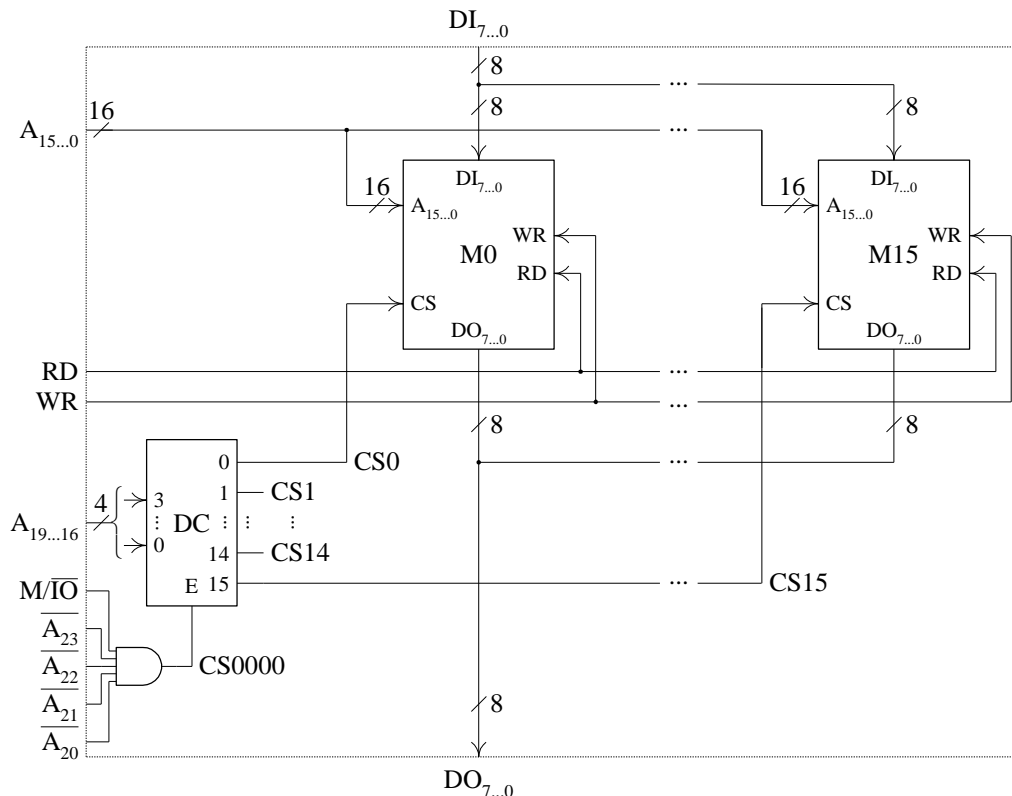
б) Реализација RAM меморије капацитета капацитета 1Мx8 битова која попуњава најнижих 1М адреса од 254-64К адреса опсега адреса резервисаног за RAM меморију користећи чипове RAM меморије капацитета 64Кx1 бита представљена је на сликама 36 и 37.

У реализованој RAM меморији капацитета 1Мx8 битова, најпре 8 чипова капацитета 64Кx1 служе за смештање 8 битова 8 битне бинарне речи у реализованом модулу RAM

меморије капацитета 64Кx8 битова (слика 22), затим 16 модула RAM меморије капацитета 64Кx8 битова служе за покривање 16 опсега адреса од по 64К адреса у реализованом модулу RAM меморије капацитета 1Мx8 битова и на крају модул RAM меморије капацитета 1Мx8 битова служи за покривање 1М адреса RAM меморијом (слика 23). За реализацију RAM меморије капацитета 1Мx8 бита потребно је 128 чипова капацитета 64Кx1 бита.



Слика 36 Модул RAM меморије капацитета 64Кx8 битова реализован чиповима капацитета 64Кx1 бита



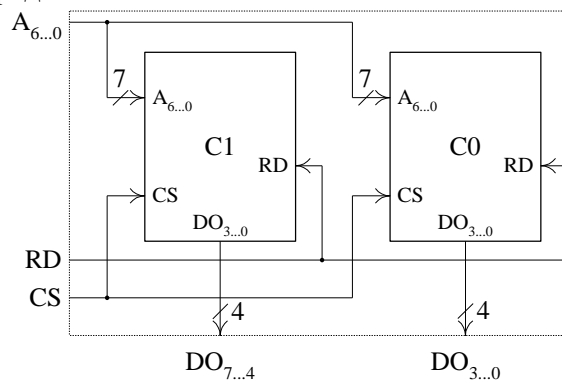
Слика 37 Модул RAM меморије капацитета 1Мx8 битова који попуњава најнижих 1М адреса од 254·64К адреса опсега адреса резервисаног за RAM меморију реализован модулима RAM меморије капацитета 64Кx8 битова

При оваквој реализацији RAM меморије капацитета 1Мx8 битова опсег од 16М (2^{24}) адреса је најпре подељен на 16 (2^4) опсега адреса величине 1М (2^{20}) адреса, а затим је и сваки опсег од 2^{20} адреса подељен на 16 (2^4) опсега адреса величине 64К (2^{16}) адреса. Стога у 24 битној адреси $A_{23}...A_0$ најпре најстарија 4 бита $A_{23}...A_{20}$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од по 1М адреса се ради, затим млађа 4

бита $A_{19}...A_{16}$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од по 64К адреса се ради и на крају најмлађих 16 битова $A_{15}...A_1A_0$ вредностима 0000 0000 0000 0000b до 1111 1111 1111 1111b одређују адресу локације унутар опсега од 64К адреса. При томе битови $A_{23}...A_{20}$ вредностима 0000b одређују да се ради о адреси из најнижег опсега адреса од 1М адреса попуњеног модулом RAM меморије капацитета 1Мx8 битова.

У 24 битној адреси $A_{23}...A_1A_0$ која припада попуњеној RAM меморији, битови $A_{23}...A_{20}$, који имају вредност 0000b, служе за формирање сигнала селекције CS0000 модула RAM меморије капацитета 1Мx8 битова, битови $A_{19}...A_{16}$, који имају вредности 0000b до 1111b, служе за формирање сигнала селекција CS0 до CS15 једног од 16 модула RAM меморије капацитета 64Кx8 битова унутар селектованог модула RAM меморије капацитета 1Мx8 битова и битови $A_{15}...A_1A_0$ представљају адресу локације унутар селектованог модула RAM меморије капацитета 64Кx8 бита. При томе сигнал $\overline{M/\overline{IO}}$ мора да има вредност 1 као индикацију да се ради о адреси из меморијског адресног простора.

в) Реализација ROM меморије капацитета 1Кx8 битова која попуњава само најнижих 1К адреса од 64К адреса опсега адреса резервисаног за ROM меморију користећи чипове 128x4 бита је представљена на сликама 38 и 39.



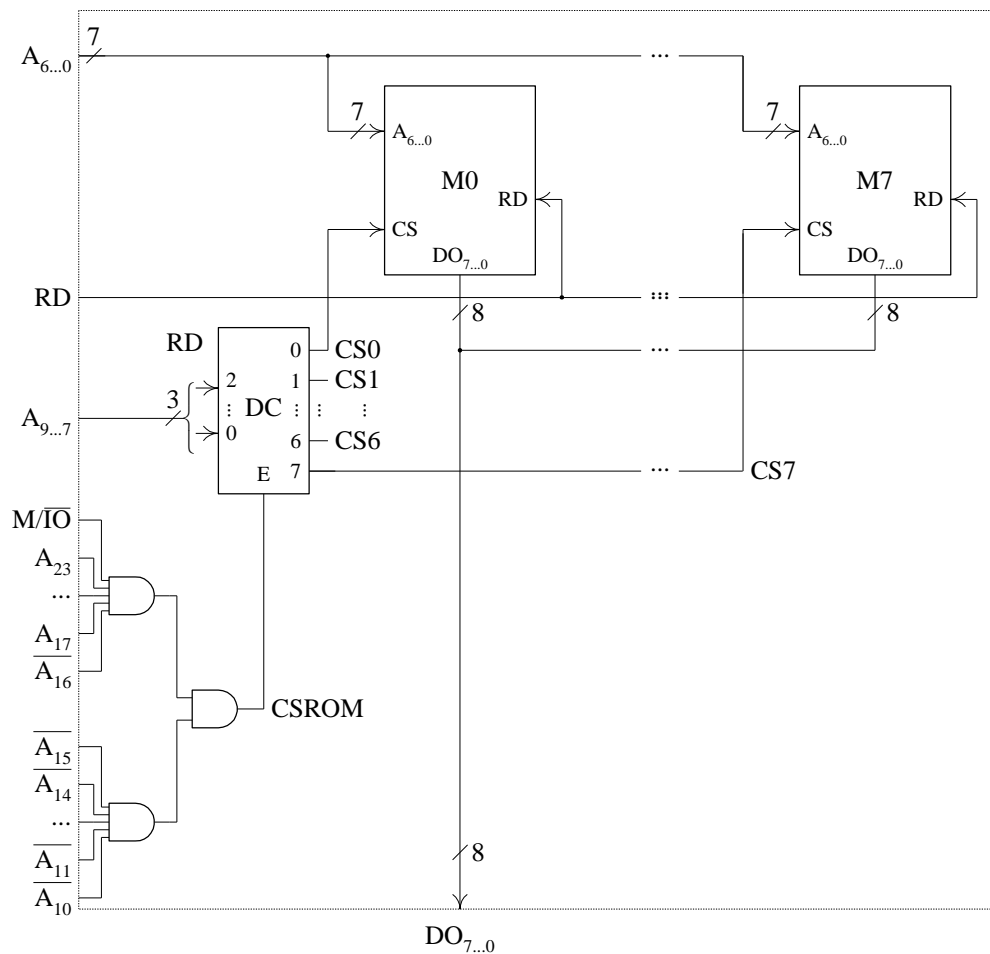
Слика 38 Модул ROM меморије капацитета 128x8 битова реализован чиповима капацитета 128x4 бита

У реализованој ROM меморији капацитета 1Кx8 битова, најпре 2 чипа капацитета 128x4 бита служе за смештање 4 нижа и 4 виша бита 8 битне бинарне речи у реализованом модулу ROM меморије капацитета 128x8 битова (слика 38) и затим 8 модула ROM меморије капацитета 128x8 битова служе за покривање 8 опсега адреса од по 128 адреса у реализованом модулу ROM меморије капацитета 1Кx8 битова (слика 39). За реализацију ROM меморије капацитета 1Кx8 битова потребно је 16 чипова капацитета 128x4 бита.

При оваквој реализацији ROM меморије капацитета 1Кx8 битова опсег од 16М (2^{24}) адреса је најпре подељен на 256 (2^8) опсега адреса величине 64К (2^{16}) адреса, затим је сваки опсег од 64К (2^{16}) адреса подељен на 64 (2^6) опсега адреса величине 1К (2^{10}) адреса и на крају је сваки опсег од 1К (2^{10}) адреса подељен на 8 (2^3) опсега адреса величине 128 (2^7) адреса. Стога у 24 битној адреси $A_{23}...A_{16}A_{15}...A_{10}A_9...A_7A_6...A_1A_0$ најпре најстаријих 8 битова $A_{23}...A_{17}A_{16}$ вредностима 00000000b до 11111111b одређују о ком од 8 опсега адреса од 64К адреса се ради, затим млађих 6 битова $A_{15}...A_{10}$ вредностима 000000b до 111111b одређују о ком од 64 опсега адреса од по 1К адреса се ради, потом млађа 3 бита $A_9...A_7$ вредностима 000b до 111b одређују о ком од 8 опсега адреса од по 128 адреса се ради и на крају најмлађих 7 битова $A_6...A_1A_0$ вредностима 000 0000b до 111 1111b одређују адресу локације унутар опсега од 128 адреса. При томе

битови $A_{23}...A_{17}A_{16}$ вредностима 11111110b одређују да се ради о адреси из опсега адреса од 64К адреса резервисаног за ROM меморију капацитета 64Кx8 битова и битови $A_{15}...A_{10}$ вредностима 000000b одређује да се ради о адреси из најнижег опсега адреса од по 1К адреса попуњеног модулом ROM меморије капацитета 1Кx8 битова.

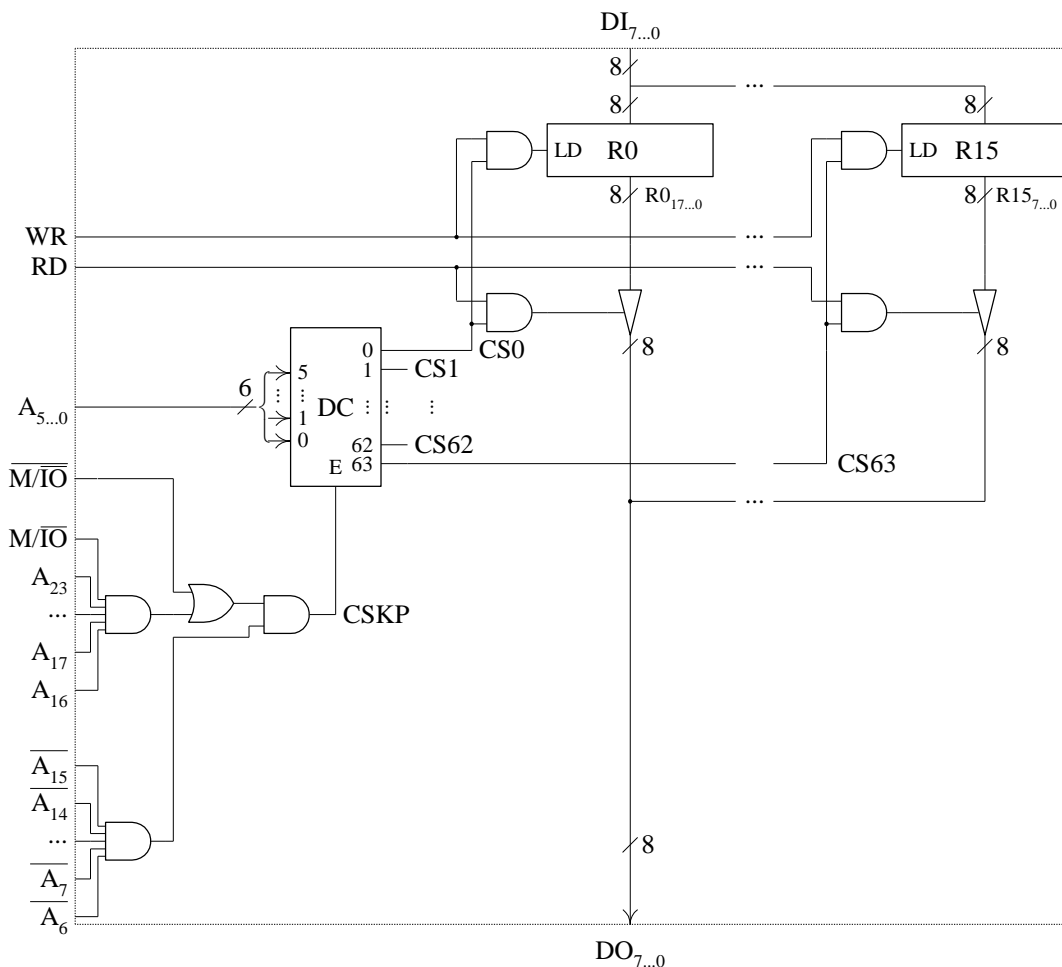
У 24 битној адреси $A_{23}...A_{16}A_{15}...A_{10}A_9...A_7A_6...A_1A_0$ која припада попуњеној ROM меморији, битови $A_{23}...A_{17}A_{16}$, који имају вредности 11111110b, и битови $A_{15}...A_{10}$, који имају вредности 000000b, служе за формирање сигнала селекције CSROM модула ROM меморије капацитета 1Кx8 бита, битови $A_9...A_7$, који имају вредности 000b до 111b, служе за формирање сигнала селекција CS0 до CS7 једног од 8 модула ROM меморије капацитета 128x8 бита унутар селектованог модула ROM меморије капацитета 1Кx8 бита и битови $A_6...A_1A_0$ представљају адресу локације унутар селектованог модула ROM меморије капацитета 128x8 битова. При томе сигнал M/\overline{IO} мора да има вредност 1 као индикацију да се ради о адреси из меморијског адресног простора.



Слика 39 Модул ROM меморије капацитета 1Кx8 битова који попуњава само најнижих 1К адреса од 64К адреса опсега адреса резервисаног за ROM меморију реализован модулима ROM меморије капацитета 128x8 битова

г) Реализација дела контролера периферије са локацијама (регистрима), који попуњава само 64 најниже адресе од 64К адреса опсега адреса резервисаног за контролере периферија и у меморијском и у улазно/излазном адресном простору приказана је на слици 40. Локацијама (регистрима) контролера периферије се може приступити било адресом из меморијског адресног простора било адресом из улазно/излазног простора. Адреса из меморијског адресног простора има 24 бита, док

адреса из меморијског адресног простора има 16 битова. При томе сигнал $\overline{M/\overline{IO}}$ вредностима 1 и 0 одређује да ли је адреса из меморијског адресног простора или улазно/излазног адресног простора, респективно.



Слика 40 Део контролера периферије са локацијама (регистрима) који попуњава само најниже 64 адресе од 64К адреса опсега адреса резервисаног за контролере периферија и у меморијском и у улазно/излазном адресном простору

Када се за адресирање неке од 64 локације (регистра) контролера периферије користи адреса из меморијског адресног простора, опсег од 16М (2^{24}) адреса меморијског адресног простора је најпре подељен на 256 (2^8) опсега адреса величине 64К (2^{16}) адреса, а затим је сваки опсег од 64К (2^{16}) адреса подељен на 1К (2^{10}) опсега адреса величине 64 (2^6). Стога у 24 битној адреси $A_{23}...A_{16}A_{15}...A_6A_5...A_1A_0$ најпре најстаријих 8 битова $A_{23}...A_{17}A_{16}$ вредностима 00000000b до 11111111b одређују о ком од 8 опсега адреса од 64К адреса се ради, затим млађих 10 битова $A_{15}...A_6$ вредностима 0000 0000 00b до 1111 1111 11b одређују о ком од 1К опсега адреса од 64 адресе се ради и на крају најмлађих 6 битова $A_5...A_1A_0$ вредностима 00 0000b до 11 1111b одређују адресу локације унутар опсега од 64 адресе. При томе битови $A_{23}...A_{17}A_{16}$ вредностима 11111111b одређују да се ради о адреси из опсега адреса од 64К адреса резервисаног за контролере периферија и битови $A_{15}...A_6$ вредностима 0000 0000 00b одређује да се ради о адреси из најнижег од 1К опсега адреса од по 64 адресе попуњеног контролером периферије.

У 24 битној адреси $A_{23}...A_{16}A_{15}...A_{10}A_9...A_7A_6...A_1A_0$ која припада попуњеном контролеру периферије, битови $A_{23}...A_{17}A_{16}$, који имају вредности 11111111b, и битови $A_{15}...A_6$, који имају вредности 0000000000b, служе за формирање сигнала селекције

CSKP контролера периферије капацитета 64 локације (регистра), док битови $A_5 \dots A_1 A_0$, који имају вредности 00 0000b до 11 1111b, служе за формирање сигнала селекција CS0 до CS63 једне од 64 локације (регистра) унутар селектованог контролера периферије. При томе сигнал M/\overline{IO} мора да има вредност 1 као индикацију да се ради о адреси из меморијског адресног простора.

Када се за адресирање неке од 64 локације (регистра) контролера периферије користи адреса из улазно/излазног адресног простора, опсег од 2^{16} адреса улазно/излазног адресног простора је подељен на 1К (2^{10}) опсега адреса величине 64 (2^6) адресе. Стога у 16 битној адреси $A_{15} \dots A_6 A_5 \dots A_1 A_0$ најстаријих 10 битова $A_{15} \dots A_6$ вредностима 0000 0000 00b до 1111 1111 11b одређују о ком од 1К опсега адреса од 64 адресе се ради док најмлађих 6 битова $A_5 \dots A_1 A_0$ вредностима 00 0000b до 11 1111b одређују адресу локације унутар опсега од 64 адресе. При томе битови $A_{15} \dots A_6$ вредностима 0000 0000 00b одређује да се ради о адреси из најнижег од 1К опсега адреса од по 64 адресе попуњеног контролером периферије.

У 16 битној адреси $A_{23} \dots A_{16} A_{15} \dots A_{10} A_9 \dots A_7 A_6 \dots A_1 A_0$ која припада попуњеном контролеру периферије, битови $A_{15} \dots A_6$, који имају вредности 0000000000b, служе за формирање сигнала селекције CSKP контролера периферије капацитета 64 локације (регистра), док битови $A_5 \dots A_1 A_0$, који имају вредности 00 0000b до 11 1111b, служе за формирање сигнала селекција CS0 до CS63 једне од 64 локације (регистра) унутар селектованог контролера периферије. При томе сигнал M/\overline{IO} мора да има вредност 0 као индикацију да се ради о адреси из улазно/излазног адресног простора.

ђ) Сигнал којим се детектује да је дата адреса из опсега адреса меморијског адресног простора који није попуњен RAM меморијом, ROM меморијом или контролером периферије или из опсега адреса улазно/излазног адресног простора који није попуњен контролером периферије се добија као ИЛИ функција сигнала којим се детектује да дата адреса није из опсега адреса меморијског адресног простора који је попуњен RAM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса меморијског адресног простора који је попуњен ROM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса меморијског адресног простора који је попуњен контролерима периферије и сигнала којим се детектује да дата адреса није из опсега адреса улазно/излазног адресног простора који је попуњен контролером периферије и дат је изразом

$$M/\overline{IO} \cdot (\overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} + \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot A_{16} + \dots +$$

$$A_{23} \cdot A_{22} \cdot A_{21} \cdot A_{20} \cdot A_{19} \cdot A_{18} \cdot \overline{A_{17}} \cdot \overline{A_{16}} + \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot A_{16}) +$$

$$M/\overline{IO} \cdot \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} \cdot$$

$$(\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} + \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot A_{10} \dots +$$

$$A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12} \cdot A_{11} \cdot \overline{A_{10}} + \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot A_{10})$$

$$M/\overline{IO} \cdot \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} \cdot$$

$$(\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} +$$

$$\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot A_6 \dots +$$

$$\begin{aligned} & \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} + \\ & \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot A_6 + \\ & \overline{M/\overline{IO}} \cdot \end{aligned}$$

$$\begin{aligned} & (\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} + \\ & \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \dots + \end{aligned}$$

$$\begin{aligned} & \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} + \\ & \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot A_6 + \end{aligned}$$

Опсег адреса у меморијском адресном простору од $254 \cdot 64\text{К} ((2^8 - 2) \cdot 2^{16})$ адреса резервисан за RAM меморију подељен је на 254 опсега адреса величине 64К адреса од који је само најнижих 16 опсега од 1К (2^{10}) адреса попуњено RAM меморијом (слика 30). Стога у 24 битној адреси $A_{23}A_{22} \dots A_1A_0$ битови $A_{23}A_{22} \dots A_{17}A_{16}$ вредностима 0000 0000b до 1111 1101b одређују о ком од 254 опсега адреса од 64К адреса резервисаним за RAM меморију се ради. У опсегу од $254 \cdot 64\text{К} ((2^8 - 2) \cdot 2^{16})$ адреса попуњено је само најнижих 16 опсега од по 1К (2^{10}) адреса, док преосталих 238 опсега од по 1К (2^{10}) адреса није попуњено. За попуњених 16 опсега од по 1К (2^{10}) адреса битови $A_{23}A_{22} \dots A_{17}A_{16}$ имају вредност 0000 0000b до 0000 1111b, док за преосталих непопуњених 238 опсега од по 1К (2^{10}) адреса битови $A_{23}A_{22} \dots A_{17}A_{16}$ имају вредност 0001 0000b до 1111 1101b. Поред тога за адресу из меморијског адресног простора сигнал $\overline{M/\overline{IO}}$ има вредност 1. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене RAM меморијом генерише према изразу

$$\begin{aligned} & \overline{M/\overline{IO}} \cdot (\overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} + \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot A_{16} \\ & + \dots + \\ & \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} + \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot A_{16}) \end{aligned}$$

Опсег адреса у меморијском адресном простору од 64К (2^{16}) адреса резервисан за ROM меморију подељен је на 64 (2^6) опсега адреса величине 1К (2^{10}) адреса од којих је само један опсег и то опсег од најнижих 1К (2^{10}) адреса попуњен ROM меморијом (слика 31). У овом случају у 24 битној адреси $A_{23}A_{22} \dots A_1A_0$ битови $A_{23}A_{22}A_{21}A_{20}A_{19}A_{18}A_{17}A_{16}$ вредностима 1111 1110b одређују да се ради о адреси из опсега адреса од 64К (2^{16}) адреса резервисаном за ROM меморију, а битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}$ вредностима 0000 00b до 1111 11b одређују о ком од 64 опсега адреса од по 1К адреса се ради. Од 64 опсега адреса од по 1К адреса ROM меморијом је попуњен је само један опсег и то опсег од најнижих 1К (2^{10}) адреса, док преостала 63 опсега од по 1К (2^{10}) адреса нису попуњена. За попуњен опсег од 1К (2^{10}) адреса битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}$ имају вредности 0000 00b, док за преостала 63 непопуњена опсега од по 1К (2^{10}) адреса битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}$ имају вредности 0000 01b до 1111 11b. Поред тога за адресу из меморијског адресног простора сигнал $\overline{M/\overline{IO}}$ има вредност 1. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене ROM меморијом генерише према изразу

$$\begin{aligned} & \overline{M/\overline{IO}} \cdot \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} \cdot \\ & (\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} + \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot A_{10} \dots + \end{aligned}$$

$$\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} + \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot A_{10}$$

Опсег адреса у меморијском адресном простору од 64К (2^{16}) адреса резервисан за контролере периферија подељен је на 1К (2^{10}) опсега адреса величине 64 (2^6) адреса од којих је само један опсег и то опсег од најниже 64 (2^6) адресе попуњен контролером периферије (слика 40). У овом случају у 24 битној адреси $A_{23}A_{22}...A_1A_0$ битови $A_{23}A_{22}...A_{17}A_{16}$ вредностима 1111 1111b одређују да се ради о адреси из опсега адреса од 64К (2^{16}) адреса резервисаном за контролере периферија, а битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6$ вредностима 0000 0000 00b до 1111 1111 11b одређују о ком од 1К (2^{10}) опсега адреса од 64 (2^6) адресе се ради. Од 1024 опсега адреса од по 64 (2^6) адреса контролером периферије је попуњен је само један опсег и то опсег од најниже 64 (2^6) адресе, док преостала 1023 опсега од по 64 (2^6) адресе нису попуњена. За попуњен опсег од 64 (2^6) адресе битови $A_{15}A_{14}...A_7A_6$ имају вредности 0000 0000 00b, док за преостала 1023 непопуњена опсега од по 64 (2^6) адресе битови $A_{15}A_{14}...A_7A_6$ имају вредности 0000 0000 01b до 1111 1111 11b. Поред тога за адресу из меморијског адресног простора сигнал $\overline{M/\overline{IO}}$ има вредност 1. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене контролером периферије генерише према изразу

$$\overline{M/\overline{IO}} \cdot \overline{A_{23}} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} \cdot$$

$$\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} +$$

$$\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \dots +$$

$$A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12} \cdot A_{11} \cdot A_{10} \cdot A_9 \cdot A_8 \cdot A_7 \cdot \overline{A_6} +$$

$$A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12} \cdot A_{11} \cdot A_{10} \cdot A_9 \cdot A_8 \cdot A_7 \cdot A_6)$$

Опсег адреса у улазно/излазном адресном простору од 64К (2^{16}) адреса резервисан за контролере периферија подељен је на 1К (2^{10}) опсега адреса величине 64 (2^6) адреса од којих је само један опсег и то опсег од најниже 64 (2^6) адресе попуњен контролером периферије. У овом случају у 16 битној адреси $A_{15}A_{14}...A_1A_0$ битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6$ вредностима 0000 0000 00b до 1111 1111 11b одређују о ком од 1К (2^{10}) опсега адреса од 64 (2^6) адресе се ради. Од 1024 опсега адреса од по 64 (2^6) адреса контролером периферије је попуњен је само један опсег и то опсег од најниже 64 (2^6) адресе, док преостала 1023 опсега од по 64 (2^6) адресе нису попуњена. За попуњен опсег од 64 (2^6) адресе битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6$ имају вредности 0000 0000 00b, док за преостала 1023 непопуњена опсега од по 64 (2^6) адресе битови $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6$ имају вредности 0000 0000 01b до 1111 1111 11b. Поред тога за адресу из меморијског адресног простора сигнал $\overline{M/\overline{IO}}$ има вредност 0. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене контролером периферије генерише према изразу

$$\overline{M/\overline{IO}} \cdot$$

$$\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} +$$

$$\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \dots +$$

$$\begin{aligned}
& \mathbf{A}_{15} \cdot \mathbf{A}_{14} \cdot \mathbf{A}_{13} \cdot \mathbf{A}_{12} \cdot \mathbf{A}_{11} \cdot \mathbf{A}_{10} \cdot \mathbf{A}_9 \cdot \mathbf{A}_8 \cdot \mathbf{A}_7 \cdot \overline{\mathbf{A}_6} + \\
& \mathbf{A}_{15} \cdot \mathbf{A}_{14} \cdot \mathbf{A}_{13} \cdot \mathbf{A}_{12} \cdot \mathbf{A}_{11} \cdot \mathbf{A}_{10} \cdot \mathbf{A}_9 \cdot \mathbf{A}_8 \cdot \mathbf{A}_7 \cdot \mathbf{A}_6)
\end{aligned}$$

1.1.4 ЗАДАТАК

Посматра се рачунар код кога је улазно/излазни адресни простор меморијски пресликан.

Адресни простор рачунара је 64М адреса, при чему је ширина адресибилне локације 16 бита. Најнижих 8М адреса адресног простора је резервисано за ROM меморију, средњих 48М адреса за RAM меморију и највиших 8М адреса за контролере периферија. Од целокупног опсега адреса резервисаног за ROM меморију попуњено је само нижих 1М адреса, а од целокупног опсега адреса резервисаног за RAM меморију попуњено је само виших 24М адреса. Од 8М адреса резервисаних за контролере периферија, нижих 2М адреса је резервисано за контролере без директног приступа меморији, а виших 6М адреса је резервисано за контролере са директним приступом меморији. Контролери без директног приступа меморији имају по четири локације (регистра), а контролери са директним приступом меморији имају по осам локација (регистара). У рачунару постоји само један контролер без директног приступа меморији, чије локације (регистри) попуњавају само четири најниже адресе из целокупног опсега адреса предвиђеног за контролере без директног приступа меморији, и само један контролер са директним приступом меморији, чије локације (регистри) попуњавају само осам најнижих адреса из целокупног опсега адреса предвиђеног за контролере са директним приступом меморији.

а) Назначити опсег адреса у адресном простору рачунара, опсег адреса резервисан за ROM меморију, опсег адреса резервисан за RAM меморију, опсег адреса резервисан за контролере периферија, опсег адреса резервисан за контролере без директног приступа меморији, опсег адреса резервисан за контролере са директним приступом меморији, опсег адреса попуњен ROM меморијом, опсег адреса попуњен RAM меморијом, опсег адреса попуњен локацијама (регистрима) контролера без директног приступа меморији и опсег адреса попуњен локацијама (регистрима) контролера са директним приступом меморији. Резултат представити табеларно.

б) Реализовати ROM меморију који попуњава само најнижих 1М адреса од 8М адреса опсега адреса резервисаног за ROM меморију користећи чипове 512Кx8 бита (управљачки улази су **RD** и **CS**).

в) Реализовати RAM меморију који попуњава само виших 24М адреса од 48М адреса опсега адреса резервисаног за RAM меморију користећи чипове 1Мx4 бита (управљачки улази су **RD**, **WR** и **CS**).

г) Реализовати део контролера без директног приступа меморији са регистрима, чије локације (регистри) попуњавају четири најниже адресе из целокупног опсега адреса резервисаног за контролере без директног приступа меморији.

д) Реализовати део контролера са директним приступом меморији са регистрима, чије локације (регистри) попуњавају осам најнижих адреса из целокупног опсега адреса резервисаног за контролере без директног приступа меморији.

ђ) Генерисати сигнал којим се детектује да је дата адреса из опсега адреса који нису попуњени RAM меморијом, ROM меморијом, контролером без директног приступа меморији и контролером са директним приступом меморији.

Решење:

а) За адресирање локација у адресном простору рачунара величине 64М (2^{26}) адреса потребно је користити 26 битне адресе $A_{25}A_{24}...A_1A_0$, при чему је ширина адресибилне

локације 16 бита. Опсег адреса који припада адресном простору рачунара величине 64М (2^{26}) адреса се добија варирањем свих 26 битова адресе (слика 41). Почетна адреса адресног простора је 00 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 000 0000h, док је последња адреса 11 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 3FF FFFFh (слика 48).

A ₂₅ A ₂₄	A ₂₃ A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса у адресном простору рачунара
0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
- -	- - - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 0	
1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 41 Адресе у опсегу адреса адресног простора рачунара

Адресни простор од 64М адреса је подељен на три дела и то најнижих 8М адреса адресног простора је резервисано за ROM меморију, средњих 48М адреса за RAM меморију и највиших 8М адреса за контролере периферија. Стога у 26 битној адреси A₂₅A₂₄A₂₃A₂₂..A₁A₀ битови A₂₅A₂₄A₂₃ вредностима 000b до 111b одређују о ком од осам опсега адреса од 8М адреса се ради. Од 64М адреса адресног простора најнижих 8М адреса је резервисано за ROM меморију, па битови A₂₅A₂₄A₂₃ имају вредности 000b, средњих 48М адреса је резервисано за RAM меморију, па битови A₂₅A₂₄A₂₃ имају вредности 001b до 110b, и највиших 8М адреса је резервисано за контролере периферија, па битови A₂₅A₂₄A₂₃ имају вредности 111b. Преостала 23 бита 26 битне адресе A₂₂..A₁A₀, који имају вредности у опсегу од 000 0000 0000 0000 0000 0000b до 111 1111 1111 1111 1111 1111b, представљају адресу унутар опсега од 8М адреса (слика 42). Стога је почетна адреса A₂₅A₂₄A₂₃A₂₂..A₁A₀ опсега адреса резервисаног за ROM меморију 00 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 000 0000h, док је последња адреса 00 0111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 07F FFFFh. На сличан начин се добија да је почетна адреса A₂₅A₂₄A₂₃A₂₂..A₁A₀ опсега адреса резервисаног за RAM меморију 00 1000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 080 0000h, док је последња адреса 11 0111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 37F FFFFh. Истим поступком се добија и да је почетна адреса A₂₅A₂₄A₂₃A₂₂..A₁A₀ опсега адреса резервисаног за контролере периферија 11 1000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 380 0000h, док је последња адреса 11 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 3FF FFFFh (слика 48).

A ₂₅ A ₂₄ A ₂₃	A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	ROM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
0 0 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 1	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	KP
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 1	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 42 Адресе у опсезима адреса резервисаним за ROM меморију, RAM меморију и контролере периферија

Опсег адреса резерисан за контролере периферија од 8М адреса је подељен на два дела и то нижих 2М адреса за контролере без директног приступа меморији и виших 6М адреса за контролере са директним приступом меморији. Стога у 26 битној адреси A₂₅A₂₄A₂₃A₂₂..A₁A₀ битови A₂₅A₂₄A₂₃ вредностима 111b одређују да се ради о највишем опсегу адреса од 8М адреса резервисаних за контролере периферија, док битови A₂₂A₂₁ вредностима 00b, 01b, 10b и 11b одређују о ком од четири опсега адреса од 2М адреса се ради. Од 8М адреса нижих 2М адреса је резервисано за контролере без директног приступа меморији, па битови A₂₂A₂₁ имају вредности 00b, док је виших 6М адреса, које се састоје из три опсега од 2М адреса, резервисано за контролере са директним приступом меморији, па битови A₂₂A₂₁ имају вредност 01b, 10b и 11b. Преосталих 21 битова 26 битне адресе A₂₀..A₁A₀, који имају вредности у опсегу од 0 0000 0000 0000 0000 0000b до 1 1111 1111 1111 1111 1111b, представљају адресу унутар опсега од 2М адреса (слика 43). Стога је почетна адреса A₂₅A₂₄A₂₃A₂₂..A₁A₀ опсега адреса резервисаног за контролере без директног приступа меморији 11 1000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 380 0000h, док је последња адреса 11 1001 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 39F FFFFh. На сличан начин се добија да је почетна адреса A₂₅A₂₄A₂₃A₂₂..A₁A₀ опсега адреса резервисаног за контролере са директним приступом меморији 11 1010 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 3A0 0000h, док је последња адреса 11 1111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 3FF FFFFh (слика 48).

A ₂₅ A ₂₄ A ₂₃	A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	ROM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
0 0 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	nonDMA
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 0	1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	DMA
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 1	1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	1 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	1 0	1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	1 1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	1 1	1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 43 Адресе у опсезима адреса резервисаним за контролере без директног приступа меморији и контролере са директним приступом меморији

У опсегу адреса резервисаном за ROM меморију од 8М (2^{23}) адреса ROM меморијом је попуњено само најнижих 1М (2^{20}) адреса. Стога треба узети да је опсег адреса резервисан за ROM меморију од 8М (2^{23}) адреса подељен на 8 (2^3) опсега адреса величине 1М (2^{20}) адреса од којих је само најнижих 1М адреса попуњено ROM меморијом. У овом случају у 26 битној адреси A₂₅A₂₄A₂₃A₂₂..A₁A₀ битови A₂₅A₂₄A₂₃ вредностима 000b одређује да се ради о адреси из опсега адреса од 8М (2^{23}) адреса резервисаних за ROM меморију, а битови A₂₂A₂₁A₂₀ вредностима 000b до 111b одређују о ком од 8 опсега адреса од 1М адреса се ради. Пошто је од 8М адреса попуњено само најнижих 1М адреса, битови A₂₂A₂₁A₂₀ вредностима 000b. Преосталих 20 битова 26 битне адресе A₁₉...A₁A₀, који имају вредности у опсегу од 0000 0000 0000 0000 0000b до 1111 1111 1111 1111 1111b, представљају адресу унутар опсега адреса од 1М адреса (слика 44). Стога је почетна адреса A₂₅A₂₄A₂₃A₂₂..A₁A₀ у опсегу адреса попуњеном ROM меморијом 00 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 000 0000h, док је последња адреса 00 0000 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 00F FFFFh (слика 48).

A ₂₅ A ₂₄ A ₂₃	A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен ROM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 0	0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
0 0 0	0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен ROM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 0	0 0 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 0	1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	KP
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 1	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 44 Адресе у опсегу адреса попуњеном ROM меморијом

У опсегу адреса резервисаном за RAM меморију од 48М адреса, који се састоји од 6 опсега адреса величине 8М адреса, RAM меморијом је попуњено само највиших 24М адреса. Стога у 26 битној адреси A₂₅A₂₄A₂₃A₂₂..A₁A₀ битови A₂₅A₂₄A₂₃ вредностима 001b до 110b одређују о ком од 6 опсега адреса од 8М адреса резервисаним за RAM меморију се ради. Пошто је од 48М адреса попуњено само највиших 24М адреса, битови A₂₅A₂₄A₂₃ имају вредности 100b, 101b и 110b. Преосталих 23 битова 26 битне адресе A₂₂..A₁A₀, који имају вредности у опсегу од 000 0000 0000 0000 0000 0000b до 111 1111 1111 1111 1111 1111b, представљају адресу локације унутар опсега од 8М адреса (слика 45). Стога је почетна адреса A₂₅A₂₄A₂₃A₂₂..A₁A₀ у опсегу адреса попуњеном RAM меморијом 10 0000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 200 0000h, док је последња адреса 11 0111 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу 37F FFFFh (слика 48).

A ₂₅ A ₂₄ A ₂₃	A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	ROM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
0 0 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 1	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 1 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 1 1	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 0 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 0 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	КР
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 1	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 45 Адресе у опсегу адреса попуњеног RAM меморијом

У опсегу адреса резервисаном за контролере без директног приступа меморији од 2М (2^{21}) адреса контролером без директног приступа меморији су попуњене само ниже четири (2^2) адресе. Стога треба узети да је опсег адреса резервисан за контролере без директног приступа меморији од 2М (2^{21}) адреса подељен на 512К (2^{19}) опсега адреса величине четири (2^2) адресе од којих су само најниже четири адресе попуњено контролером без директног приступа меморији. У овом случају у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ битови $A_{25}A_{24}A_{23}$ вредностима 11b одређују да се ради о адреси из опсега од 8М адреса резервисаних за контролере периферија, битови $A_{22}A_{21}$ вредностима 00b одређује да се ради о адреси из опсега од 2М адреса резервисаних за контролере без директног приступа меморији, а битови $A_{20}A_{19}A_{18}..A_3A_2$ вредностима 0 0000 0000 0000 0000 00b до 1 1111 1111 1111 1111 11b одређују о ком од 512К (2^{19}) опсега адреса од по четири (2^2) адресе се ради. Пошто су од 2М адреса попуњене само најниже четири адресе, битови $A_{20}A_{19}A_{18}..A_3A_2$ имају вредности 0 0000 0000 0000 0000 00b. Преостала два бита 26 битне адресе A_1A_0 , који имају вредности у опсегу од 00b до 11b, представљају адресу локације (регистра) унутар опсега од четири адресе (слика 46). Стога је почетна адреса $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ у опсегу адреса попуњеног контролерима без директног приступа меморији 11 1000 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 380 0000h, док је последња адреса 11 1000 0000 0000 0000 0000 0011b, што у хексадецималном запису даје адресу 380 0003h (слика 48).

A ₂₅ A ₂₄ A ₂₃	A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	ROM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
0 0 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 0	0 0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен nonDMA
1 1 1	0 0	0 0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
1 1 1	0 0	0 0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
1 1 1	0 0	0 0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
1 1 1	0 0	0 0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	не попуњен nonDMA
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 0	0 0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 0	1 1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 0 0	DMA
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 0	1 1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 1	0 0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	DMA
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 1	1 1	1 1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 46 Адресе у опсегу адреса попуњеном контролером без директног приступа меморији

У опсегу адреса резервисаном за контролере са директним приступом меморији од 6М (2^{21}) адреса, који се састоји од три опсега адреса величине 2М (2^{21}) адреса, контролером са директним приступа меморији је попуњено само најнижих 8 (2^3) адреса. Стога треба узети да је сваки од три опсега адреса резервисан за контролере са директним приступом меморији од 2М (2^{21}) адреса подељен на 256К (2^{18}) опсега адреса величине 8 (2^3) адреса од којих је само у најнижем опсегу од 2М (2^{21}) адреса најнижих 8 адреса попуњено контролером са директним приступом меморији. У овом случају у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ битови $A_{25}A_{24}A_{23}$ вредностима 11b одређују да се ради о адреси из опсега од 8М адреса резервисаних за контролере периферија, битови $A_{22}A_{21}$ вредностима 01b, 10b и 11b, одређује да се ради о адреси из неког од три опсега од 2М адреса резервисаних за контролере са директним приступом меморији, а битови $A_{20}A_{19}A_{18}..A_3$ вредностима 0 0000 0000 0000 0000 0b до 1 1111 1111 1111 1111 1b одређују о ком од 256К (2^{18}) опсега адреса од по 8 (2^3) адреса се ради. Пошто је од 6М адреса попуњено само најнижих осам адреса, битови $A_{22}A_{21}$ имају вредности вредностима 01b, док битови $A_{20}A_{19}A_{18}..A_3$ имају вредности 0 0000 0000 0000 0000 0b. Преостала три бита 26 битне адресе $A_2A_1A_0$, који имају вредности у опсегу од 000b до 111b, представљају адресу локације (регистра) унутар опсега од осам адреса (слика 47). Стога је почетна адреса $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ у опсегу адреса попуњеног контролерима са директним приступом меморији 11 1010 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 3A0 0000h, док је последња адреса 11 1010 0000 0000 0000 0000 0111b, што у хексадецималном запису даје адресу 3A0 0007h (слика 48).

A ₂₅ A ₂₄ A ₂₃	A ₂₂ A ₂₁ A ₂₀	A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	ROM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
0 0 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
0 0 1	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	RAM
- - -	- - -	- - - -	- - - -	- - - -	- - - -	- - - -	
1 1 0	1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	nonDMA
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 0	1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	0 1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен DMA
1 1 1	0 1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	
1 1 1	0 1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	
1 1 1	0 1	0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	не попуњен
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
1 1 1	0 1	1	1 1 1 1	1 1 1 1	1 1 1 1	1 0 0 0	DMA
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	0 1	1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	1 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	1 0	1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1	1 1	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
- - -	- -	-	- - - -	- - - -	- - - -	- - - -	
1 1 1	1 1	1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	DMA

Слика 47 Адресе у опсегу адреса попуњеном контролером са директним приступом меморији

Опсеги адреса	Прва адреса	Последња адреса
Опсег адреса адресног простора рачунара	000 0000h	3FF FFFFh
Опсег адреса резервисан за ROM меморију	000 0000h	07F FFFFh
Опсег адреса резервисан за RAM меморију	080 0000h	37F FFFFh
Опсег адреса резервисан за контролере периферија	380 0000h	3FF FFFFh
Опсег адреса резервисан за контролере без директног приступа меморији	380 0000h	39F FFFFh
Опсег адреса резервисан за контролере са директним приступом меморији	3A0 0000h	3FF FFFFh
Опсег адреса попуњен ROM меморијом	000 0000h	00F FFFFh
Опсег адреса попуњен RAM меморијом	200 0000h	37F FFFFh
Опсег адреса попуњен контролером без директног приступа меморији	380 0000h	380 0003h
Опсег адреса попуњен контролером са директним приступом меморији	3A0 0000h	3A0 0007h

Слика 48 Опсеги адреса

Дискусија: Алтернативни приступ у поступку одређивања опсега адреса би се састојао у одређивању почетне/крајње адресе посматраног опсега адреса на коју би се додавала/одузимала величина посматраног опсега адреса.

Пошто је адресни простор рачунара величине 64 KB, а адресирање је на нивоу 8 битне речи, следи да су адресе 16 бита. Адресни простор рачунара почиње од адресе 0000h. Прва адреса која се налази након адресног простора рачунара се добија сабирањем почетне адресе адресног простора рачунара и величине адресног простора рачунара, а то је 0000h+64K или 0000h+10000h. То је адреса 10000h. Одавде следи да је последња адреса адресног простора рачунара за један мања и да износи FFFFh.

Адресни простор резервисан за RAM меморију је величине 32K и почиње од прве адресе адресног простора рачунара. То је адреса 0000h. Прва адреса која се налази након адресног простора резервисаног за RAM меморију се добија сабирањем почетне адресе адресног простора резервисаног за RAM меморију и величине адресног простора резервисаног за RAM меморију, а то је 0000h+32K или 0000h+8000h. То је адреса 8000h. Одавде следи да је последња адреса адресног простора резервисаног за RAM меморију за један мања и да износи 7FFFh.

Опсег адреса попуњених RAM меморијом је величине 8K и почиње од прве адресе адресног простора резервисаног за RAM меморију. То је адреса 0000h. Прва адреса која се налази након опсега адреса попуњених RAM меморијом се добија сабирањем почетне адресе опсега адреса попуњених RAM меморијом и величине опсега адреса попуњених RAM меморијом, а то је 0000h+8K или 0000h+2000h. То је адреса 2000h. Одавде следи да је последња адреса опсега адреса попуњених RAM меморијом за један мања и да износи 1FFFh.

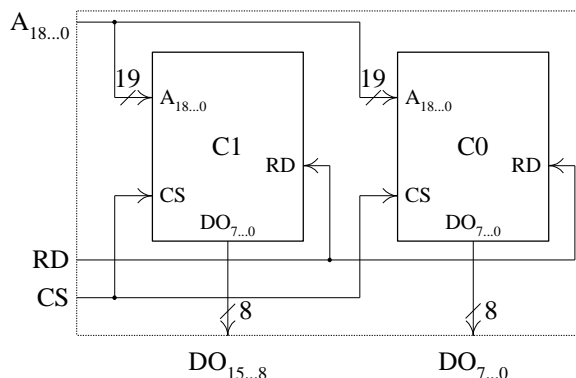
Адресни простор резервисан за ROM меморија је величине 32К и почиње од прве адресе након адресног простора резервисаног за ROM меморију. То је адреса 8000h. Прва адреса која се налази након адресног простора резервисаног за ROM меморију се добија сабирањем почетне адресе адресног простора резервисаног за ROM меморију и величине адресног простора резервисаног за ROM меморију, а то је 8000h+32К или 8000h+8000h. То је адреса 10000h. Одавде се добија да је последња адреса адресног простора резервисаног за ROM меморију за један мања и да износи FFFFh.

Опсег адреса попуњених ROM меморијом је величине 8К и почиње од прве адресе адресног простора резервисаног за ROM меморију. То је адреса 8000h. Прва адреса која се налази након опсега адреса попуњених ROM меморијом се добија сабирањем почетне адресе опсега адреса попуњених ROM меморијом и величине опсега адреса попуњених ROM меморијом, а то је 8000h+8К или 8000h+2000h. То је адреса A000h. Одавде следи да је последња адреса опсега адреса попуњених ROM меморијом за један мања и да износи 9FFFh.

б) Реализација ROM меморије капацитета 1Мx16 бита која попуњава само најнижих 1М адреса од 8М адреса опсега адреса резервисаног за ROM меморију користећи чипове 512Кx8 бита је представљена на сликама 49 и 50.

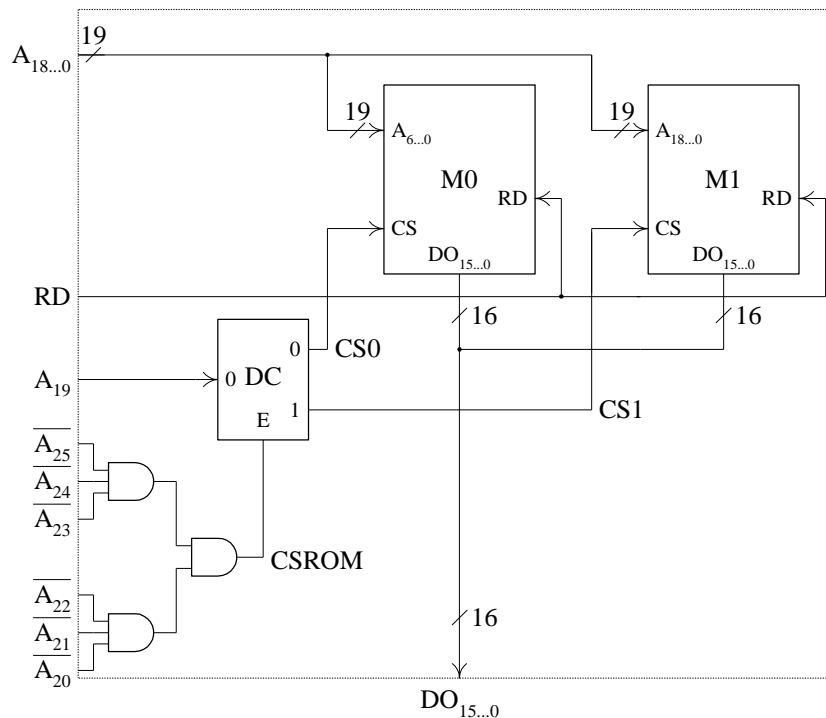
У реализованој ROM меморији капацитета 1Мx16 бита, најпре два чипа капацитета 512Кx8 служе за смештање 8 нижих и 8 виших бита 16 битне бинарне речи у реализованом модулу ROM меморије капацитета 512Кx16 бита (слика 49), затим два модула ROM меморије капацитета 512Кx16 бита служе за покривање два опсега адреса од по 512К адреса у реализованом модулу ROM меморије капацитета 1Мx16 бита и на крају модул ROM меморије капацитета 1Мx16 бита служи за покривање 1М адреса ROM меморијом (слика 50). Стога су за реализацију ROM меморије капацитета 1Мx16 бита потребна четири чипа капацитета 512Кx8 бита.

При оваквој реализацији ROM меморије капацитета 1Мx16 бита опсег од 64М (2^{26}) адреса је најпре подељен на 8 (2^3) опсега адреса величине 8М (2^{23}) адреса, затим је најнижи опсег од 8М (2^{23}) адреса подељен на 8 (2^3) опсега адреса величине 1М (2^{20}) адреса и на крају је најнижи опсег од 1М (2^{20}) адреса подељен на 2 (2^1) опсега адреса величине 512К (2^{19}) адреса. Стога у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ најпре најстарији битови $A_{25}A_{24}A_{23}$ вредностима 000b до 111b одређују о ком од 8 (2^3) опсега адреса од 8М (2^{23}) адреса се ради, затим битови $A_{22}A_{21}A_{20}$ вредностима 000b до 111b одређују о ком од 8 (2^3) опсега адреса од 1М (2^{20}) адреса се ради, потом бит A_{19} вредностима 0 и 1 одређују о ком од 2 (2^1) опсега адреса од 512К (2^{19}) адреса се ради и на крају најмлађих 19 бита $A_{18}A_{17}A_{16}..A_1A_0$ вредностима 000 0000 0000 0000 0000b до 111 1111 1111 1111 1111b одређују адресу локације унутар опсега од 512К (2^{19}) адреса. При томе најпре битови $A_{25}A_{24}A_{23}$ вредностима 000b одређују да се ради о адреси из опсега адреса резервисаног за ROM меморију, а затим битови $A_{22}A_{21}A_{20}$ вредностима 000b одређује да се ради о адреси из најнижег опсега адреса од 1М адреса попуњеног модулом ROM меморије капацитета 1Мx16 бита.



Слика 49 Модул ROM меморије капацитета 512Кx16 бита реализован чиповима 512Кx8 бита

У 26 битној адреси $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ која припада попуњеној ROM меморији битови $A_{25}A_{24}A_{23}$, који имају вредности 000b, и битови $A_{22}A_{21}A_{20}$, који такође имају вредности 000b, служе за формирање сигнала селекције CSROM модула ROM меморије капацитета 1Мx16 бита, бит A_{19} , који имај вредности 0b и 1b, служи за формирање сигнала селекција CS0 и CS1 једног од два модула ROM меморије капацитета 512Кx16 бита унутар селектованог модула ROM меморије капацитета 1Мx16 бита и битови $A_{18}A_{17}..A_1A_0$ представљају адресу локације унутар селектованог модула ROM меморије капацитета 512x16 бита.



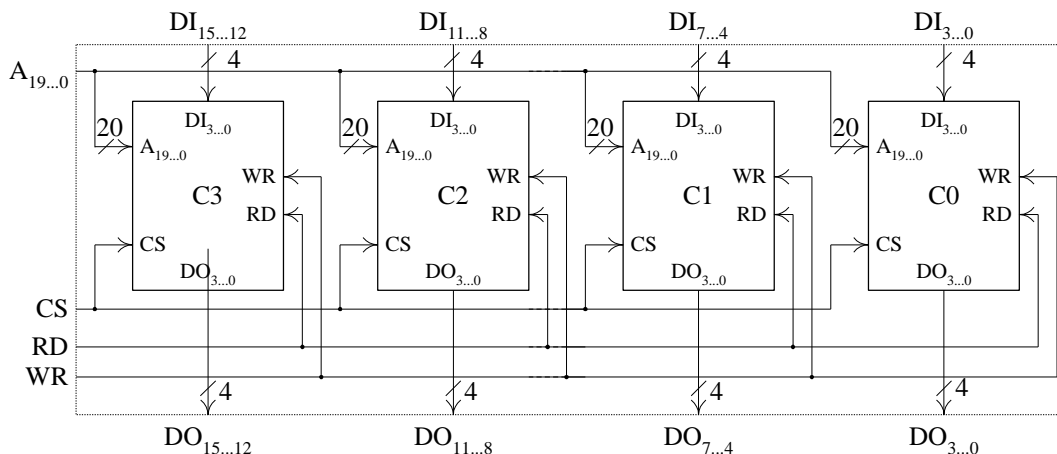
Слика 50 Реализација модула ROM меморије капацитета 1Мx16 битова који попуњава само

најнижих 1М адреса од 8М адреса опсега адреса резервисаног за ROM меморију користећи модуле ROM меморије капацитета 512Кx16 битова

в) Реализација RAM меморије капацитета 24Мx16 бита која попуњава само највиших 24М адреса од 48М адреса опсега адреса резервисаног за RAM меморију користећи чипове 1Мx4 бита је представљена на сликама 51 и 52.

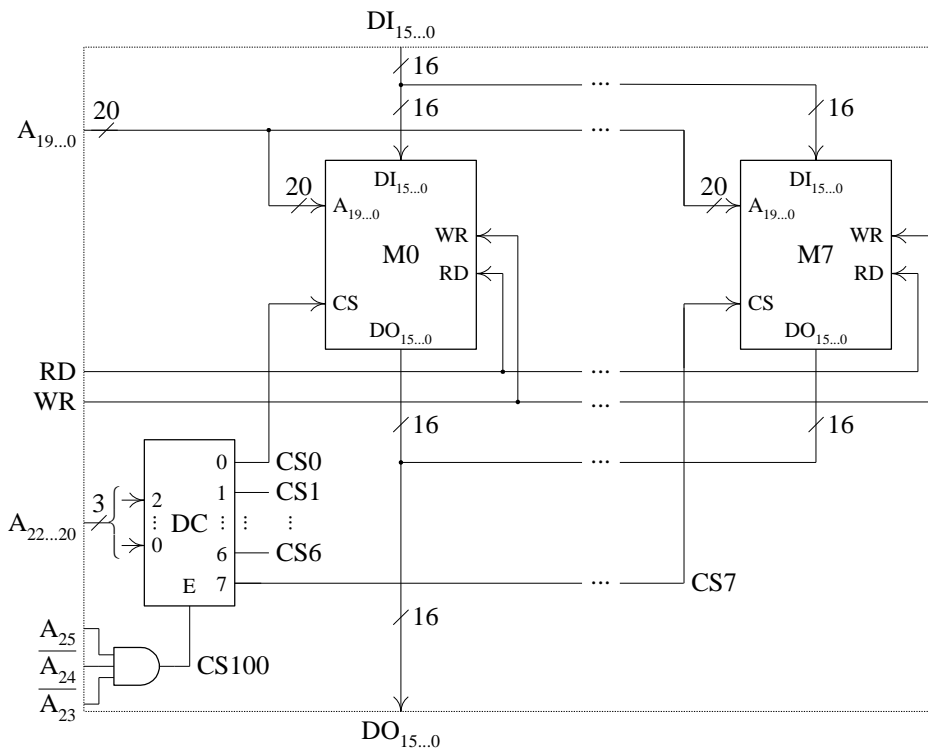
У реализованој RAM меморији капацитета 24Мx16 бита, најпре четири чипа капацитета 1Мx4 служе за смештање четири групе од по четири бита (0 до 3, 4 до 7, 8 до 11 и 12 до 15) 16 битне бинарне речи у реализованом модулу RAM меморије капацитета 1Мx16 бита (слика 51), затим 8 модула RAM меморије капацитета 1Мx16 битова служе за покривање 8 опсега адреса од по 1М адреса у реализованом модулу RAM меморије капацитета 8Мx16 битова и на крају три модула RAM меморије капацитета 8Мx16 битова служе за покривање 24М адреса RAM меморијом (слика 52). За реализацију RAM меморије капацитета 24Мx16 бита потребна су 96 чипа капацитета 1Мx4 бита.

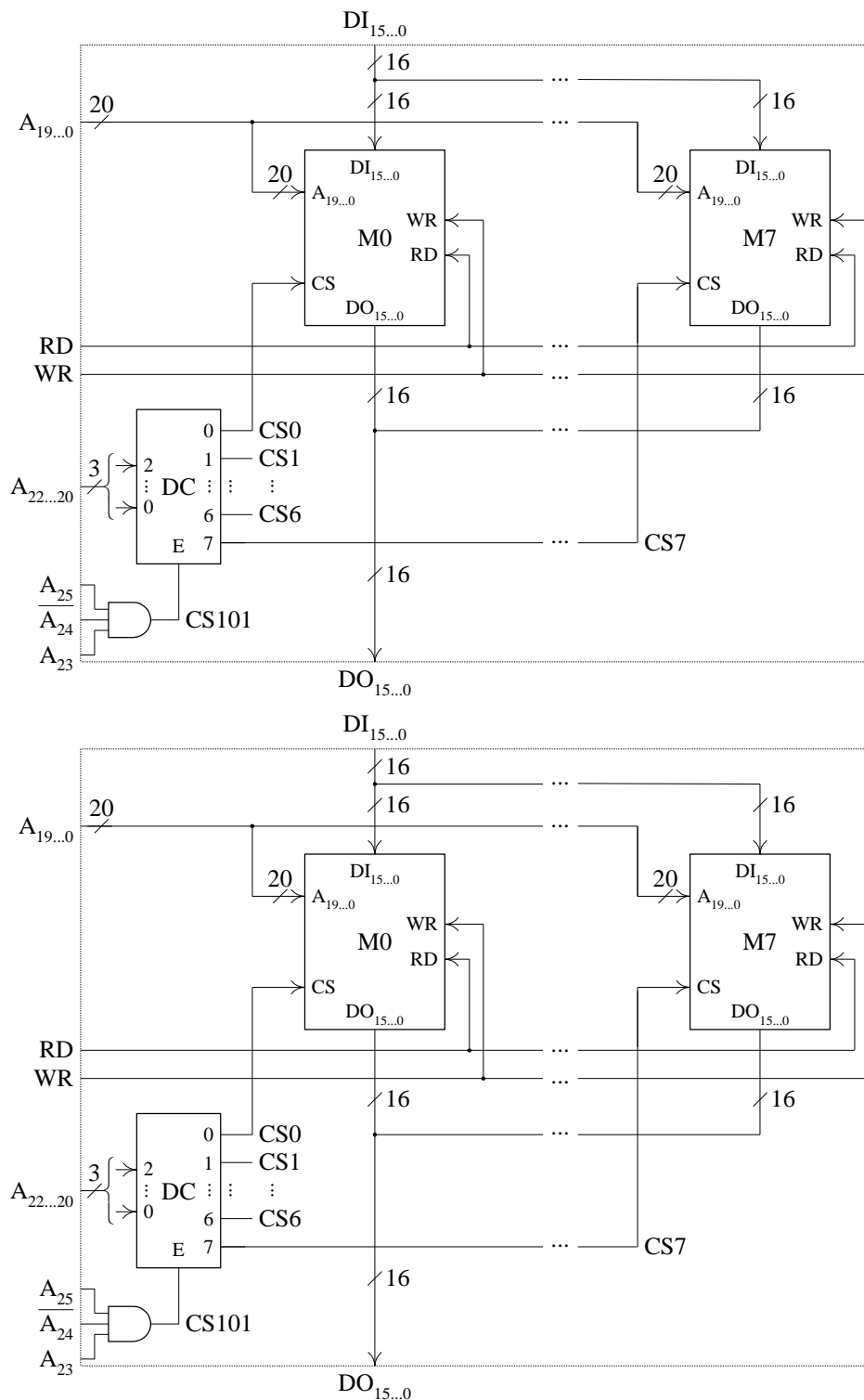
При оваквој реализацији RAM меморије капацитета 24Мx16 битова опсег од 2^{26} адреса је најпре подељен на 8 (2^3) опсега адреса величине 8М (2^{23}) адреса, а затим је и сваки опсег од 2^{23} адреса подељен на 8 (2^3) опсега адреса величине 1М (2^{20}) адреса. Стога у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}...A_1A_0$ најпре три најстарија бита $A_{25}A_{24}A_{23}$ вредностима 000b до 111b одређују о ком од осам опсега адреса од 8М адреса се ради, затим битови $A_{22}A_{21}A_{20}$ вредностима 000b до 111b одређују о ком од осам опсега адреса од 1М адреса се ради и на крају најмлађих 20 битова $A_{19}...A_1A_0$ вредностима 0000 0000 0000 0000b до 1111 1111 1111 1111b одређују адресу локације унутар опсега од 1М адреса. При томе битови $A_{25}A_{24}A_{23}$ вредностима 100b, 101b и 110b одређују да се ради о адреси из три највиша опсега адреса од по 8М адреса попуњених модулима RAM меморије капацитета 8Мx16 битова.



Слика 51 Модул RAM меморије капацитета 1Mx16 битова реализован чиповима 1Mx4 бита

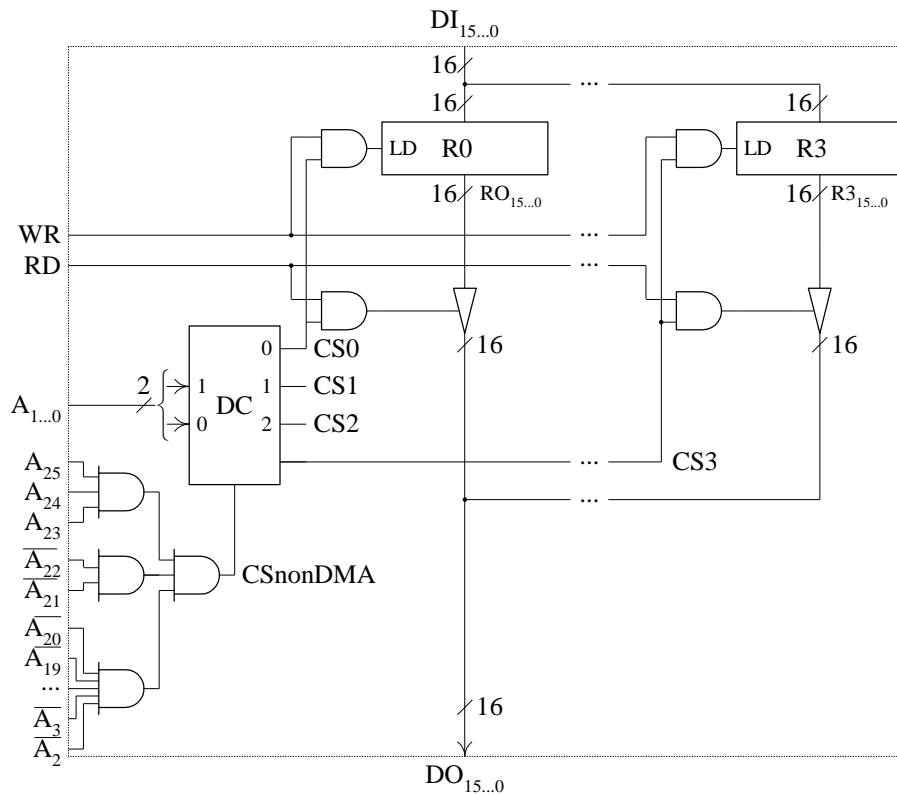
У 26 битној адреси $A_{25}A_{24}A_{23}A_{22}...A_1A_0$ која припада попуњеној RAM меморији, битови $A_{25}A_{24}A_{23}$, који имају вредности 100b, 101b и 110b, служе за формирање сигнала селекција CS_{100} , CS_{101} и CS_{110} једног од три модула RAM меморије капацитета 8Mx16 битова, битови $A_{22}A_{21}A_{20}$, који имају вредности 000b до 111b, служи за формирање сигнала селекција CS_0 до CS_7 једног од осам модула RAM меморије капацитета 1Mx16 бита унутар селектованог модула RAM меморије капацитета 8Mx16 бита и битови $A_{19}...A_1A_0$ представљају адресу локације унутар селектованог модула RAM меморије капацитета 1Mx16 бита..





Слика 52 Реализација три модула RAM меморије капацитета 8Мx16 битова који попуњавају највиших 24М адреса од 48М адреса опсега адреса резервисаног за RAM меморију користећи модуле RAM меморије капацитета 1Мx16 бита

г) Реализација дела контролера без директног приступа меморији са локацијама (регистрима) који попуњава само четири најниже адресе од 2М адреса опсега адреса резервисаног за контролере без директног приступа меморији приказана је на слици 53.



Слика 53 Део контролера без директног приступа меморији са локацијама (регистрима)

који попуњава само најниже четири адресе од 2М адреса
опсега адреса резервисаног за контролере без директног приступа меморији

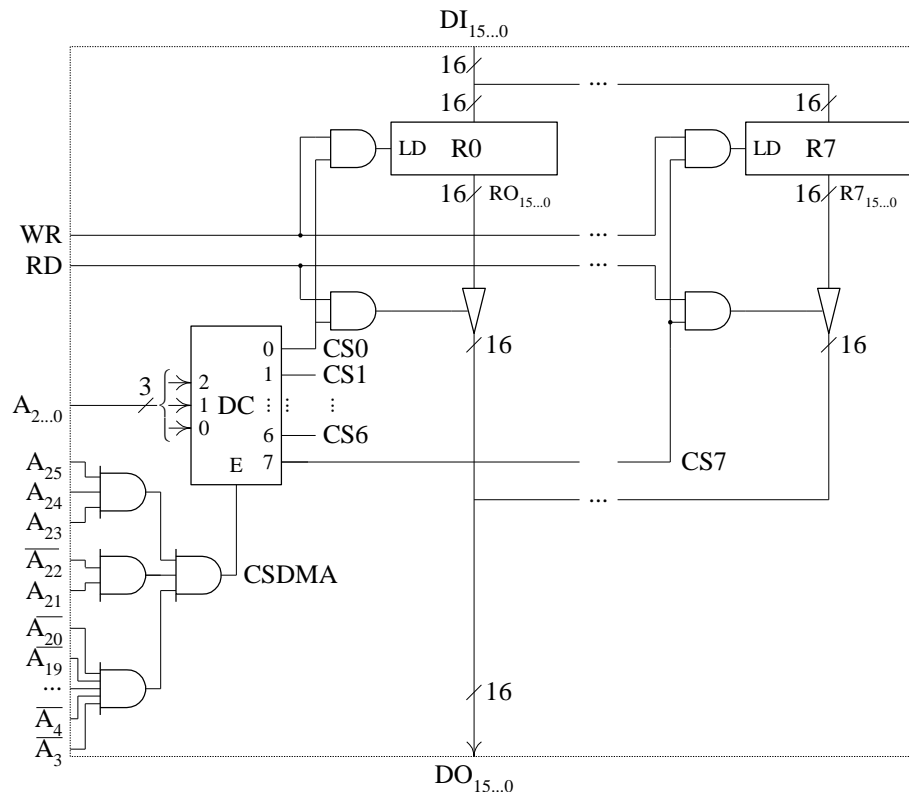
У контролеру без директног приступа меморији постоје четири локације (регистра), па је опсег од 2М (2^{21}) адреса резервисан за контролере без директног приступа меморији подељен на 512К (2^{19}) опсега адреса величине 4 (2^2) адресе.

При оваквој реализацији контролера без директног приступа меморији капацитета четири локације (регистра) опсег од 64М (2^{26}) адреса је најпре подељен на 8 (2^3) опсега адреса величине 8М (2^{23}) адреса, затим је највиши опсег од 8М (2^{23}) адреса подељен на 4 (2^2) опсега адреса величине 2М (2^{21}) адреса и на крају је најнижи опсег од 2М (2^{21}) адреса адреса подељен на 512К (2^{19}) опсега адреса величине 4 (2^2) адресе. Стога у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}A_{21}A_{20}A_{19}A_{18}A_{17}A_{16}A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$ најпре битови $A_{25}A_{24}A_{23}$ вредностима 000b до 111b одређују о ком од 8 (2^3) опсега адреса од 8М (2^{23}) адреса се ради, затим битови $A_{22}A_{21}$ вредностима 00b до 11b одређују о ком од 4 (2^2) опсега адреса од 2М (2^{21}) адреса се ради, потом битови $A_{20}A_{19}A_{18}A_{17}A_{16}A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6A_5A_4A_3A_2$ вредностима 0 0000 0000 0000 0000 00b до 1 1111 1111 1111 11b одређују о ком од 512К (2^{19}) опсега адреса величине 4 (2^2) адресе се ради и на крају најмлађа 2 бита A_1A_0 вредностима 00b до 11b одређују адресу локације унутар опсега од четири адресе. При томе најпре битови $A_{25}A_{24}A_{23}$ вредностима 111b одређује да се ради о адреси из опсега адреса резервисаног за контролере периферија, затим затим битови $A_{22}A_{21}$ вредностима 00b одређује да се ради о адреси из опсега адреса резервисаног за контролере без директног приступа меморији и на крају битови $A_{20}A_{19}A_{18}A_{17}A_{16}A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6A_5A_4A_3A_2$ вредностима 0 0000 0000 0000 0000 00b одређују да се ради о адреси из најнижег опсега адреса од четири адресе попуњеног контролером без директног приступа меморији капацитета четири локације (регистра).

У 26 битној адреси $A_{25}A_{24}A_{23}A_{22}A_{21}A_{20}A_{19}A_{18}A_{17}A_{16}A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$, која припада једином контролеру без директног приступа меморији који постоји у рачунару, битови $A_{25}A_{24}A_{23}$, који имају

вредности 111b, затим битови $A_{22}A_{21}$, који имају вредности 00b, и битови $A_{20}A_{19}... A_3A_2$, који имају вредности 0 0000 0000 0000 000b, служе за формирање сигнала селекције CSnonDMA контролера без директног приступа меморији, док битови A_1A_0 , који имају вредности 00b до 11b, служе за формирање сигнала селекција CS0 до CS3 једне од четири локације (регистра) унутар селектованог контролера без директног приступа меморији.

д) Реализација дела контролера са директним приступом меморији са локацијама (регистрима) који попуњавају само 8 најнижих адреса од 6М адреса опсега адреса резервисаног за контролере са директним приступом меморији приказана је на слици 54.



Слика 54 Део контролера са директним приступом меморији са локацијама (регистрима)

који попуњава само најнижих 8 адреса од 2М адреса опсега адреса резервисаног за контролере са директним приступом меморији

У контролеру са директним приступом меморији постоји 8 локација (регистара), па је сваки од три опсега адреса од 2М (2^{21}) који формирају опсег од 6М адреса резервисан за контролере са директним приступом меморији подељен на 256К (2^{18}) опсега адреса величине 8 (2^3) адреса.

При оваквој реализацији контролера са директним приступом меморији капацитета 8 локација (регистара) опсег од 64М (2^{26}) адреса је најпре подељен на 8 (2^3) опсега адреса величине 8М (2^{23}) адреса, затим је највиши опсег од 8М (2^{23}) адреса подељен на 4 (2^2) опсега адреса величине 2М (2^{21}) адреса и на крају је сваки три виша опсега адреса од 2М (2^{21}) адреса подељен на 256К (2^{18}) опсега адреса величине 8 (2^3) адреса. Стога у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}...A_1A_0$ најпре битови $A_{25}A_{24}A_{23}$ вредностима 000b до 111b одређују о ком од 8 (2^3) опсега адреса од 8М (2^{23}) адреса се ради, затим битови $A_{22}A_{21}$ вредностима 00b до 11b одређују о ком од 4 (2^2) опсега адреса од 2М (2^{21}) адреса се ради, потом за три виша опсега адреса од 2М (2^{21}) битови $A_{20}A_{19}... A_3$ вредностима 0

0000 0000 0000 0000 0b до 1 1111 1111 1111 1111 1b одређују о ком од 256К (2^{18}) опсега адреса величине 8 (2^3) адреса се ради и на крају најмлађа 3 бита $A_2A_1A_0$ вредностима 000b до 111b одређују адресу локације унутар опсега од 8 адреса. При томе најпре битови $A_{25}A_{24}A_{23}$ вредностима 111b одређује да се ради о адреси из опсега адреса резервисаног за контролере периферија, затим битови $A_{22}A_{21}$ вредностима 01b, 10b и 11b одређује да се ради о адреси из опсега адреса резервисаног за контролере са директним приступом меморији и на крају битови $A_{20}A_{19}... A_3$ вредностима 0 0000 0000 0000 0000 0b одређују да се ради о адреси из најнижег опсега адреса од 8 адреса попуњеног контролером са директним приступом меморији капацитета 8 локација (регистара).

У 26 битној адреси $A_{25}A_{24}A_{23}A_{22}...A_1A_0$, која припада једином контролеру са директним приступом меморији који постоји у рачунару, битови $A_{25}A_{24}A_{23}$, који имају вредности 111b, затим битови $A_{22}A_{21}$, који имају вредности 01b и битови $A_{20}A_{19}... A_3$, који имају вредности 0 0000 0000 0000 0000 0b, служе за формирање сигнала селекције CSDMA контролера са директним приступом меморији, док битови $A_2A_1A_0$, који имају вредности 000b до 111b, служе за формирање сигнала селекција CS0 до CS7 једне од 8 локација (регистара) унутар селектованог контролера са директним приступом меморији.

ђ) Сигнал којим се детектује да је дата адреса из опсега адреса које нису попуњене ROM меморијом, RAM меморијом, контролерима без директног приступа меморији и контролерима са директним приступом меморији се добија као ИЛИ функција сигнала којим се детектује да дата адреса није из опсега адреса који је попуњен ROM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса који је попуњен RAM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса који је попуњен контролером без директног приступа меморији и сигнала којим се детектује да дата адреса није из опсега адреса који је попуњен контролером са директним приступом меморији и дат је изразом

$$\begin{aligned} & \overline{A_{25}} \cdot \overline{A_{24}} \cdot \overline{A_{23}} \cdot (\overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} + \dots + A_{22} \cdot A_{21} \cdot A_{20}) + \\ & \overline{A_{25}} \cdot \overline{A_{24}} \cdot A_{23} + \overline{A_{25}} \cdot A_{24} \cdot \overline{A_{23}} + \overline{A_{25}} \cdot A_{24} \cdot A_{23} + \\ & A_{25} \cdot A_{24} \cdot A_{23} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot (\overline{A_{20}} \cdot \overline{A_{19}} \cdot \dots \cdot \overline{A_3} \cdot A_2 + \dots + A_{20} \cdot A_{19} \cdot \dots \cdot A_3 \cdot A_2) + \\ & A_{25} \cdot A_{24} \cdot A_{23} \cdot (\overline{A_{22}} \cdot \overline{A_{21}} \cdot (\overline{A_{20}} \cdot \overline{A_{19}} \cdot \dots \cdot \overline{A_4} \cdot A_3 + \dots + A_{20} \cdot A_{19} \cdot \dots \cdot A_4 \cdot A_3) + A_{22} \cdot \overline{A_{21}} + \\ & A_{22} \cdot A_{21}) \end{aligned}$$

Опсег адреса резервисан за ROM меморију од 8М адреса је подељен на осам опсега адреса величине 1М адреса од којих је само нижих 1М адреса попуњено ROM меморијом. Стога у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ битови $A_{25}A_{24}A_{23}$ вредностима 000b одређују да се ради о адреси из опсега од 8М адреса резервисаних за ROM меморију, а битови $A_{22}A_{21}A_{20}$ вредностима 000b до 111b одређују о ком од 8 опсега адреса од 1М адреса се ради (слика 44). У опсегу од 8М адреса попуњен је само опсег од најнижих 1М адреса, док преосталих виших 7 опсега од по 1М адреса није попуњено. За попуњен опсег од 1М адреса битови $A_{22}A_{21}A_{20}$ имају вредности 000b, док за непопуњених 7 опсега од по 1М адреса битови $A_{22}A_{21}A_{20}$ имају вредности 001b до 111b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса који је попуњен ROM меморијом генерише према изразу

$$\overline{A_{25}} \cdot \overline{A_{24}} \cdot \overline{A_{23}} \cdot (\overline{A_{22}} \cdot \overline{A_{21}} \cdot \overline{A_{20}} + \dots + A_{22} \cdot A_{21} \cdot A_{20})$$

Опсег адреса резервисан за RAM меморију од 48М адреса је подељен на шест опсега адреса величине 8М адреса од којих је само највиших 24М адреса, које се састоје од три

опсега од по 8М адреса, попуњено RAM меморијом. Стога у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ битови $A_{25}A_{24}A_{23}$ вредностима 001b до 110b одређује о ком од шест опсега од по 8М адреса резервисаних за RAM меморију се ради (слика 45). У опсегу од 48М адреса попуњен је само опсег од виших 24М адреса, који се састоји од три опсега од по 8М адреса, док опсег од нижих 24М адреса, који се такође састоји од три опсега од по 8М адреса, није попуњен. За попуњена три опсега од по 8М адреса битови $A_{25}A_{24}A_{23}$ имају вредности 100b до 110b, док за преостала три непопуњена опсега од по 8М адреса битови $A_{25}A_{24}A_{23}$ имају вредности 001b до 011b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса који је попуњен RAM меморијом генерише према изразу

$$\overline{A_{25}} \cdot \overline{A_{24}} \cdot \overline{A_{23}} + \overline{A_{25}} \cdot \overline{A_{24}} \cdot A_{23} + \overline{A_{25}} \cdot A_{24} \cdot \overline{A_{23}} + \overline{A_{25}} \cdot A_{24} \cdot A_{23}$$

Опсег адреса резервисан за контролере контролере без директног приступа меморији од 2М адреса је подељен на 512К (2^{19}) опсега адреса величине 4 (2^2) адресе од којих су само најниже четири адресе попуњено контролером без директног приступа меморији. Стога у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ битови $A_{25}A_{24}A_{23}$ вредностима 111b одређују да се ради о адреси из опсега од 8М адреса резервисаних за контролере периферија, затим битови $A_{22}A_{21}$ вредностима 00b одређују да се ради о адреси из опсега од 2М адреса резервисаних за контролере без директног приступа меморији и на крају битови $A_{20}A_{19}..A_2$, вредностима 0 0000 0000 0000 0000 00b до 1 1111 1111 1111 1111 11b одређују о ком од 2^{19} опсега од по четири адресе се ради (слика 46). У опсегу од 2^{19} адреса попуњен је само опсег од најниже четири адресе, док преостали опсеци од по четири адресе којих има ($2^{19}-1$) нису попуњени. За попуњен опсег битови $A_{20}A_{19}..A_2$ имају вредности 0 0000 0000 0000 0000 00b, док за непопуњене опсеге битови $A_{20}A_{19}..A_2$ имају вредности од 0 0000 0000 0000 0000 01b до 1 1111 1111 1111 1111 11b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса који је попуњен контролером без директног приступа меморији генерише према изразу

$$A_{25} \cdot A_{24} \cdot A_{23} \cdot \overline{A_{22}} \cdot \overline{A_{21}} \cdot (\overline{A_{20}} \cdot \overline{A_{19}} \cdot \dots \cdot \overline{A_3} \cdot A_2 + \dots + A_{20} \cdot A_{19} \cdot \dots \cdot A_3 \cdot \overline{A_2})$$

Опсег адреса резервисан за контролере са директним приступом меморији од 6М адреса се састоји од три опсега адреса од по 2М адреса. При томе је само у најнижем опсегу од 2М адреса најнижих осам адреса попуњено контролером са директним приступом меморији, док остале адресе најнижег опсега од 2М адреса као и комплетне адресе преостала два опсега од по 2М адреса нису попуњене. Стога у 26 битној адреси $A_{25}A_{24}A_{23}A_{22}..A_1A_0$ битови $A_{25}A_{24}A_{23}$ вредностима 111b одређују да се ради о адреси из опсега од 8М адреса резервисаних за контролере периферија, док битови $A_{22}A_{21}$ вредностима 01b, 10b и 11b, одређују о ком од три опсега од по 2М адреса резервисаних за контролере са директним приступом меморији се ради (слика 47). При томе битови $A_{22}A_{21}$ вредностима 01b одређују да се ради о опсегу адреса од 2М адреса у коме је само најнижих осам адреса попуњено контролером са директним приступом меморији, док битови $A_{22}A_{21}$ вредностима 10b и 11b одређују да се ради о преостала два опсега од по 2М адреса која нису попуњена. Опсег адреса од 2М адреса у коме је само најнижих осам адреса попуњено контролером са директним приступом меморији је подељен на 256К (2^{18}) опсега адреса величине 8 (2^3) адреса при чему битови $A_{20}A_{19}..A_3$, вредностима 0 0000 0000 0000 0000 0b до 1 1111 1111 1111 1111 1b одређују о ком од 2^{18} опсега од по осам адреса се ради. При томе је у овом опсегу од 2М (2^{21}) адреса попуњен само опсег од најнижих осам адреса, док преостали опсеци од по осам адреса којих има ($2^{18}-1$) нису попуњени. За попуњен опсег битови $A_{20}A_{19}..A_3$ имају вредности 0 0000 0000 0000 0000 0b, док за непопуњене опсеге битови $A_{20}A_{19}..A_2$ имају вредности од 0 0000 0000 0000 0000 1b до 1 1111 1111 1111 1111 1b. Стога се сигнал којим се

детектује да дата адреса није из опсега адреса који је попуњен контролером са директним приступом меморији генерише према изразу

$$A_{25} \cdot A_{24} \cdot A_{23} \cdot (\overline{A_{22}} \cdot A_{21} \cdot (\overline{A_{20}} \cdot \overline{A_{19}} \cdot \dots \cdot \overline{A_4} \cdot A_3 + \dots + A_{20} \cdot A_{19} \cdot \dots \cdot A_4 \cdot A_3) + A_{22} \cdot \overline{A_{21}} + A_{22} \cdot A_{21})$$

1.1.5 ЗАДАТАК

Посматра се рачунар код кога су меморијски и улазно/излазни адресни простори раздвојени. Стога на магистрали постоји сигнал $\overline{M}/\overline{IO}$ који вредностима 1 и 0 одређује да ли је адреса из меморијског или улазно/излазног адресног простора, респективно.

Меморијски адресни простор је 1М адреса, при чему је ширина адресибилне локације 8 бита. Нижих 15·64К адреса меморијског адресног простора је резервисано за RAM меморију, а виших 64К адреса меморијског адресног простора је резервисано за ROM меморију. Од целокупног опсега адреса резервисаног за RAM меморију попуњено је само нижих 512К адреса, а од целокупног опсега адреса резервисаног за ROM меморију попуњено је само најнижих 4К адреса.

Улазно/излазни адресни простор је 64К адреса, при чему је ширина адресибилне локације 8 бита. Цео опсег адреса од 64К адреса улазно/излазног адресног простора је резервисан за контролере периферија који имају по 32 локације (регистра). У рачунару постоји само један контролер периферије, чије локације (регистри) попуњавају само најниже 32 адресе из целокупног опсега адреса улазно/излазног адресног простора.

а) Назначити опсег адреса у меморијском адресном простору рачунара, опсег адреса резервисан за RAM меморију, опсег адреса резервисан за ROM меморију, опсег адреса попуњен RAM меморијом и опсег адреса попуњен ROM меморијом. Назначити опсег адреса у улазно/излазном адресном простору рачунара и опсег адреса попуњен локацијама (регистрима) контролера периферије. Резултат представити табеларно.

б) Реализовати модул RAM меморије који попуњава само нижих 512К (8·64К) адреса од 15·64К адреса опсега адреса резервисаног за RAM меморију користећи чипове 16Кх2 бита (управљачки улази су **RD**, **WR** и **CS**).

в) Реализовати модул ROM меморије који попуњава само нижих 4К адреса од 64К адреса опсега адреса резервисаног за ROM меморију користећи чипове 256х4 бита (управљачки улази су **RD** и **CS**).

г) Реализовати део контролера периферије са регистрима, чије локације (регистри) попуњавају најниже 32 адресе из целокупног опсега адреса резервисаног за контролере периферија.

д) Генерисати сигнал којим се детектује да је дата адреса или из опсега адреса меморијског адресног простора које нису попуњене RAM и ROM меморијом или из улазно/излазног простора које нису попуњене контролерима периферија.

Решење:

а) За адресирање локација у меморијском адресном простору рачунара величине 1М (2^{20}) адреса потребно је користити 20 битне адресе $A_{19}A_{18}...A_1A_0$, при чему је ширина адресибилне локације 8 бита. Опсег адреса који припада меморијском адресном простору рачунара величине 1М (2^{20}) се добија варирањем 20 бита адресе (слика 55). Почетна адреса $A_{19}A_{18}...A_1A_0$ меморијског адресног простора је 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0 0000h, док је последња адреса 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу F FFFFh (слика 61).

A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₂ A ₁₃ A ₁₄	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса у меморијском адресном простору рачунара
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 0	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 55 Адресе у опсегу адреса меморијског адресног простора рачунара

Меморијски адресни простор од 1М (2²⁰) адреса је подељен на два дела и то нижих 15·64К адреса за RAM меморију и виших 64К за ROM меморију. Стога у 20 битној адреси A₁₉A₁₈...A₁A₀ битови A₁₉A₁₈A₁₇A₁₆ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од 64К адреса се ради. Од 1М (16·64К) адреса меморијског адресног простора најнижих 15·64К адреса је резервисано за RAM меморију, па битови A₁₉A₁₈A₁₇A₁₆ имају вредности 0000b до 1110b, док највиших 64К адреса је резервисано за ROM меморију, па битови A₁₉A₁₈A₁₇A₁₆ имају вредности 1111b. Преосталих 16 битова 20 битне адресе A₁₅...A₁A₀, који имају вредности у опсегу од 0000 0000 0000 0000b до 1111 1111 1111 1111b, представљају адресу унутар опсега од 64К адреса (слика 56). Стога је почетна адреса A₁₉A₁₈...A₁A₀ опсега адреса резервисаног за RAM меморију 0000 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0 0000h, док је последња адреса 1110 1111 1111 1111 1111b, што у хексадецималном запису даје адресу E FFFFh. На сличан начин се добија да је почетна адреса A₁₉A₁₈...A₁A₀ опсега адреса резервисаног за ROM меморију 1111 0000 0000 0000 0000b, што у хексадецималном запису даје адресу F 0000h, док је последња адреса 1111 1111 1111 1111 1111b, што у хексадецималном запису даје адресу F FFFFh (слика 61).

A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₂ A ₁₃ A ₁₄	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	резервисан RAM
...	
0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
...	резервисан ROM
1 1 1 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 56 Адресе у опсезима адреса резервисаним за RAM и ROM меморију

У опсегу адреса резервисаном за RAM меморију од 15·64К адреса, који се састоји од 15 опсега адреса величине 64К адреса, RAM меморијом је попуњено само најнижих 512К (8·64К) адреса. Стога у 20 битној адреси A₁₉A₁₈...A₁A₀ битови A₁₉A₁₈A₁₇A₁₆ вредностима 0000b до 1110b одређују о ком од 15 опсега адреса од 64К адреса резервисаним за RAM меморију се ради. Пошто је од 15·64К адреса попуњено само најнижих 512К (8·64К) адреса, битови A₁₉A₁₈A₁₇A₁₆ имају вредности 0000b до 0111b. Преосталих 16 битова 20 битне адресе A₁₅...A₁A₀, који имају вредности у опсегу од 0000 0000 0000 0000b до 1111 1111 1111 1111b, представљају адресу унутар опсега од 64К адреса (слика 57). Стога је почетна адреса A₁₉A₁₈...A₁A₀ у опсегу адреса попуњеном RAM меморијом 0000 0000 0000 0000 0000b, што у хексадецималном запису даје

адресу 0 0000h, док је последња адреса 0111 1111 1111 1111b, што у хексадецималном запису даје адресу 7 FFFFh (слика 61).

A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен RAM
...	
0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
0 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
...	
0 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен RAM
...	
1 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
...	
1 1 1 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	резервисан ROM
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 57 Адресе у опсегу адреса попуњеном RAM меморијом

У опсегу адреса резервисаном за ROM меморију од 64К (2^{16}) адреса ROM меморијом је попуњено само најнижих 4К (2^{12}) адреса. Стога треба узети да је опсег адреса резервисан за ROM меморију од 64К (2^{16}) адреса подељен на 16 (2^4) опсега адреса величине 4К (2^{12}) адреса од којих је само најнижих 4К адреса попуњено ROM меморијом. У овом случају у 20 битној адреси $A_{19}A_{18}...A_1A_0$ битови $A_{19}A_{18}A_{17}A_{16}$ вредностима 1111b одређују да се ради о адреси из опсега адреса од 64К адреса резервисаном за ROM меморију, а битови $A_{15}A_{14}A_{13}A_{12}$ вредностима 0000b до 1111b одређују о ком од 16 (2^4) опсега адреса од 4К (2^{12}) адреса се ради. Пошто је од 64К адреса попуњено само најнижих 4К (2^{12}) адреса, битови $A_{15}A_{14}A_{13}A_{12}$ имају вредности 0000b. Преосталих 12 битова 20 битне адресе $A_{11}...A_1A_0$, који имају вредности у опсегу од 0000 0000 0000b до 1111 1111 1111b, представљају адресу локације унутар опсега од 4К (2^{12}) адреса (слика 58). Стога је почетна адреса $A_{19}A_{18}...A_1A_0$ у опсегу адреса попуњеном ROM меморијом 1111 0000 0000 0000 0000b, што у хексадецималном запису даје адресу F 0000h, док је последња адреса 1111 0000 1111 1111 1111b, што у хексадецималном запису даје адресу F 0FFFh (слика 61).

A ₁₉ A ₁₈ A ₁₇ A ₁₆	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	резервисан RAM
...	
0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	попуњен ROM
...	
1 1 1 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен ROM
...	
1 1 1 1	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 1	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен ROM
...	
1 1 1 1	0 0 0 1	1 1 1 1	1 1 1 1	1 1 1 1	
...	
1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	не попуњен ROM
...	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 58 Адресе у опсегу адреса попуњених ROM меморијом

За адресирање локација у улазно/излазном адресном простору рачунара величине 64К (2^{16}) адреса потребно је користити 16 битне адресе $A_{15}A_{14}A_{13}...A_1A_0$, при чему је ширина адресбилне локације 8 бита. Опсег адреса који припада улазно/излазном адресном простору рачунара величине 64К (2^{16}) адреса се добија варирањем 16 битова адресе (слика 59). Почетна адреса $A_{15}A_{14}A_{13}...A_1A_0$ улазно/излазног адресног простора је 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h, док је последња адреса 1111 1111 1111 1111b, што у хексадецималном запису даје адресу FFFFh (слика 61).

A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	опсег адреса у улазно/излазном адресном простору рачунара
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
- - - -	- - - -	- - - -	- - - -	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 0	
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 59 Адресе у опсегу адреса улазно/излазног адресног простора рачунара

У улазно/излазном адресном простору рачунара од 64К (2^{16}) адреса локацијама (регистрима) контролера периферије је попуњен само опсег од најниже 32 (2^5) адресе. Стога треба узети да је опсег адреса улазно/излазног адресног простора од 64К (2^{16}) адреса подељен на 2К (2^{11}) опсега адреса величине 32 (2^5) адреса од којих је само опсег од најниже 32 адресе попуњен локацијама (регистрима) контролера периферије. У овом случају у 16 битној адреси $A_{15}A_{14}A_{13}...A_1A_0$ битови $A_{15}A_{14}... A_6A_5$ вредностима 0000 0000 000 до 1111 1111 111 одређују о ком од 2К (2^{11}) опсега адреса од 32 (2^5) адресе се ради. Пошто је од 2К (2^{11}) опсега попуњен само опсег од најниже 32 адресе, битови $A_{15}A_{14}A_{13}...A_1A_0$ имају вредности 0000 0000 000. Преосталих 5 битова 16 битне адресе $A_4A_3A_2A_1A_0$, који имају вредности у опсегу од 0 0000b до 1 1111b, представљају адресу локације (регистра) унутар опсега од 32 (2^5) адресе (слика 60). Стога је почетна адреса

$A_{15}A_{14}A_{13}...A_1A_0$ опсега адреса попуњеног контролером периферије 0000 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h, док је последња адреса 0000 0000 0001 1111b, што у хексадецималном запису даје адресу 001Fh (слика 61).

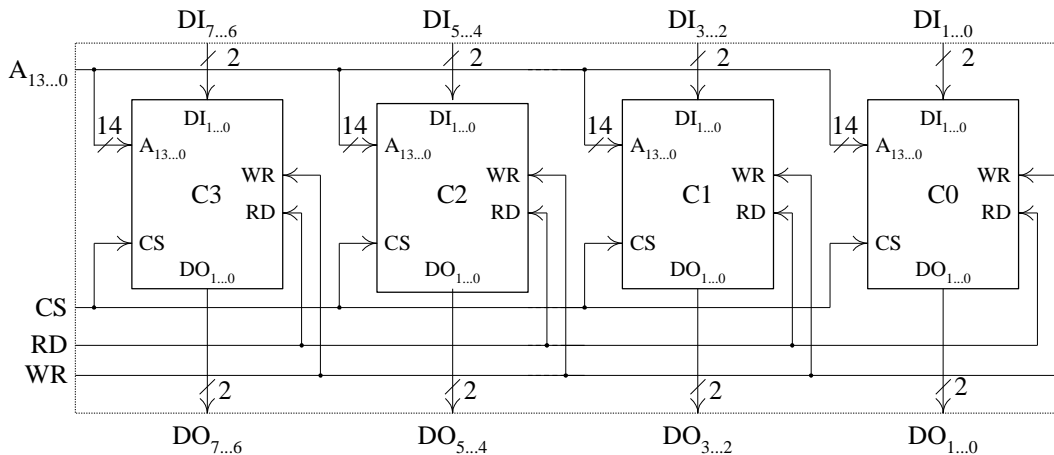
$A_{15}A_{14}A_{13}A_{12}$	$A_{11}A_{10}A_9A_8$	$A_7A_6A_5$	A_4	$A_3A_2A_1A_0$	
0 0 0 0	0 0 0 0	0 0 0	0	0 0 0 0	попуњен КР
0 0 0 0	0 0 0 0	0 0 0	0	0 0 0 1	
- - - -	- - - -	- - -	-	- - - -	
0 0 0 0	0 0 0 0	0 0 0	1	1 1 1 0	
0 0 0 0	0 0 0 0	0 0 0	1	1 1 1 1	
0 0 0 0	0 0 0 0	0 0 1	0	0 0 0 0	не попуњен КР
- - - -	- - - -	- - -	-	- - - -	
0 0 0 0	0 0 0 0	0 0 1	1	1 1 1 1	
- - - -	- - - -	- - -	-	- - - -	
1 1 1 1	1 1 1 1	1 1 1	0	0 0 0 0	
- - - -	- - - -	- - -	-	- - - -	
1 1 1 1	1 1 1 1	1 1 1	1	1 1 1 1	

Слика 60 Адресе у опсегу адреса попуњеном контролером периферије

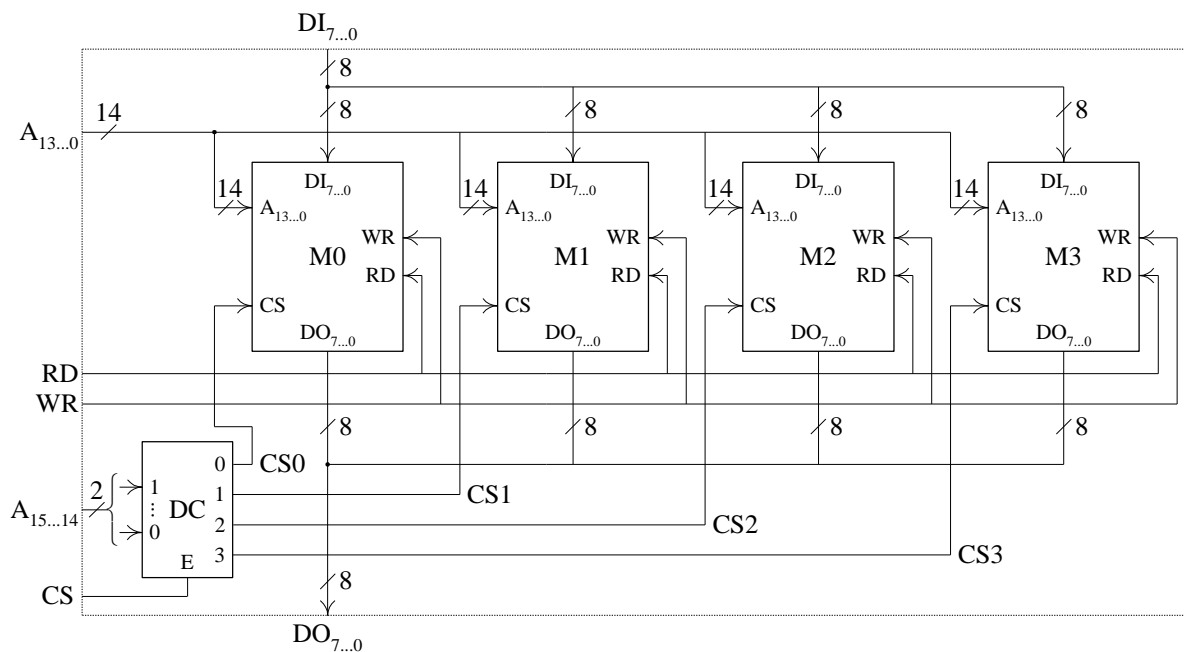
Опсези адреса	М/ЈО	Прва адреса	Последња адреса
Опсег адреса меморијског адресног простора	1	0 0000h	F FFFFh
Опсег адреса резервисан за RAM меморију	1	0 0000h	E FFFFh
Опсег адреса резервисан за ROM меморију	1	F 0000h	F FFFFh
Опсег адреса попуњен RAM меморијом	1	0 0000h	7 FFFFh
Опсег адреса попуњен ROM меморијом	1	F 0000h	F 0FFFh
Опсег адреса улазно/излазног адресног простора	0	0000h	FFFFh
Опсег адреса попуњен контролером периферије	0	0000h	001Fh

Слика 61 Опсези адреса

б) Реализација RAM меморије капацитета 512Кx8 бита која попуњава само најнижих 512К (8·64К) адреса од 15·64К адреса опсега адреса резервисаног за RAM меморију користећи чипове 64Кx2 бита је представљена на сликама 62, 63 и 64.

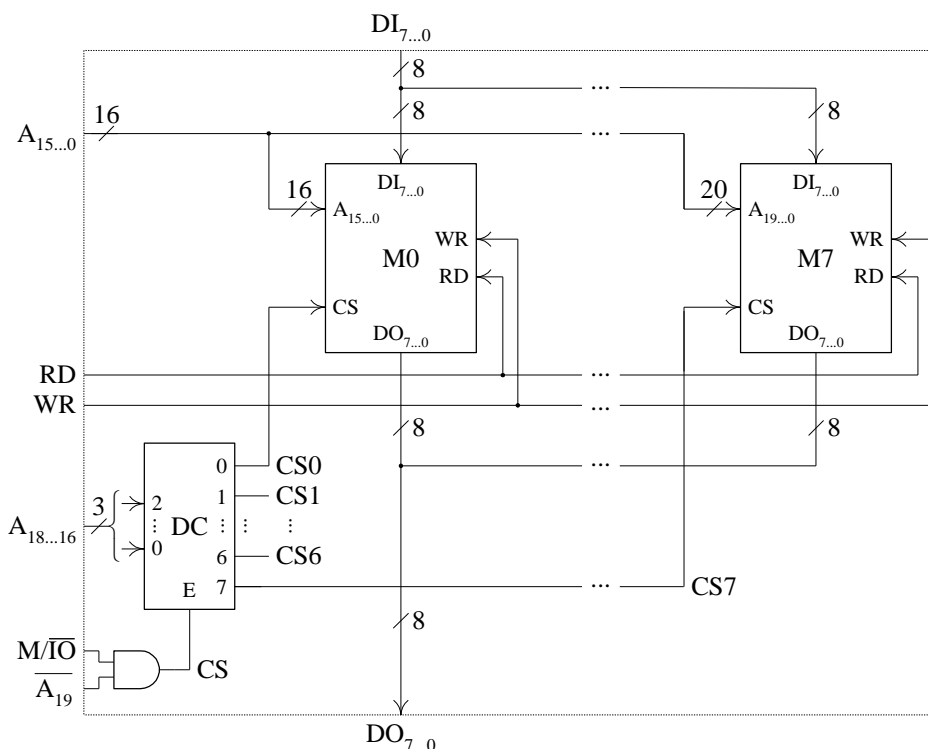


Слика 62 Модул RAM меморије капацитета 16Кx8 битова реализован чиповима 16Кx2 бита



Слика 63 Модул RAM меморије капацитета 64Кx8 битова реализован модулима RAM меморије капацитета 16Кx8 битова

У реализованој RAM меморији капацитета 512Кx8 битова, најпре четири чипа капацитета 16Кx2 бита служе за смештање четири пара битова (0 и 1, 2 и 3, 4 и 5, 6 и 7) 8 битне бинарне речи у реализованом модулу RAM меморије капацитета 16Кx8 битова (слика 22), затим четири модула RAM меморије капацитета 16Кx8 битова служе за покривање четири опсега адреса од по 16К адреса у реализованом модулу RAM меморије капацитета 64Кx8 битова и на крају 8 модула RAM меморије капацитета 64Кx8 бита служе за покривање 512К адреса RAM меморијом (слика 23). За реализацију RAM меморије капацитета 512Кx8 битова потребна је 128 чипова капацитета 16Кx2 бита.



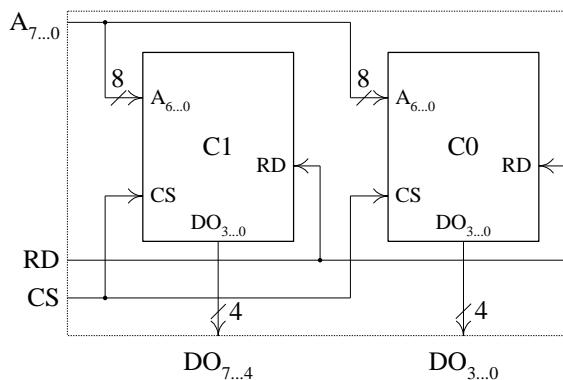
Слика 64 Реализована RAM меморије капацитета 512Кx8 битова која попуњава само најнижих 512К (8·64К) адреса од 15·64К адреса опсега адреса резервисаног за RAM меморију користећи модуле RAM меморије капацитета 64Кx8 битова

При оваквој реализацији RAM меморије капацитета 512Кx8 битова опсег од 2^{20} адреса је најпре подељен на 16 (2^4) опсега адреса величине 64К (2^{16}) адреса, а затим је и сваки од нижих 8 опсега од 2^{16} адреса подељен на 4 (2^2) опсега адреса величине 16К (2^{14}) адреса. Стога у 20 битној адреси $A_{19}A_{18}...A_1A_0$ најпре четири најстарија бита $A_{19}A_{18}A_{17}A_{16}$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од 64К адреса се ради, затим два млађа бита $A_{15}A_{14}$ вредностима 00b до 11b одређују о ком од четири опсега адреса од 16К адреса се ради и на крају 14 најмлађих битоа $A_{13}...A_1A_0$ вредностима 00 0000 0000 0000b до 11 1111 1111 1111b одређују адресу локације унутар опсега од 16К адреса. При томе битови $A_{19}A_{18}A_{17}A_{16}$ вредностима 0000b до 0111b одређују да се ради о адреси из 8 најнижих опсега адреса од по 64К адреса попуњених модулима RAM меморије капацитета 64Кx8 бита.

У 20 битној адреси $A_{19}A_{18}...A_1A_0$ која припада попуњеној RAM меморији, битови $A_{19}A_{18}A_{17}A_{16}$ имају вредности 0000b до 0111b и служе за формирање сигнала селекција CS_0 до CS_7 једног од 8 модула RAM меморије капацитета 64Кx8 битова (слика), битови $A_{15}A_{14}$ имају вредност 00b до 11b и служе за формирање сигнала селекција CS_0 до CS_3 једног од четири модула RAM меморије капацитета 16Кx8 битова унутар селектованог модула RAM меморије капацитета 64Кx8 битова (слика) и битови $A_{13}...A_1A_0$ представљају адресу локације унутар селектованог модула RAM меморије капацитета 16Кx8 бита. При томе сигнал M/\overline{IO} мора да има вредност 1, као индикацију да се ради о адреси из меморијског адресног простора.

в) Реализација модула ROM меморије капацитета 4Кx8 битова који попуњава само најнижих 4К адреса од 64К адреса опсега адреса резервисаног за ROM меморију користећи чипове 256x4 бита је представљена на сликама 65 и 66.

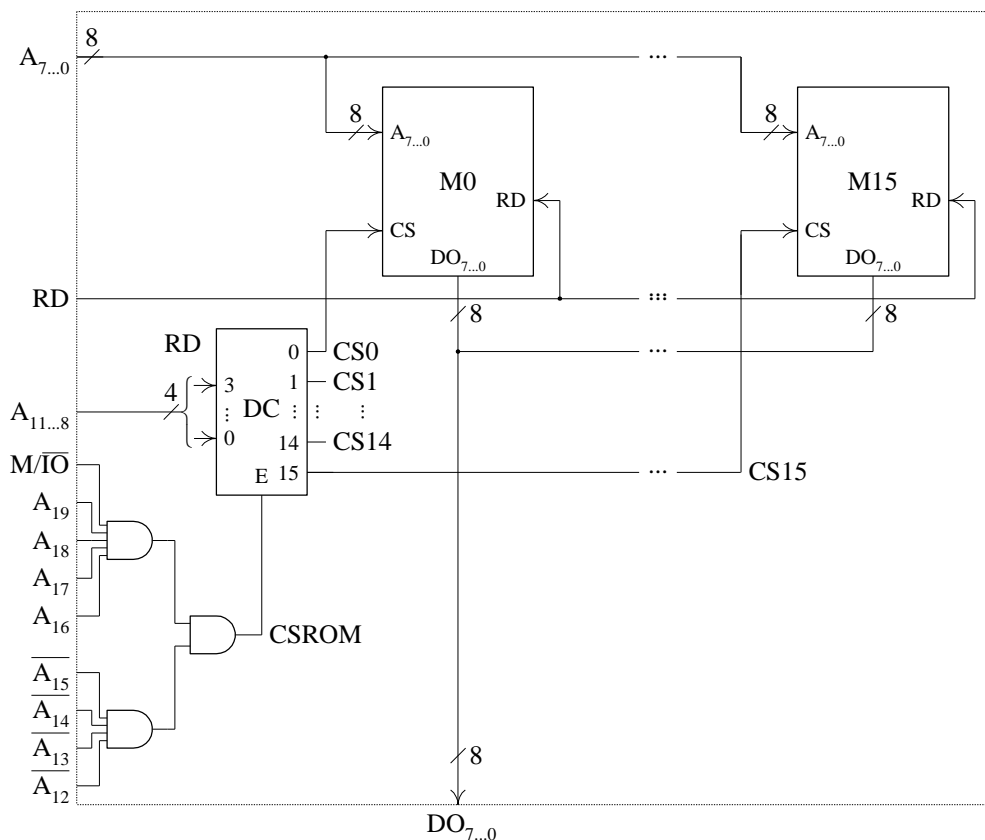
У реализованој ROM меморији капацитета 4Кx8 битова, најпре два чипа капацитета 256x4 бита служе за смештање четири старија и четири млађа бита 8 битне бинарне речи у реализованом модулу ROM меморије капацитета 256x8 битова (слика 65) и затим 16 модула ROM меморије капацитета 256x8 битова служе за покривање 16 опсега адреса од по 256 адреса у реализованом модулу ROM меморије капацитета 4Кx8 битова (слика 66). За реализацију ROM меморије капацитета 4Кx8 битова потребна су 32 чипа капацитета 256x4 бита.



Слика 65 Модул ROM меморије капацитета 256x8 битова реализован чиповима 256x4 бита

При оваквој реализацији ROM меморије капацитета 4Кx8 битова опсег од 2^{20} адреса је најпре подељен на 16 (2^4) опсега адреса величине 64К (2^{16}) адреса, затим је највиши опсег од 2^{16} адреса подељен на 16 (2^4) опсега адреса величине 4К (2^{12}) адреса и на крају је најнижи опсег од 2^{12} адреса подељен на 16 (2^4) опсега адреса величине 256 (2^8) адреса. Стога у 20 битној адреси $A_{19}A_{18}...A_1A_0$ најпре четири најстарија бита $A_{19}A_{18}A_{17}A_{16}$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од 64К адреса се ради, затим битови $A_{15}A_{14}A_{13}A_{12}$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од 4К адреса се ради, потом битови $A_{11}A_{10}A_9A_8$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од 256 адреса се ради и на крају најмлађих 8 битова $A_7...A_1A_0$ вредностима 0000 0000b до 1111 1111b одређују адресу локације унутар опсега од 256 адреса. При томе битови $A_{19}A_{18}A_{17}A_{16}$ вредностима 1111b одређују да се ради о адреси из највишег опсега адреса од 64К адреса резервисаног за ROM меморију капацитета 64Кx8 битова и битови $A_{15}A_{14}A_{13}A_{12}$ вредностима 0000b одређује да се ради о адреси из најнижег опсега адреса од 4К адреса попуњеног модулом ROM меморије капацитета 4Кx8 битова.

У 20 битној адреси $A_{19}A_{18}...A_1A_0$ која припада попуњеној ROM меморији, битови $A_{19}A_{18}A_{17}A_{16}$, који имају вредности 1111b, и битови $A_{15}A_{14}A_{13}A_{12}$, који имају вредности 0000, служе за формирање сигнала селекције CSROM модула ROM меморије капацитета 4Кx8 битова, битови $A_{11}A_{10}A_9A_8$, који имају има вредности 0000b до 1111b, служе за формирање сигнала селекција CS0 до CS15 једног од 16 модула RAM меморије капацитета 256x8 битова унутар селектованог модула ROM меморије капацитета 4Кx8 битова, док битови $A_7...A_1A_0$ представљају адресу локације унутар селектованог модула ROM меморије капацитета 256x8 битова. При томе сигнал **М/Ю** мора да има вредност 1, као индикацију да се ради о адреси из меморијског адресног простора.

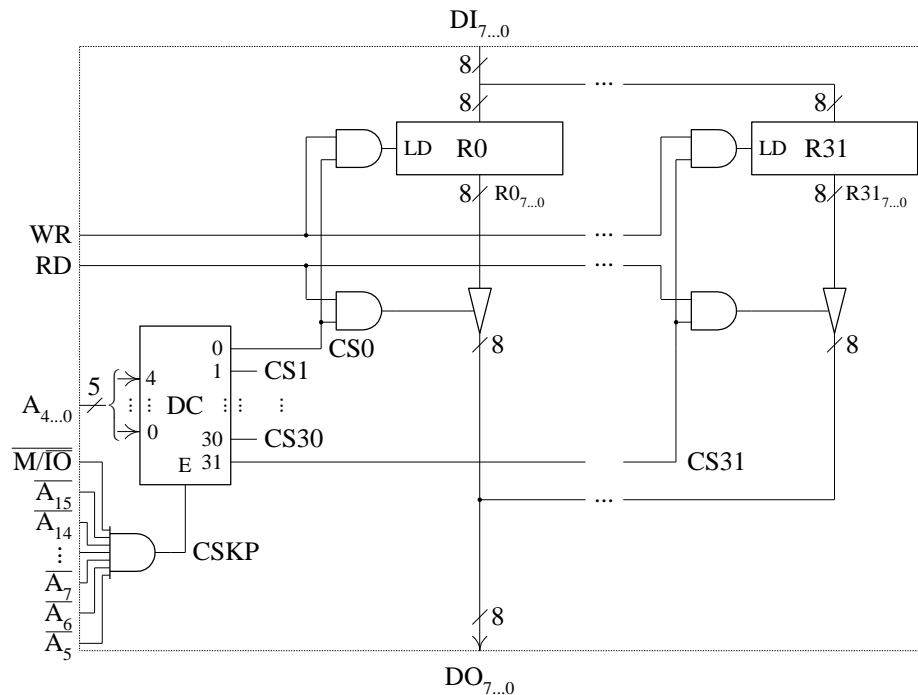


Слика 66 Модул ROM меморије капацитета 4Кx8 бита која попуњава само најнижих 4К адреса од 64К адреса опсега адреса резервисаног за ROM меморију реализован модулима ROM меморије капацитета 256x8 бита

г) Реализација дела контролера периферије са локацијама (регистрима), који попуњава само 32 најниже адресе од 64К адреса опсега адреса резервисаног за контролере периферија приказана је на слици 67.

У контролеру периферије постоје 32 локације (регистра), па је опсег од 64К (2^{16}) адреса резервисан за контролере периферија подељен на 2К (2^{11}) опсега адреса величине 32 (2^5) адресе. Стога у 16 битној адреси $A_{15}A_{14}A_{13}...A_2A_1A_0$ битови $A_{15}A_{14}A_{13}...A_7A_6A_5$ вредностима 0000 0000 000b до 1111 1111 111b одређују о ком од 2К (2^{11}) опсега адреса од 32 (2^5) адреса се ради, док битови $A_4A_3A_2A_1A_0$ вредностима 0 0000b до 1 1111b одређују адресу локације (регистра) унутар опсега од 32 (2^5) адресе. При томе битови $A_{15}A_{14}A_{13}...A_7A_6A_5$ вредностима 0000 0000 000b одређују да се ради о адреси из најнижег опсега адреса од по 32 адресе попуњеног локацијама (регистрима) контролера периферије.

У 16 битној адреси $A_{15}A_{14}A_{13}...A_2A_1A_0$, која припада једином контролеру периферије који постоји у рачунару, битови $A_{15}A_{14}A_{13}...A_7A_6A_5$, који имају вредности 0000 0000 000b, служе за формирање сигнала селекције CСКР модула контролера периферије, док битови $A_4A_3A_2A_1A_0$, који имају вредности 0 0000b до 1 1111b, служе за формирање сигнала селекција CS0 до CS31 једне од 32 локације (регистра) унутар селектованог контролера периферије. При томе сигнал $\overline{M/I0}$ мора да има вредност 0, као индикацију да се ради о адреси из улазно/излазног адресног простора.



Слика 67 Део контролера периферије са локацијама (регистрима) који попуњава само најниже 32 адресе од 64К адреса опсега адреса резервисаног за контролере периферија

ђ) Сигнал којим се детектује да је дата адреса из опсега адреса меморијског адресног простора које нису попуњене RAM и ROM меморијом или опсега адреса улазно/излазног адресног простора које нису попуњене контролерима периферија се добија као ИЛИ функција сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене RAM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене ROM меморијом и сигнала којим се детектује да дата адреса није из опсега адреса које су попуњене контролерима периферија и дат је изразом

$$\begin{aligned} & \overline{M/\overline{IO}} \cdot (\overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} + \dots + \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}}) + \\ & \overline{M/\overline{IO}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} \cdot (\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} + \dots + \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}}) + \\ & \overline{M/\overline{IO}} \cdot (\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} + \dots + \\ & \quad \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5}) \end{aligned}$$

Опсег адреса резервисан за RAM меморију од 15·64К је подељен на 15 опсега адреса величине 64К адреса од којих је само највиших 512К (8·64К) адреса попуњено RAM меморијом. Стога у 20 битној адреси $A_{19}A_{18} \dots A_1A_0$ битови $A_{19}A_{18}A_{17}A_{16}$ вредностима 0000b до 1110b одређују о ком од 15 опсега од 64К адреса се ради. У опсегу од 15·64К адреса попуњено је само нижих 8 опсега од по 64К адреса, док преосталих виших 7 опсега од по 64К адреса није попуњено. За попуњене опсеге од 8·64К адреса битови $A_{19}A_{18}A_{17}A_{16}$ имају вредности 0000b до 0111b, док за преостале непопуњене опсеге од 7·64К адреса битови $A_{19}A_{18}A_{17}A_{16}$ имају вредности 1000b до 1110b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене RAM меморијом генерише према изразу

$$\overline{M/\overline{IO}} \cdot (\overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} + \dots + \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}})$$

Опсег адреса резервисан за ROM меморију од 64К адреса је подељен на 16 опсега адреса величине 4К адреса од којих је само најнижих 4К адреса попуњено ROM меморијом. Стога у 20 битној адреси $A_{19}A_{18} \dots A_1A_0$ битови $A_{19}A_{18}A_{17}A_{16}$ вредностима

1111b одређује да се ради о адреси из опсега од 64К адреса резервисаног за ROM меморију, а битови $A_{15}A_{14}A_{13}A_{12}$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса величине 4К адреса се ради. У опсегу од 64К адреса попуњен је само опсег од најнижих 4К адреса, док преосталих 15 опсега од по 4К адреса није попуњено. За попуњен опсег од 4К адреса битови $A_{15}A_{14}A_{13}A_{12}$ имају вредности 0000b, док за преосталих непопуњених 15 опсега од по 4К адреса битови $A_{15}A_{14}A_{13}A_{12}$ имају вредности 0001b до 0001b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене ROM меморијом генерише према изразу

$$\overline{M/\text{Ю}} \cdot \overline{A_{19}} \cdot \overline{A_{18}} \cdot \overline{A_{17}} \cdot \overline{A_{16}} \cdot (\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} + \dots + A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12})$$

Опсег адреса резервисан за контролере периферија од 64К (2^{16}) адреса је подељен на 2К (2^{11}) опсега адреса величине 32 (2^5) адресе од којих су само најниже 32 адресе попуњене контролером периферије. Стога у 16 битној адреси $A_{15}A_{14}A_{13}\dots A_2A_1A_0$ битови $A_{15}A_{14}A_{13}\dots A_7A_6A_5$ вредностима 0000 0000 000b до 1111 1111 111b одређују о ком од 2К (2^{11}) опсега адреса од 32 (2^5) адреса се ради. У опсегу од 64К (2^{16}) адреса попуњен је само један опсег од најниже 32 адресе, док преостали опсези од по 32 адресе, којих има ($2^{11}-1$) нису попуњени. За попуњен опсег од 32 адресе битови $A_{15}A_{14}A_{13}\dots A_7A_6A_5$ имају вредности 0000 0000 000b, док за преостале непопуњене опсеге од по 32 адресе, којих има ($2^{11}-1$), битови $A_{15}A_{14}A_{13}\dots A_7A_6A_5$ имају вредности 0000 0000 001b до 1111 1111 111b. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене контролером без директног приступа меморији генерише према изразу

$$\overline{M/\text{Ю}} \cdot (\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} + \dots + A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12} \cdot A_{11} \cdot A_{10} \cdot A_9 \cdot A_8 \cdot A_7 \cdot A_6 \cdot A_5)$$

1.1.6 ЗАДАТАК

Посматра се рачунар код кога су меморијски и улазно/излазни адресни простори раздвојени, па на магистрала постоји сигнал $\overline{M/\overline{IO}}$ који вредностима 1 и 0 одређује да ли је адреса из меморијског или улазно/излазног адресног простора, респективно. RAM и ROM меморијама рачунара се приступа помоћу адреса из меморијског адресног простора, док се контролерима периферија рачунара приступа било адресом из меморијског адресног простора било адресом из улазно/излазног адресног простора.

Меморијски адресни простор је 16К адреса, при чему је ширина адресибилне локације 16 бита. Два најнижа опсега адреса од по 256 адреса у меморијском адресном простору су резервисана за контролере периферија и ROM меморију и то нижи опсег за контролере периферија и виши за ROM меморију. Трећи највиши опсег адреса од 62·256 адреса у меморијском адресном простору је резервисан за RAM меморију. Од целокупног опсега адреса резервисаног за контролере периферија попуњене су само најниже четири адресе. Од целокупног опсега адреса резервисаног за ROM меморију попуњено је само најнижих 128 адреса. Од целокупног опсега адреса резервисаног за RAM меморију попуњено је само највиших 8К адреса.

Улазно/излазни адресни простор је 256 адреса, при чему је ширина адресибилне локације 16 бита. Цео опсег адреса од 256 адреса улазно/излазног адресног простора је резервисан за контролере периферија, који имају по четири локације (регистра). У рачунару постоји само један контролер периферије, чије локације (регистри) попуњавају само најниже четири адресе из целокупног опсега адреса улазно/излазног адресног простора.

Локацијама (регистрима) контролера периферије се може приступати и помоћу најниже 4 адресе из опсега адреса меморијског адресног простора резервисаног за контролере периферија и помоћу најниже 4 адресе из опсега адреса улазно/излазног адресног простора.

а) Назначити опсег адреса у меморијском адресном простору, опсег адреса у меморијском адресном простору резервисан за контролере периферија, опсег адреса резервисан за ROM меморију, опсег адреса резервисан за RAM меморију, опсег адреса у меморијском адресном простору попуњен контролером периферије, опсег адреса попуњен ROM меморијом, опсег адреса попуњен RAM меморијом, опсег адреса у улазно/излазном адресном простору и опсег адреса у улазно/излазном адресном простору попуњеном контролером периферије. Резултат представити табеларно.

б) Реализовати део контролера периферије са локацијама (регистрима) које попуњавају само четири најниже адресе и из опсега адреса меморијског адресног простора резервисаног за контролере периферија и из опсега адреса улазно/излазног адресног простора.

в) Реализовати модул ROM меморије чије локације попуњавају само најнижих 128 адреса из опсега адреса резервисаног за ROM меморију користећи чипове 64x8 битова (управљачки улази су **RD** и **CS**).

г) Реализовати модул RAM меморије чије локације попуњавају само највиших 8К адреса из опсега адреса резервисаног за RAM меморију користећи чипове 256x4 бита (управљачки улази су **RD**, **WR** и **CS**).

д) Генерисати сигнал којим се детектује да је дата адреса или из опсега адреса меморијског адресног простора које нису попуњене контролером периферије, ROM

меморијом или RAM меморијом или из улазно/излазног простора које нису попуњене контролером периферије.

Решење:

а) За адресирање локација у меморијском адресном простору величине 16К (2^{14}) адреса потребно је користити 14 битне адресе $A_{13}A_{12}...A_1A_0$, при чему је ширина адресибилне локације 16 бита. Опсег адреса који припада меморијском адресном простору величине 16К (2^{14}) се добија варирањем 14 бита адресе (слика 68). Почетна адреса $A_{13}A_{12}...A_1A_0$ меморијског адресног простора је 00 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h, док је последња адреса 11 1111 1111 1111b, што у хексадецималном запису даје адресу 3FFFh (слика 75).

$A_{13}A_{12}$	$A_{11}A_{10}$	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
0	0	0	0	0	0	0	0	0	0	0	0	опсег адреса у меморијском адресном простору
0	0	0	0	0	0	0	0	0	0	0	1	
-	-	
1	1	1	1	1	1	1	1	1	1	1	0	
1	1	1	1	1	1	1	1	1	1	1	1	

Слика 68 Адресе у опсегу адреса меморијског адресног простора

Меморијски адресни простор од 16K (2^{14}) адреса је подељен на три дела и то најнижа 2 опсега адреса од по 256 (2^8) адреса која су резервисана за контролере периферија и ROM меморију и највиши трећи опсег адреса од $62\cdot 256$ ($(2^6-2)\cdot 2^8$) адреса који је резервисан за RAM меморију. При томе у оквиру најнижа 2 опсега адреса од по 256 (2^8) адреса резервисана за контролере периферија и ROM меморију нижи опсег је резервисан за контролере периферија и виши за ROM меморију. Стога у 14 битној адреси $A_{13}A_{12}\dots A_1A_0$ битови $A_{13}A_{12}A_{11}A_{10}A_9A_8$ вредностима $00\ 0000\text{b}$ до $11\ 1111\text{b}$ одређују о ком од 64 (2^6) опсега адреса од по 256 (2^8) адреса адреса се ради. Од 16K (2^{14}) адреса меморијског адресног простора најнижа два опсега адреса од по 256 (2^8) адреса резервисана су за контролере периферија и ROM меморију и то нижи за контролере периферија, па битови $A_{13}A_{12}A_{11}A_{10}A_9A_8$ имају вредности $00\ 0000\text{b}$, и виши за ROM меморију, па битови $A_{13}A_{12}A_{11}A_{10}A_9A_8$ имају вредности $00\ 0001\text{b}$, док је највиши трећи опсег од $64\cdot 256$ ($(2^6-2)\cdot 2^8$) адреса резервисан за RAM меморију, па битови $A_{13}A_{12}A_{11}A_{10}A_9A_8$ имају вредности $00\ 0010\text{b}$ до $11\ 1111\text{b}$. Преосталих 8 битова 14 битне адресе $A_7\dots A_1A_0$, који имају вредности у опсегу $0000\ 0000\text{b}$ до $1111\ 1111\text{b}$, представљају адресу унутар опсега од 256 (2^8) адреса (слика 69). Стога је почетна адреса $A_{13}A_{12}\dots A_1A_0$ опсега адреса резервисаног за контролере периферија $00\ 0000\ 0000\ 0000\text{b}$, што у хексадецималном запису даје адресу 0000h , док је последња адреса $00\ 0000\ 1111\ 1111\text{b}$, што у хексадецималном запису даје адресу 00FFh . На сличан начин се добија да је почетна адреса $A_{13}A_{12}\dots A_1A_0$ опсега адреса резервисаног за ROM меморију $00\ 0001\ 0000\ 0000\text{b}$, што у хексадецималном запису даје адресу 0100h , док је последња адреса $00\ 0001\ 1111\ 1111\text{b}$, што у хексадецималном запису даје адресу 01FFh , као и да је почетна адреса $A_{13}A_{12}\dots A_1A_0$ опсега адреса резервисаног за RAM меморију $00\ 0010\ 0000\ 0000\text{b}$, што у хексадецималном запису даје адресу 0200h , док је последња адреса $11\ 1111\ 1111\ 1111\text{b}$, што у хексадецималном запису даје адресу 3FFFh (слика 75).

$A_{13}A_{12}$	$A_{11}A_{10}A_9\ A_8$	$A_7\ A_6\ A_5\ A_4$	$A_3\ A_2\ A_1\ A_0$	
0 0	0 0 0 0	0 0 0 0	0 0 0 0	KP
...	
0 0	0 0 0 0	1 1 1 1	1 1 1 1	
0 0	0 0 0 1	0 0 0 0	0 0 0 0	ROM
...	
0 0	0 0 0 1	1 1 1 1	1 1 1 1	
0 0	0 0 1 0	0 0 0 0	0 0 0 0	RAM
...	
0 0	0 0 1 0	1 1 1 1	1 1 1 1	
...	
1 1	1 1 1 1	0 0 0 0	0 0 0 0	
1 1	1 1 1 1	1 1 1 1	1 1 1 1	

Слика 69 Адресе у меморијском адресном простору у опсезима адреса резервисаним за контролере периферија, ROM меморију и RAM меморију

У опсегу адреса меморијског адресног простора резервисаном за контролере периферија од 256 (2^8) адреса контролерима периферија су попуњене само најниже 4 (2^2) адресе. Стога треба узети да је опсег адреса резервисан за контролере периферија од 256 (2^8) адреса подељен на 64 (2^6) опсега адреса величине 4 (2^2) адресе од којих су само најниже 4 (2^2) адресе попуњене контролерима периферија. У овом случају у 14 битној адреси $A_{13}A_{12}...A_1A_0$ битови $A_{13}A_{12}A_{11}A_{10}A_9A_8$ вредностима 00 0000b одређују да се ради о адреси из опсега адреса од 256 (2^8) адреса резервисаном за контролере периферија, а битови $A_7A_6A_5A_4A_3A_2$ вредностима 0000 00b до 1111 11b одређују о ком од 64 (2^6) опсега адреса од 4 (2^2) адресе се ради. Пошто су од 256 (2^8) адреса попуњене само најниже 4 (2^2) адресе, битови $A_7A_6A_5A_4A_3A_2$ имају вредности 0000 00b. Преостала 2 бита 14 битне адресе A_1A_0 , који имају вредности у опсегу 00b до 11b, представљају адресу локације (регистра) унутар опсега од 4 (2^2) адресе (слика 70). Стога је почетна адреса $A_{13}A_{12}...A_1A_0$ у опсегу адреса попуњеном контролером периферије 00 0000 0000 0000b, што у хексадецималном запису даје адресу 0000h, док је последња адреса 00 0000 0000 0011b, што у хексадецималном запису даје адресу 0003h (слика 75).

$A_{13}A_{12}$	$A_{11} A_{10}A_9 A_8$	$A_7 A_6 A_5 A_4$	$A_3 A_2$	$A_1 A_0$	
0 0	0 0 0 0	0 0 0 0	0 0	0 0	попуњен КР
...	
0 0	0 0 0 0	0 0 0 0	0 0	1 1	
0 0	0 0 0 0	0 0 0 0	0 1	0 0	не попуњен КР
...	
0 0	0 0 0 0	0 0 0 0	0 1	1 1	
...	
0 0	0 0 0 0	1 1 1 1	1 1	0 0	ROM
...	
0 0	0 0 0 0	1 1 1 1	1 1	1 1	
0 0	0 0 1 0	0 0 0 0	0 0	0 0	RAM
...	
1 1	1 1 1 1	1 1 1 1	1 1	1 1	

Слика 70 Адресе у меморијском адресном простору у опсегу адреса попуњеном контролером периферије

У опсегу адреса меморијског адресног простора резервисаном за ROM меморију од 256 (2^8) адреса ROM меморијом је попуњено само најнижих 128 (2^7) адреса. Стога треба узети да је опсег адреса резервисан за ROM меморију од 256 (2^8) адреса подељен на 2 (2^1) опсега адреса величине 128 (2^7) адреса од којих је само најнижих 128 (2^7) адреса попуњено ROM меморијом. У овом случају у 14 битној адреси $A_{13}A_{12}...A_1A_0$ битови $A_{13}A_{12}A_{11}A_{10}A_9A_8$ вредностима 00 0001b одређују да се ради о адреси из опсега адреса од 256 (2^8) адреса резервисаном за ROM меморију, а бит A_7 вредностима 0 и 1 одређују о ком од 2 (2^1) опсега адреса од 128 (2^7) адреса се ради. Пошто је од 256 (2^8) адреса попуњено само нижих 128 (2^7) адреса, бит A_7 има вредност 0. Преосталих 7 битова 14 битне адресе $A_6A_5...A_1A_0$, који имају вредности у опсегу од 000 0000b до 111 1111b, представљају адресу локације унутар опсега од 128 (2^7) адреса (слика 71). Стога је почетна адреса $A_{13}A_{12}...A_1A_0$ у опсегу адреса попуњеном ROM меморијом 00 0001 0000 0000b, што у хексадецималном запису даје адресу 0100h, док је последња адреса 00 0001 0111 1111b, што у хексадецималном запису даје адресу 017Fh (слика 75).

$A_{13}A_{12}$	$A_{11}A_{10}A_9 A_8$	A_7	$A_6 A_5 A_4$	$A_3 A_2 A_1 A_0$	
0 0	0 0 0 0	0	0 0 0 0	0 0 0 0	КР
...	
0 0	0 0 0 0	1	1 1 1 1	1 1 1 1	
0 0	0 0 0 1	0	0 0 0 0	0 0 0 0	попуњен ROM
...	
0 0	0 0 0 1	0	1 1 1 1	1 1 1 1	
0 0	0 0 0 1	1	0 0 0 0	0 0 0 0	не попуњен ROM
...	
0 0	0 0 0 1	1	1 1 1 1	1 1 1 1	
0 0	0 0 1 0	0	0 0 0 0	0 0 0 0	RAM
...	
1 1	1 1 1 1	1	1 1 1 1	1 1 1 1	

Слика 71 Адресе у меморијском адресном простору у опсегу адреса попуњеном ROM меморијом

У опсегу адреса меморијског адресног простора резервисаном за RAM меморију од $62 \cdot 256$ ($(2^6 - 2) \cdot 2^8$) адреса, који се састоји од 62 опсега адреса величине 256 адреса, RAM меморијом је попуњено само највиших 8К ($32 \cdot 256$) адреса. Стога у 14 битној адреси $A_{13}A_{12} \dots A_1A_0$ битови $A_{13}A_{12}A_{11}A_{10}A_9A_8$ вредностима 00 0010b до 11 111b одређују о ком од 62 опсега адреса од 256 адреса резервисаним за RAM меморију се ради. Пошто је од $62 \cdot 256$ адреса попуњено само највиших 8К ($32 \cdot 256$) адреса, битови $A_{13}A_{12}A_{11}A_{10}A_9A_8$ имају вредности 10 0000b до 11 1111b. Преосталих 8 битова 14 битне адресе $A_7A_6 \dots A_1A_0$, који имају вредности у опсегу од 0000 0000b до 1111 1111b, представљају адресу локације унутар опсега од 256 (2^8) адреса (слика 72). Стога је почетна адреса $A_{13}A_{12} \dots A_1A_0$ у опсегу адреса попуњеном RAM меморијом 10 0000 0000 0000b, што у хексадецималном запису даје адресу 2000h, док је последња адреса 11 1111 1111 1111b, што у хексадецималном запису даје адресу 3FFFh (слика 75).

$A_{13}A_{12}$	$A_{11}A_{10}$	$A_9 A_8$	$A_7 A_6 A_5 A_4$	$A_3 A_2 A_1 A_0$	
0 0	0 0	0 0	0 0 0 0	0 0 0 0	КР
...	
0 0	0 0	0 0	1 1 1 1	1 1 1 1	
0 0	0 0	0 1	0 0 0 0	0 0 0 0	ROM
...	
0 0	0 0	0 1	1 1 1 1	1 1 1 1	
0 0	0 0	1 0	0 0 0 0	0 0 0 0	не попуњен RAM
...	
0 0	0 0	1 0	1 1 1 1	1 1 1 1	
...	
0 1	1 1	1 1	0 0 0 0	0 0 0 0	
...	
0 1	1 1	1 1	1 1 1 1	1 1 1 1	
1 0	0 0	0 0	0 0 0 0	0 0 0 0	попуњен RAM
...	
1 0	0 0	0 0	1 1 1 1	1 1 1 1	
1 0	0 0	0 1	0 0 0 0	0 0 0 0	
...	
1 0	0 0	0 1	1 1 1 1	1 1 1 1	
...	
1 1	1 1	1 0	0 0 0 0	0 0 0 0	
...	
1 1	1 1	1 0	1 1 1 1	1 1 1 1	
1 1	1 1	1 1	0 0 0 0	0 0 0 0	
...	
1 1	1 1	1 1	1 1 1 1	1 1 1 1	

Слика 72 Адресе у меморијском адресном простору у опсегу адреса попуњеном RAM меморијом

За адресирање локација у улазно/излазном адресном простору величине $256 (2^8)$ адреса потребно је користити 8 битне адресе $A_7A_6...A_1A_0$, при чему је ширина адресибилне локације 16 бита. Опсег адреса који припада улазно/излазном адресном простору величине $256 (2^8)$ адреса се добија варирањем 8 битоа адресе (слика 73). Почетна адреса $A_7A_6...A_1A_0$ улазно/излазног адресног простора је $0000\ 0000b$, што у хексадецималном запису даје адресу $00h$, док је последња адреса $1111\ 1111b$, што у хексадецималном запису даје адресу Ffh (слика 75).

A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
0	0	0	0	0	0	0	0	опсег адреса у улазно/излазном адресном простору
0	0	0	0	0	0	0	1	
...	
1	1	1	1	1	1	1	0	
1	1	1	1	1	1	1	1	

Слика 73 Адресе у опсегу адреса улазно/излазног адресног простора

У опсегу адреса улазно/излазног адресног простора резервисаном за контролере периферија од $256 (2^8)$ адреса контролером периферије су попуњене само најниже $4 (2^2)$ адресе. Стога треба узети да је опсег адреса резервисан за контролере периферија од $256 (2^8)$ адреса подељен на $64 (2^6)$ опсега адреса величине $4 (2^2)$ адресе од којих су само најниже $4 (2^2)$ адресе попуњене контролером периферије. У овом случају у 8 битној адреси $A_7A_6...A_1A_0$ битови $A_7A_6A_5A_4A_3A_2$ вредностима $0000\ 00b$ до $1111\ 11b$ одређују о ком од $64 (2^6)$ опсега адреса од $4 (2^2)$ адресе се ради. Пошто су од $256 (2^8)$ адреса попуњене само најниже $4 (2^2)$ адресе, битови $A_7A_6A_5A_4A_3A_2$ имају вредности $0000\ 00b$. Преостала 2 бита 8 битне адресе A_1A_0 , који имају вредности у опсегу од $00b$ до $11b$, представљају адресу локације (регистра) унутар опсега од $4 (2^2)$ адресе (слика 74). Стога је почетна адреса $A_7A_6...A_1A_0$ у опсегу адреса попуњеном контролером периферије $0000\ 0000b$, што у хексадецималном запису даје адресу $00h$, док је последња адреса $0000\ 0011b$, што у хексадецималном запису даје адресу $03h$ (слика 75).

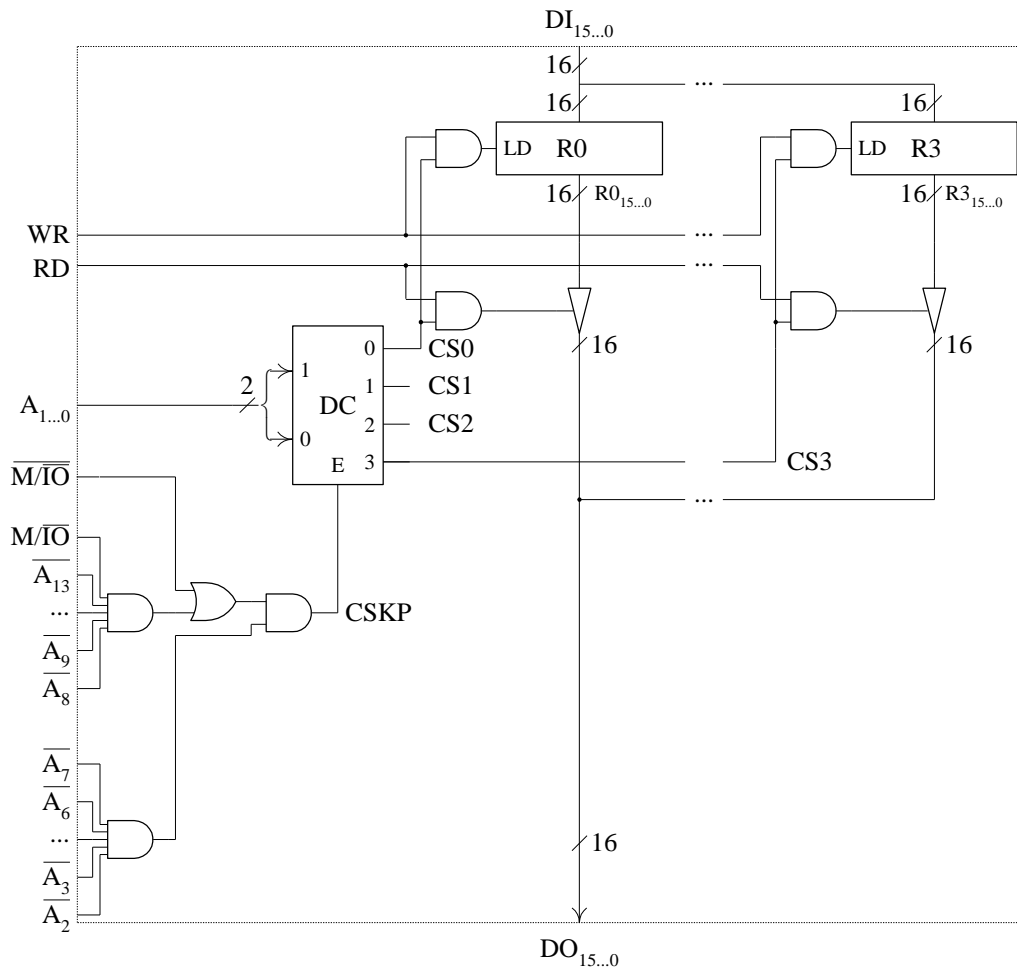
A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
0	0	0	0	0	0	0	0	попуњен КР
...	
0	0	0	0	0	0	1	1	
0	0	0	0	0	1	0	0	не попуњен КР
...	
0	0	0	0	0	1	1	1	
...	
1	1	1	1	1	1	0	0	
...	
1	1	1	1	1	1	1	1	

Слика 74 Адресе у опсегу адреса улазно/излазног адресног простора попуњеном контролером периферије

Опсези адреса	M/\overline{IO}	Прва адреса	Последња адреса
Опсег адреса меморијског адресног простора	1	0000h	3FFFh
Опсег адреса меморијског адресног простора резервисан за контролере периферија	1	0000h	00FFh
Опсег адреса меморијског адресног простора резервисан за ROM меморију	1	0100h	01FFh
Опсег адреса меморијског адресног простора резервисан за RAM меморију	1	0200h	3FFFh
Опсег адреса меморијског адресног простора попуњен контролерима периферија	1	0000h	0003h
Опсег адреса меморијског адресног простора попуњен ROM меморијом	1	0100h	017Fh
Опсег адреса меморијског адресног простора попуњен RAM меморијом	1	2000h	3FFFh
Опсег адреса улазно/излазног адресног простора	0	00h	FFh
Опсег адреса улазно/излазног адресног простора попуњен контролерима периферија	0	00h	03h

Слика 75 Опсези адреса

б) Реализација дела контролера периферије са локацијама (регистрима), који попуњава само 4 најниже адресе од 256 адреса опсега адреса резервисаног за контролере периферија и у меморијском и у улазно/излазном адресном простору приказана је на слици 76. Локацијама (регистрима) контролера периферије се може приступити било адресом из меморијског адресног простора било адресом из улазно/излазног простора. Адреса из меморијског адресног простора има 14 битова, док адреса из улазно/излазног адресног простора има 8 битова. При томе сигнал M/\overline{IO} који вредностима 1 и 0 одређује да ли је адреса из меморијског адресног простора или улазно/излазног адресног простора, респективно.



Слика 76 Део контролера периферије са локацијама (регистрима) који попуњава само најниже 4 адресе од 256 адреса опсега адреса резервисаног за контролере периферија и у меморијском и у улазно/излазном адресном простору

Када се за адресирање неке од 4 локације (регистра) контролера периферије користи адреса из меморијског адресног простора, опсег од 16К (2^{14}) адреса меморијског адресног простора је најпре подељен на 64 (2^6) опсега адреса величине 256 (2^8) адреса, а затим је опсег од 256 (2^8) адреса резервисан за контролере периферија подељен на 64 (2^6) опсега адреса величине 4 (2^2) (слика 70). Стога у 14 битној адреси $A_{13}A_{12}...A_1A_0$ најпре 6 најстаријих битова $A_{13}...A_9A_8$ вредностима 00 0000b до 11 1111b одређују о ком од 64 опсега адреса од 256 адреса се ради, затим битови $A_7...A_2$ вредностима 0000 00b до 1111 11b одређују о ком од 64 опсега адреса од 4 адресе се ради и на крају најмлађа 2 бита A_1A_0 вредностима 00b до 11b одређују адресу локације (регистра) унутар опсега од 4 адресе. При томе битови $A_{13}...A_9A_8$ вредностима 00 0000b одређују да се ради о адреси из опсега адреса од 64 опсега адреса резервисаног за контролере периферија и битови $A_7...A_2$ вредностима 0000 00b одређује да се ради о адреси из најнижег од 64 опсега адреса од по 4 адресе попуњеног контролером периферије.

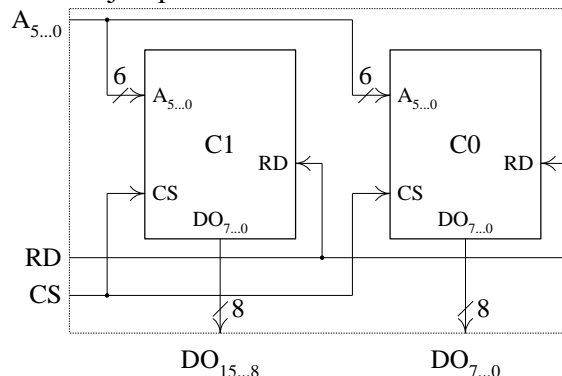
У 14 битној адреси $A_{13}A_{12}...A_1A_0$ која припада попуњеном контролеру периферије, битови $A_{13}...A_9A_8$, који имају вредности 00 0000b, и битови $A_7...A_2$, који имају вредности 0000 00b, служе за формирање сигнала селекције CSKP контролера периферије капацитета 4 локације (регистра), док битови A_1A_0 , који имају вредности 00b до 11b, служе за формирање сигнала селекција CS0 до CS3 једне од 4 локације (регистра) унутар селектованог контролера периферије. При томе сигнал $\overline{M/\overline{IO}}$ мора

да има вредност 1 као индикацију да се ради о адреси из меморијског адресног простора.

Када се за адресирање неке од 4 локације (регистра) контролера периферије користи адреса из улазно/излазног адресног простора, опсег од 2^8 адреса улазно/излазног адресног простора је подељен на 64 (2^6) опсега адреса величине 4 (2^2) адресе (слика 74). Стога у 8 битној адреси $A_7...A_1A_0$ битови $A_7...A_2$ вредностима 0000 00b до 1111 11b одређују о ком од 64 опсега адреса од 4 адресе се ради док најмлађа 2 бита A_1A_0 вредностима 00b до 11b одређују адресу локације (регистра) унутар опсега од 4 адресе. При томе битови $A_7...A_2$ вредностима 0000 00b одређује да се ради о адреси из најнижег од 64 опсега адреса од по 4 адресе попуњеног контролером периферије.

У 8 битној адреси $A_7A_6...A_1A_0$ која припада попуњеном контролеру периферије, битови $A_7...A_2$, који имају вредности 0000 00b, служе за формирање сигнала селекције CСКР контролера периферије капацитета 4 локације (регистра), док битови A_1A_0 , који имају вредности 00b до 11b, служе за формирање сигнала селекција CS0 до CS3 једне од 4 локације (регистра) унутар селектованог контролера периферије. При томе сигнал $\overline{M/IO}$ мора да има вредност 0 као индикацију да се ради о адреси из улазно/излазног адресног простора.

в) Реализација ROM меморије капацитета 128x16 битова која попуњава само најнижих 128 адреса од 256 адреса опсега адреса резервисаног за ROM меморију користећи чипове 64x8 битова је представљена на сликама 77 и 78.



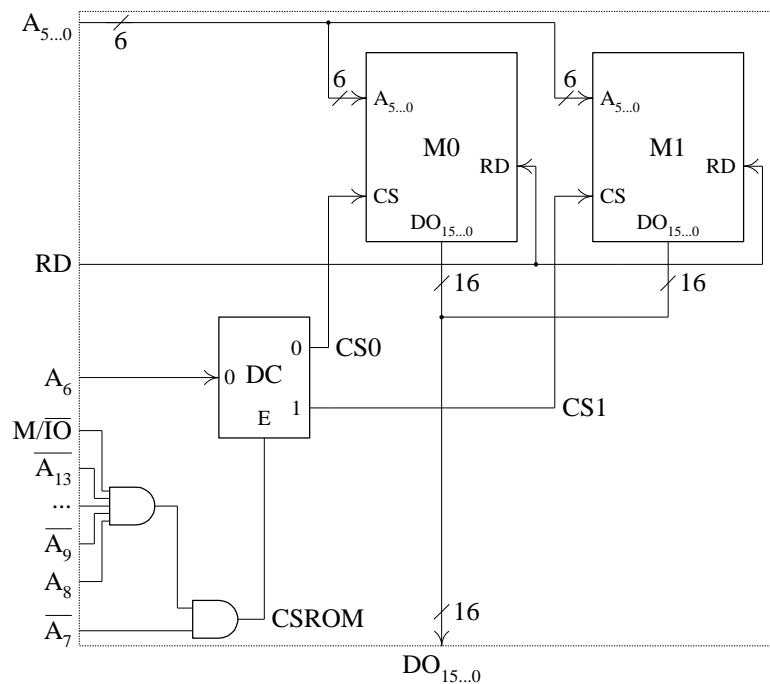
Слика 77 Модул ROM меморије капацитета 64x16 битова реализован чиповима капацитета 64x8 битова

У реализованој ROM меморији капацитета 128x16 битова, најпре 2 чипа капацитета 64x8 битова служе за смештање 8 нижих и 8 виших битова 16 битне бинарне речи у реализованом модулу ROM меморије капацитета 64x16 битова (слика 77) и затим 2 модула ROM меморије капацитета 64x16 битова служе за покривање 2 опсега адреса од по 64 адресе у реализованом модулу ROM меморије капацитета 128x16 битова (слика 78). За реализацију ROM меморије капацитета 128x16 битова потребна су 4 чипа капацитета 64x8 битова.

При оваквој реализацији ROM меморије капацитета 128x16 битова опсег од 16 К (2^{14}) адреса је најпре подељен на 64 (2^6) опсега адреса величине 256 (2^8) адреса, затим је опсег од 256 (2^8) адреса резервисан за ROM меморију подељен на 2 (2^1) опсега адреса величине 128 (2^7) адреса и на крају је нижи опсег од 128 (2^7) адреса подељен на 2 (2^1) опсега адреса величине 64 (2^6) адреса (слика 71). Стога у 14 битној адреси $A_{13}A_{12}...A_1A_0$ најпре 6 најстаријих битова $A_{13}A_{12}...A_9A_8$ вредностима 00 0000b до 11 1111b одређују о ком од 64 опсега адреса од 256 адреса се ради, затим у опсегу од 256 адреса резервисаном за ROM меморију бит A_7 вредностима 0 и 1 одређују о ком од 2

опсега адреса од 128 адреса се ради, потом бит A_6 вредностима 0 и 1 одређују о ком од 2 опсега адреса од 64 адресе се ради и на крају најмлађих 6 битова $A_5...A_1A_0$ вредностима 00 0000b до 11 1111b одређују адресу локације унутар опсега од 64 адресе. При томе битови $A_{13}A_{12}...A_9A_8$ вредностима 00 0001b одређују да се ради о адреси из опсега адреса од 256 адреса резервисаног за ROM меморију капацитета 256×16 битова и бит A_7 вредношћу 0 одређује да се ради о адреси из нижег опсега адреса од по 128 адреса попуњеног модулом ROM меморије капацитета 128×16 битова.

У 14 битној адреси $A_{13}A_{12}...A_1A_0$ која припада попуњеној ROM меморији, битови $A_{13}A_{12}...A_9A_8$, који имају вредности 00 0001b, и бит A_7 , који има вредност 0, служе за формирање сигнала селекције CSROM модула ROM меморије капацитета 128×16 бита, бит A_6 , који има вредност 0, служи за формирање сигнала селекција CS0 и CS1 једног од 2 модула ROM меморије капацитета 64×16 битова унутар селектованог модула ROM меморије капацитета 128×16 битова и битови $A_5...A_1A_0$ представљају адресу локације унутар селектованог модула ROM меморије капацитета 64×16 битова. При томе сигнал $\overline{M/\overline{IO}}$ мора да има вредност 1 као индикацију да се ради о адреси из меморијског адресног простора.

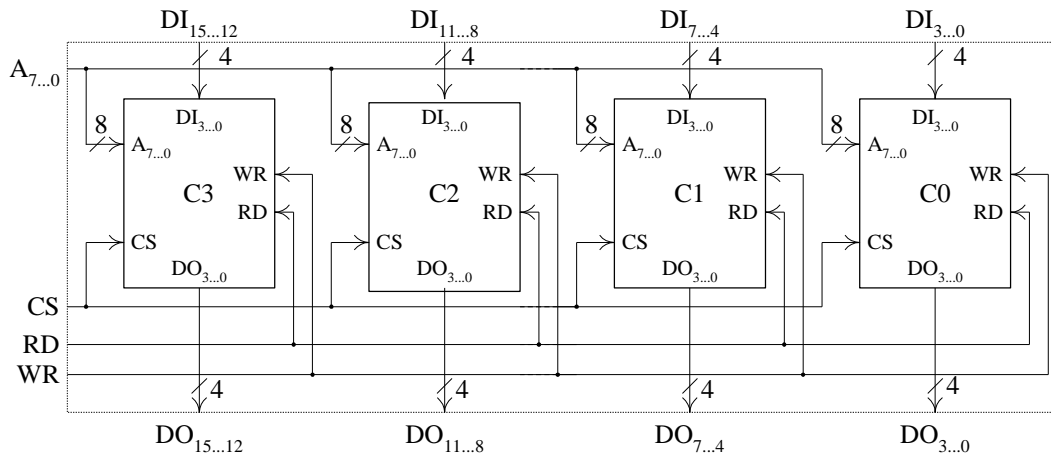


Слика 78 Модул ROM меморије капацитета 128×16 битова која попуњава само нижих 128 адреса од 256 адреса опсега адреса резервисаног за ROM меморију реализован модулима ROM меморије капацитета 64×16 битова

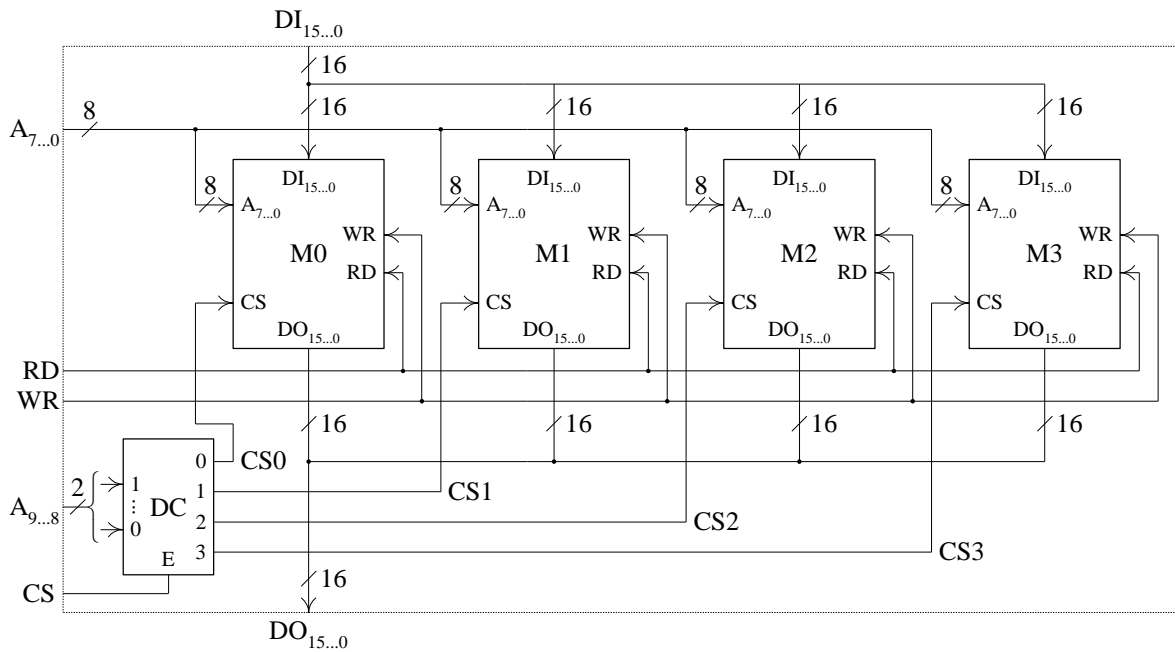
г) Реализација RAM меморије капацитета $8K \times 16$ битова која попуњава само виших $8K$ ($32 \cdot 256$) адреса од $62 \cdot 256$ адреса опсега адреса резервисаног за RAM меморију користећи чипове 256×4 бита је представљена на сликама 79, 80 и 81.

У реализованој RAM меморији капацитета $8K \times 16$ битова, најпре четири чипа капацитета 256×4 бита служе за смештање четири групе од по четири бита (0 до 3, 4 до 7, 8 до 11, 12 до 15) 16 битне бинарне речи у реализованом модулу RAM меморије капацитета 256×16 битова (слика 79), затим четири модула RAM меморије капацитета 256×16 битова служе за покривање четири опсега адреса од по 256 адреса у реализованом модулу RAM меморије капацитета $1K \times 16$ битова (слика 80) и на крају 8 модула RAM меморије капацитета $1K \times 16$ битова служе за покривање $8K$ адреса RAM

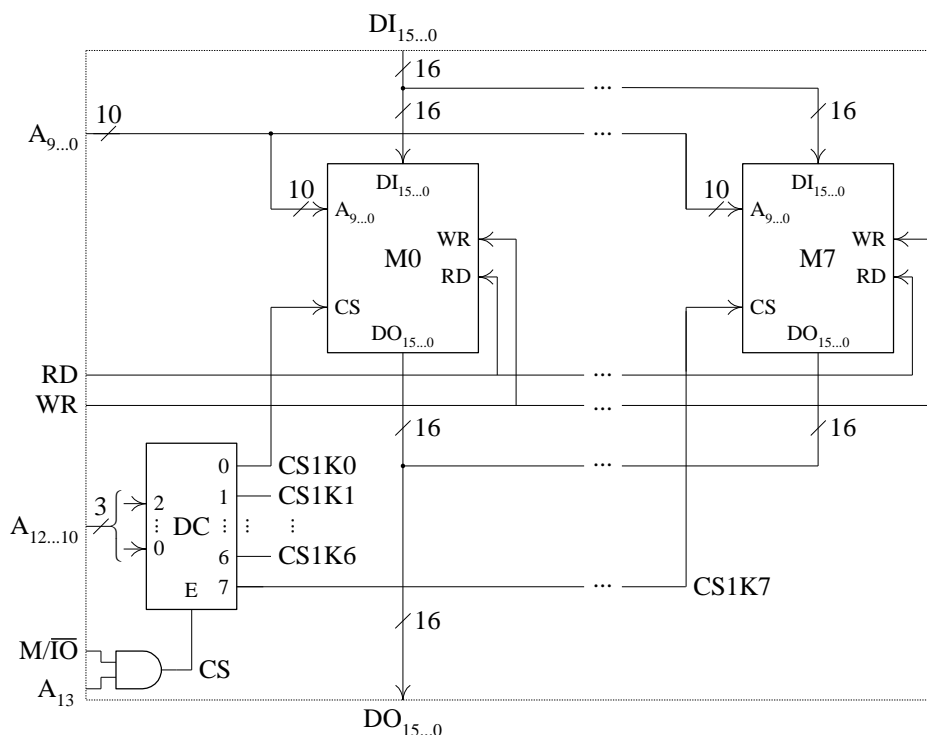
меморијом (слика 81). За реализацију RAM меморије капацитета 8Кx16 битова потребно је 128 чипова капацитета 256x4 бита.



Слика 79 Модул RAM меморије капацитета 256x16 битова реализован чиповима капацитета 256x4 бита



Слика 80 Модул RAM меморије капацитета 1Кx16 битова реализован модулима RAM меморије капацитета 256x16 битова



Слика 81 Модул RAM меморије капацитета 8Кx16 битова која попуњава виших 8К адреса од 62·256 адреса опсега адреса резервисаног за RAM меморију реализован модулима RAM меморије капацитета 1Кx16 бита

При оваквој реализацији RAM меморије капацитета 8Кx16 битова опсег од 2^{14} адреса је најпре подељен на 16 (2^4) опсега адреса величине 1К (2^{10}) адреса, а затим је и сваки од виших 8 опсега од по 1К (2^{10}) адреса подељен на 4 (2^2) опсега адреса величине 256 (2^8) адреса (слика 72). Стога у 14 битној адреси $A_{13}A_{12}...A_1A_0$ најпре четири најстарија бита $A_{13}A_{12}A_{11}A_{10}$ вредностима 0000b до 1111b одређују о ком од 16 опсега адреса од 1К адреса се ради, затим за сваки од виших 8 опсега од по 1К (2^{10}) адреса два млађа бита A_9A_8 вредностима 00b до 11b одређују о ком од четири опсега адреса од 256 адреса се ради и на крају 8 најмлађих битоа $A_7...A_1A_0$ вредностима 0000 0000b до 1111 1111b одређују адресу локације унутар опсега од 256 адреса. При томе битови $A_{13}A_{12}A_{11}A_{10}$ вредностима 1000b до 1111b одређују да се ради о адреси из 8 виших опсега адреса од по 1К адреса попуњених модулима RAM меморије капацитета 1Кx16 битоа.

У 14 битној адреси $A_{13}A_{12}...A_1A_0$ која припада попуњеној RAM меморији, битови $A_{13}A_{12}A_{11}A_{10}$, који имају вредности 1000b до 1111b, служе за формирање сигнала селекције CS1K0 до CS1K7 модула RAM меморије капацитета 1Кx16 битоа (слика 81), битови A_9A_8 , који имају вредности 00b до 11b, служе за формирање сигнала селекција CS0 до CS3 једног од 4 модула RAM меморије капацитета 256x16 битоа унутар селектованог модула RAM меморије капацитета 1Кx16 битоа (слика 80) и битови $A_7...A_1A_0$ представљају адресу локације унутар селектованог модула RAM меморије капацитета 256x16 битоа. При томе сигнал $M/\bar{I}\bar{O}$ мора да има вредност 1 као индикацију да се ради о адреси из меморијског адресног простора.

д) Сигнал којим се детектује да је дата адреса из опсега адреса меморијског адресног простора који није попуњен контролером периферије, ROM меморијом или RAM меморијом или из опсега адреса улазно/излазног адресног простора који није попуњен контролером периферије се добија као ИЛИ функција сигнала којим се детектује да дата адреса није из опсега адреса меморијског адресног простора који је попуњен

контролерима периферије, сигнала којим се детектује да дата адреса није из опсега адреса меморијског адресног простора који је попуњен ROM меморијом, сигнала којим се детектује да дата адреса није из опсега адреса меморијског адресног простора који је попуњен RAM меморијом и сигнала којим се детектује да дата адреса није из опсега адреса улазно/излазног адресног простора који није попуњен контролером периферије и дат је изразом

$$\begin{aligned} & \overline{M/\overline{IO}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot (\overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} + \dots + \\ & A_7 \cdot A_6 \cdot A_5 \cdot A_4 \cdot A_3 \cdot A_2) + \\ & \overline{M/\overline{IO}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot A_7 + \\ & \overline{M/\overline{IO}} \cdot (\overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} + \dots + A_{13} \cdot A_{12} \cdot A_{11} \cdot A_{10} \cdot A_9 \cdot A_8) + \\ & \overline{M/\overline{IO}} \cdot (\overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} + \dots + A_7 \cdot A_6 \cdot A_5 \cdot A_4 \cdot A_3 \cdot A_2) \end{aligned}$$

Опсег адреса у меморијском адресном простору од 256 (2^8) адреса резервисан за контролере периферија подељен је на 64 (2^6) опсега адреса величине 4 (2^2) адреса од којих је само један опсег и то опсег од најниже 4 (2^2) адресе попуњен контролером периферије (слика 70). У овом случају у 14 битној адреси $A_{13}A_{12}...A_1A_0$ битови $A_{13}A_{12}...A_9A_8$ вредностима 00 0000b одређују да се ради о адреси из опсега адреса од 256 (2^8) адреса резервисаног за контролере периферија, а битови $A_7A_6...A_3A_2$ вредностима 0000 00b до 1111 11b одређују о ком од 64 (2^6) опсега адреса од 4 (2^2) адресе се ради. Од 64 (2^6) опсега адреса од по 4 (2^2) адресе контролером периферије је попуњен је само један опсег и то опсег од најниже 4 (2^2) адресе, док преостала 63 опсега од по 4 (2^2) адресе нису попуњена. За попуњен опсег од 4 (2^2) адресе битови $A_7A_6...A_3A_2$ имају вредности 0000 00b, док за преостала 63 непопуњена опсега од по 4 (2^2) адресе битови $A_7A_6...A_3A_2$ имају вредности 0000 01b до 1111 11b. Поред тога за адресу из меморијског адресног простора сигнал $\overline{M/\overline{IO}}$ има вредност 1. Стога се сигнал којим се детектује да дата адреса није из опсега адреса меморијског адресног простора које су попуњене контролером периферије генерише према изразу

$$\begin{aligned} & \overline{M/\overline{IO}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot (\overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} + \dots + \\ & A_7 \cdot A_6 \cdot A_5 \cdot A_4 \cdot A_3 \cdot A_2) \end{aligned}$$

Опсег адреса у меморијском адресном простору од 256 (2^8) адреса резервисан за ROM меморију подељен је на 2 (2^1) опсега адреса величине 128 (2^7) адреса од којих је само један опсег и то опсег од нижих 128 (2^7) адреса попуњен ROM меморијом (слика 71). У овом случају у 14 битној адреси $A_{13}A_{12}...A_1A_0$ битови $A_{13}A_{12}...A_9A_8$ вредностима 00 0001b одређују да се ради о адреси из опсега адреса од 256 (2^8) адреса резервисаног за ROM меморију, а бит A_7 вредностима 0 и 1 одређују о ком од 2 опсега адреса од по 128 адреса се ради. Од 2 опсега адреса од по 128 адреса ROM меморијом је попуњен је само један опсег и то опсег од нижих 128 (2^7) адреса, док опсег од виших 128 (2^7) адреса није попуњен. За попуњен опсег од 128 (2^7) адреса бит A_7 има вредност 0, док за непопуњен опсег од 128 (2^7) адреса бит A_7 има вредност 1. Поред тога за адресу из меморијског адресног простора сигнал $\overline{M/\overline{IO}}$ има вредност 1. Стога се сигнал којим се детектује да дата адреса није из опсега адреса меморијског адресног простора које су попуњене ROM меморијом генерише према изразу

$$\overline{M/\overline{IO}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot A_8 \cdot A_7$$

Опсег адреса у меморијском адресном простору од $62 \cdot 256 ((2^6 - 2) \cdot 2^8)$ адреса резервисан за RAM меморију подељен је на 62 опсега адреса величине 256 адреса од који је само виших 32 опсега од 256 (2^8) адреса попуњено RAM меморијом (слика 72). Стога у 14 битној адреси $A_{13}A_{12} \dots A_1A_0$ битови $A_{13}A_{12} \dots A_9A_8$ вредностима 00 0010b до 11 1111b одређују о ком од 62 опсега адреса од 256 адреса резервисаним за RAM меморију се ради. У опсегу од $62 \cdot 256 ((2^6 - 2) \cdot 2^8)$ адреса попуњено је само виших 32 опсега од по 256 (2^8) адреса, док преосталих 30 опсега од по 256 (2^8) адреса није попуњено. За попуњена 32 опсега од по 256 (2^8) адреса битови $A_{13}A_{12} \dots A_9A_8$ имају вредност 10 0000b до 11 1111b, док за преосталих непопуњених 30 опсега од по 256 (2^8) адреса битови $A_{13}A_{12} \dots A_9A_8$ имају вредност 00 0010b до 01 1111b. Поред тога за адресу из меморијског адресног простора сигнал $\overline{M/\overline{IO}}$ има вредност 1. Стога се сигнал којим се детектује да дата адреса није из опсега адреса које су попуњене RAM меморијом генерише према изразу

$$\overline{M/\overline{IO}} \cdot (\overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} + \dots + \overline{A_{13}} \cdot A_{12} \cdot A_{11} \cdot A_{10} \cdot A_9 \cdot A_8)$$

Опсег адреса у улазно/излазном адресном простору од 256 (2^8) адреса резервисан за контролере периферија подељен је на 64 (2^6) опсега адреса величине 4 (2^2) адреса од којих је само један опсег и то опсег од најниже 4 (2^2) адресе попуњен контролером периферије (слика 74). Стога у 8 битној адреси $A_7A_6 \dots A_1A_0$ битови $A_7A_6 \dots A_3A_2$ вредностима 0000 00b до 1111 11b одређују о ком од 64 (2^6) опсега адреса од 4 (2^2) адресе се ради. Од 64 (2^6) опсега адреса од по 4 (2^2) адресе контролером периферије је попуњен је само један опсег и то опсег од најниже 4 (2^2) адресе, док преостала 63 опсега од по 4 (2^2) адресе нису попуњена. За попуњен опсег од 4 (2^2) адресе битови $A_7A_6 \dots A_3A_2$ имају вредности 0000 00b, док за преостала 63 непопуњена опсега од по 4 (2^2) адресе битови $A_7A_6 \dots A_3A_2$ имају вредности 0000 01b до 1111 11b. Поред тога за адресу из улазно/излазног адресног простора сигнал $\overline{M/\overline{IO}}$ има вредност 0. Стога се сигнал којим се детектује да дата адреса није из опсега адреса улазно/излазног адресног простора које су попуњене контролером периферије генерише према изразу

$$\overline{\overline{M/\overline{IO}}} \cdot (\overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} + \dots + \overline{A_7} \cdot A_6 \cdot A_5 \cdot A_4 \cdot A_3 \cdot A_2)$$