

<b>Предмет: Архитектура рачунара</b>
<b>Вежба: Магистрала</b>
<b>Група: 0</b>
<b>Датум и време:</b>
<b>Име и презиме:</b>
<b>Број индекса:</b>
<p>1. Адресни простор троадресног процесора је 32МВ, а адресибилна јединца је 16-битна реч (W). Улазно/излазни и меморијски адресни простори су раздвојени. Магистрала је синхрона. Назначити све релевантне линије системске магистрале и прецизно назначити ширине адресне и магистрале података.</p>
a) A23-0, D15-0, RD, WR, M/#IO
b) A24-0, D15-0, RD, WR, M/#IO
c) A23-0, D16-0, RD, WR, M/#IO
d) A23-0, D15-0, RD, WR, FC
<p>2. Код неког једноадресног процесора улазно/излазни и меморијски адресни простори су раздвојени, а магистрала је синхрона. Које је дешавање на магистрали ако су сигнали контролне магистрале: RD=1, WR=0, M/#IO=1?</p>
a) циклус читања из меморије
b) циклус уписа у меморију
c) циклус читања са периферије
d) циклус уписа на периферију
<p>3. Адресни простор троадресног процесора је 32МВ, а адресибилна јединца је 16-битна реч (W), при чему је највиших 2МВ резервисано за ROM меморију. Улазно/излазни и меморијски адресни простори су раздвојени. Величина физичке RAM меморије је 12МВ и заузима највиши део адресног простора расположивог за RAM меморију. Који опсег адреса покрива физичка RAM меморија?</p>
a) 900000h-EFFFFFFh
b) 100000h-FFFFFFFh
c) 1200000h-1EFFFFFFh
d) 000000h-16000h