

Архитектура рачунара



Садржај

- Увод
- Циљеви и исход предмета
- Наставници
- Програм предмета
- Лабораторијске вежбе
- Предиспитне обавезе студената
- Начин полагања испита
- Пројекат
- Литература

Увод

- Назив предмета: Архитектура рачунара
- Година: 2, семестар: 4
- Фонд часова: 2 + 2 + 1
- Број ЕСПБ бодова: 6
- Предуслов: одслушан предмет
Основи рачунарске технике 2

Наставници

- **Предавања: др Захарије Радивојевић**
(ИР: П1; СИ: П3)
zaki@etf.rs
Канцеларија 37
Консултације после наставе и по договору
- **Предавања: др Марија Пунт**
(ИР: -; СИ: П1)
maki@etf.rs
Консултације после наставе и по договору
- **Предавања: др Жарко Станисављевић**
(ИР: -; СИ: П2)
zarko@etf.rs
Консултације после наставе и по договору

Наставници

- **Вежбе: Филип Хаџић (ИР: В1; СИ: В1)**
hadzic.filip@etf.rs
Канцеларија П26А
Консултације после наставе и средом од 18.00 (најавити се путем имејла дан раније)
- **Вежбе: Урош Раденковић (ИР: В2; СИ: В3)**
uki@etf.rs
Канцеларија 37
Консултације после наставе и по договору
- **Вежбе: Данко Миладиновић (ИР: В1, В2; СИ: В2, В4)**
danko@etf.rs
Канцеларија П26А
Консултације после наставе и по договору

Програм предмета

- *Механизам њрекида*
- *Маїисџрала и меморија*
- *Улаз-излаз*
- *Архиџекџура рачунара*

Механизам прекида

- *Ойслуживање захїева за їрекиг*
- *Повраїак из їрекидне руїине*
- *Приориїейи їрекида*
- *Селекїивно маскирање маскирајућих їрекида*
- *Маскирање свих маскирајућих їрекида*
- *Прекиг їосле сваке инсїрукције*
- *Инсїрукција їрекида*
- *Гнеждење їрекида*
- *Прихваїање захїева за їрекиг*

Магистрала

- *Основни појмови*
- *Арбитрација*
- *Циклуси на магистрални*
- *Системи са више магистрала*

Улаз-излаз

- *Основни појмови*
- *Контролери без директног приступа меморији*
– *организација и програмирање*
- *Контролери са директним приступом меморији*
– *организација и програмирање*
- *Повезивање контролера и периферије*
- *Повезивање контролера*
- *Прекиди од периферија*

Архитектуре CISC и RISC рачунара

- *Програмаски досљубни рејисџри*
- *Типови њодањака*
- *Формати инсџрукција*
- *Начини адресирања*
- *Скуп инсџрукција*
- *Механизам ѡрекида*

Лабораторијске вежбе

- *Лабораторијске вежбе – 20 поена*
- *Две лабораторијске вежбе*
- *Раг у лабораторији + домаћи задаци*
 - *Коришћење симулятора*
 - *Домаћи задаци (програмирање и конфигурација)*
 - *Улазни тест - Moodle*
 - *Самосталан раг*
- *Једна нагодна*
- *Важе јодину дана*

Преглед симулатора

SPasm

```

Code
new X
1 dc k.700, x.c
2 dc x.7, x.1000
3 org x.100
4 clr r1
5 stmem x.P002,
6 ldimm x.1000,
7 stmem x.P005,
8 ldimm x.2000,
9 stmem x.P006,
10 ldimm x.2, r1
11 stmem x.P004,
12 ldimm x.1, r1
13 stmem x.100A,
14 ldimm x.1E, r1
15 stmem x.P000,
16 ldimm x.2,
17 loop1: Nop
18 dec r1
19 bneq loop1
20 loop2: clr r
21 ldmem x.100A,
22 cmp r1, r2
23 bneq loop2
    
```

Output

Sequenc

T = 00 PCout, MARin, Xin
 * Faza citanja instrukcije
 * PC u MAR IX
 ** Ozicena realizacija upravlj

Hardware: CPU - Central Proc
 Position: Central Processing

Edukacioni racunarski sistem - LAB1

File View Step Utility Window Help

sistemska magistrala
 magistrala podataka adresna magistrala upravljacka magistrala

PROCESSOR

Operacija

Registri

Operacije

Upravl

time 6 12 18 24 30 36 42 48 54 60 66
 Clck 1 1 1 1 1 1 1 1 1 1 1
 T 1 1 1 1 1 1 1 1 1 1 1

CLK_cpu
 CLK_mem
 CLK_dma

ABUS
 DBUS
 read
 Oeread
 RDBUS
 OEwrite
 WRBUS
 FCBUS
 FFC
 enFFC
 Go Tclk 1

Edukacioni racunarski sistem - LAB1

File View Step Utility Window Help

highz
 highz

DBUS magistrala podataka
 ABUS adresna magistrala
 RDBUS CBUS
 WRBUS upravljacka magistrala
 FCBUS

Periferija PRP
 reqwr reqwr
 reqrd done reqrd

PIN
 POUT

Registri

Interfejs
 Hldr hldr-CPU
 hldain hldain-CPU
 hldaout hldaout-DMA
 intr3 intr3-CPU
 inta3 inta3-CPU
 intaout intaout-DMA

Operaciona jedinica

Upravljacka jedinica DMA-Periferija
 Upravljacka jedinica DMA-Memorija (DMA master)
 Upravljacka jedinica DMA-Processor (DMA slave)
 Upravljacka jedinica

DMA kontroler periferije

Simulation parameters
 (Clk+) * : 0
 (Ins+) * : 0
 (Prg+) time : 0
 n * (Clk+) stop :
 n * (Ins+) stop :
 (Prg+) time stop :
 time = 750
 inst. = STORE

Info

Sequence

Tper=00, Tbus=00, Tmem=00, Tdevice=00
 DmaPer: T=00 if (CR2'not(done)'pm, stRDDRper)
 if (CR2'not(done)'mp, cWRDRper)
 DmaCPU: T=00 if ((rds+ws=mas), OE(cbus)
 DmaMEM: T=00 if (CR2'done, stSR0)

Status

PC = 0107
 T = 23
 Tclk = 125

Navigation

UP
 CPU hierar.
 Main

Command

Misc

More
 Clear
 Help

Simulation

Clk+
 Ins+
 Prg+

Hardware: DMA - Direct memory access controller
 Position: DMA controller with Peripheral device

Clock stop: CPU, MEM, DMA
 Status: time = 750

cpu
 mem
 dma

Предиспитне и испитне обавезе студената – В1

- **Лабораторијске вежбе – 20 поена**
 - **Колоквијум 1 – 25 поена**
 - Област: Механизам прекида
 - Могућност надокнаде/поправке само у термину другог колоквијума и јунском испитном року
 - Поновним изласком поништавају се претходно освојени поени
 - **Колоквијум 2 – 25 поена**
 - Области: Магистрала и меморија, Улаз-излаз без прекида
 - Могућност надокнаде/поправке само у јунском испитном року
 - Поновним изласком поништавају се претходно освојени поени
 - **Испит – 30**
 - Области: Улаз-излаз са прекидом, Архитектура процесора
 - Поени се не преносе у наредне рокове
- Ако буде могуће организовати два колоквијума

Предиспитне и испитне обавезе студената – В2

- **Лабораторијске вежбе – 20 поена**
- **Колоквијум – 40 поена**
 - Области: Механизам прекида, Магистрала и меморија
 - Могућност надокнаде/поправке у свим испитном роковима до краја школске године
 - Поновним изласком поништавају се претходно освојени поени
- **Испит – 40 поена**
 - Области: Улаз-излаз, Архитектура рачунара
 - Важи само у испитном року у ком се полаже
- **Колоквијум и испит – 80 поена**
 - Све области
 - Резултат се не преноси у наредне испитне рокове!

Ако буде могуће организовати један колоквијум

Полагањем испита формира се оцена и уноси у систем.
За поновно полагање потребно је поништити оцену уколико је оцена >5

Предиспитне и испитне обавезе студената – ВЗ

- **Лабораторијске вежбе – 20 поена**
 - **Колоквијум – 40 поена**
 - Области: Механизам прекида, Магистрала и меморија
 - Важи у испитном року у ком се полаже и у свим наредним до краја школске године
 - Поновним изласком поништавају се претходно освојени поени
 - **Испит – 40 поена**
 - Области: Улаз-излаз, Архитектура рачунара
 - Важи само у испитном року у ком се полаже
 - **Колоквијум и испит – 80 поена**
 - Све области
 - Резултат се не преноси у наредне испитне рокове!
- Ако не буде могуће организовати колоквијуме
- Полагањем испита формира се оцена и уноси у систем.
- За поновно полагање потребно је поништити оцену уколико је оцена >5

Пројекат

- Пројектовати и реализовати рачунарски систем (*CPU*, магистрала, периферије) на *FPGA*
- Од периферија је потребно реализовати:
 - Контролер и периферију графичке картице
 - Миш (PS/2) или тастатура (PS/2)
- Студенти предлажу архитектуру рачунара, контролера и програм који ће бити покренут на реализованом систему
- Пројекат се ради у групи до 5 чланова
- Израда почиње по одобреној теми од стране ангажованих. Тему је потребно послати путем електронске поште свим ангажованим на предмету

Начин полагања испита

Коначна оцена се формира на основу броја бодова на следећи начин:

- $91 \leq X < 100$ – оцена 10
- $81 \leq X < 91$ – оцена 9
- $71 \leq X < 81$ – оцена 8
- $61 \leq X < 71$ – оцена 7
- $51 \leq X < 61$ – оцена 6
- $0 \leq X < 51$ – студент није положио испит

Литература

На српском језику:

- Материјали за предавања: Проф. др Јован Ђорђевић
- Материјали за вежбе
- Архитектура рачунара: Едукациони рачунарски систем: Архитектура и организација рачунарског система: Проф. др Јован Ђорђевић
- Архитектура рачунара: Едукациони рачунарски систем: Приручник за симулацију са задацима: Ј. Ђорђевић, Н.Грбановић, Б. Николић, З. Радивојевић, М. Пунт
- Архитектура рачунара: Збирка решених задатака - Радна верзија

Листа

- Аутоматско пријављивање
- Обавештења иду на листу
- Поставити прослеђивање на адресу коју пратите

Питања?

Електротехнички Факултет
Универзитет у Београду

