

Архитектура рачунара



Садржај

- Увод
- Циљеви и исход предмета
- Наставници
- Програм предмета
- Лабораторијске вежбе
- Предиспитне обавезе студената
- Начин полагања испита
- Пројекат
- Литература

Увод

- Назив предмета: Архитектура рачунара
- Година: 2, семестар: 4
- Фонд часова: 2 + 2 + 1
- Број ЕСПБ бодова: 6
- Предуслов: одслушан предмет Основи рачунарске технике 2

Наставници

- **Предавања: др Захарије Радивојевић**
zaki@etf.rs
Канцеларија 37
Консултације после наставе и по договору
- **Вежбе: Филип Хаџић (ИР В1, СИ В1 и В3)**
hadzic.filip@etf.rs
Канцеларија 26А
Консултације после наставе (и уторком?)
- **Вежбе: Урош Раденковић (ИР В2, СИ В2 и В3)**
uki@etf.rs
Канцеларија 37
Консултације после наставе и по договору

Програм предмета

- *Механизам ѓрекида*
- *Мајисѓрала и меморија*
- *Улаз-Излаз*
- *Архиѓекѓура ѓроцесора*

Механизам прекида

- ***Ојслуживање захјева за ѓрекид***
- ***Поврајак из ѓрекидне рујине***
- ***Приоријешји ѓрекида***
- ***Селекјивно маскирање маскирајућих ѓрекида***
- ***Маскирање свих маскирајућих ѓрекида***
- ***Прекид ѓосле сваке инсјрукције***
- ***Инсјрукција ѓрекида***
- ***Гнеждење ѓрекида***
- ***Прихвајање захјева за ѓрекид***

Магистрала

- *Основни појмови*
- *Арбитрација*
- *Циклуси на магистрални*
- *Системи са више магистрала*

Улаз-Излаз

- ***Основни појмови***
- ***Контролери без директног приступа меморији***
 - ***организација и програмирање***
- ***Контролери са директним приступом меморији***
 - ***организација и програмирање***
- ***Повезивање контролера и периферије***
- ***Повезивање контролера***
- ***Прекиди од периферија***

Архитектуре CISC и RISC процесора

- *Програмаски досљубујни рејисџри*
- *Типови њодајњака*
- *Формати инсџрукција*
- *Начини адресирања*
- *Скуј инсџрукција*
- *Механизам ѡрекида*

Лабораторијске вежбе

- 5 Лабораторијских вежби
- Свака вежба 4 поена
- Преглед вежби:
 - *Механизам прекида (две вежбе)*
 - *Синхронизација рада процесора и контролера са DMA при коришћењу системске меморије*
 - *Улаз/излаз са контролером без DMA*
 - *Програмирани улаз/излаз помоћу контролера са DMA*
- Једна наредба
- Важе годину дана

Преглед симулатора

Edukacioni racunarski sistem - LAB1

File View Step Utility Window Help

Operaciona jedinica

Registri

Operacije

Upravljacka jedinica

Info

Sequence

T = 00 PCout, MARin, Xin
 * Faza citanja instrukcije
 * PC u MAR i X
 ** Ozicena realizacija upravljacke jedinice

Hardware: CPU - Central Processing Unit
 Position: Central Processing Unit

time

Tclk

T

CLK_cpu

CLK_mem

CLK_dma

ABUS

DBUS

read

Oeread

RDBUS

write

OEwrite

WRBUS

FCBUS

enFFC

Go Tclk 1 <-- time 0

Info

Sequence

T = 23 brbezust, stpcnt00
 * STORE instrukcija
 * povratak na pocetak mikroprograma i cit sledece instrukcije
 ** Ozicena realizacija upravljacke jedinice

Hardware: -
 Position: Show signals

Periferija

Registri

Interfejs

Operaciona jedinica

Upravljacka jedinica DMA - Periferija

Upravljacka jedinica DMA - Memorija (DMA master)

Upravljacka jedinica DMA - Procesor (DMA slave)

Upravljacka jedinica

DMA kontroler periferije

DBUS magistrala podataka

ABUS adresna magistrala

RDBUS CBUS

WRBUS upravljacka magistrala

FCBUS

hldr - CPU

hldain - CPU

hldaout - DMA

intri3 - CPU

inta3 - CPU

intaout - DMA

Simulation parameters

(Clk+) * : 0

(Ins+) * : 0

(Prg+) time : 0

n * (Clk+) stop :

n * (Ins+) stop :

(Prg+) time stop :

time = 750

inst. = STORE

cpu

mem

dma

Info

Sequence

Status

Navigation

Misc

Simulation

Tper=00, Tbus=00, Tmem=00, Tdevice=00

DmaPer: T=00 if (CR2*not(done)*pm, stRDDRper), if (CR2*not(done)*mp, clWRDRper)

DmaCPU: T=00 if ((rds+wrs+intas), OEfcbus)

DmaMEM: T=00 if (CR2*done, stSR0).

PC = 0107

T = 23

Tclk = 125

UP

CPU hier.

Main

More

Clear

Help

Clk+

Ins+

Prg+

Hardware: DMA - Direct memory access controller
 Position: DMA controller with Peripheral device

Clock stop: CPU, MEM, DMA
 Status: time = 750

Предиспитне обавезе студената

- **Колоквијум 1 – 25 поена**
 - Област: Механизам прекида
(могућ распоред поена $T(5+5) + 3(15)$)
 - Могућност надокнаде само у термину другог колоквијума
- **Колоквијум 2 – 25 поена**
 - Области: Магистрала и меморија,
Улаз-Излаз без прекида
(могућ распоред поена $T(5_M+5_{УИ}+5_{УИ}) + 3(10_M)$)
 - Могућност надокнаде само у јунском испитном року
- **Лабораторијске вежбе**
 - Свака по 4 поена укупно 20 поена
 - Важи за текућу школску годину
- **Присуство настави**
 - Кроз лабораторијске вежбе

Начин полагања испита

- **Испит – 30 поена**

- Област (30): Улаз-Излаз са прекидом,
Архитектура процесора

(могућ распоред поена $T(5_{УИ}+5_{А}+5_{А}) + 3(15_{УИ})$)

Пројекат

- ???

Начин полагања испита

Коначна оцена се формира на основу броја бодова на следећи начин:

- $91 \leq X < 100$ – оцена 10
- $81 \leq X < 91$ – оцена 9
- $71 \leq X < 81$ – оцена 8
- $61 \leq X < 71$ – оцена 7
- $51 \leq X < 61$ – оцена 6
- $0 \leq X < 51$ – студент није положио испит

Литература

На српском језику:

- Материјали за предавања : Проф. др Јован Ђорђевић
- Материјали за вежбе
- Архитектура рачунара: Едукациони рачунарски систем: Архитектура и организација рачунарског система: Проф. др Јован Ђорђевић
- Архитектура рачунара: Едукациони рачунарски систем: Приручник за симулацију са задацима: Ј. Ђорђевић, Н.Грбановић, Б. Николић, З. Радивојевић, М. Пунт
- Архитектура рачунара: Збирка решених задатака - Радна верзија

Листа

- Аутоматско пријављивање
- Обавештења иду на листу
- Поставити прослеђивање на адресу коју пратите

Питања?

<http://rti.etf.bg.ac.rs/rti/ef2ar/>
Електротехнички Факултет
Универзитет у Београду

