

Архитектура рачунара



Садржај

- Увод
- Циљеви и исход предмета
- Наставници
- Програм предмета
- Лабораторијске вежбе
- Предиспитне обавезе студената
- Начин полагања испита
- Пројекат
- Литература

Увод

- Назив предмета: Архитектура рачунара
- Година: 2, семестар: 4
- Фонд часова: 2 + 2 + 1
- Број ЕСПБ бодова: 6
- Предуслов: одслушан предмет Основи рачунарске технике 2

Наставници

- **Предавања: др Захарије Радивојевић**
zaki@etf.rs
Канцеларија 37
Консултације после наставе и по договору

Наставници

- **Вежбе: др Марија Пунт** (СИ-В1, СИ-В3, ИР-В1)
maki@etf.rs
Канцеларија 37
Консултације после наставе и по договору
- **Вежбе: Сања Делчев** (СИ-В1, СИ-В3, ИР-В1)
sanjad@etf.rs
Канцеларија 37
Консултације после наставе и по договору
- **Вежбе: Филип Хаџић** (СИ-В2, СИ-В3, ИР-В2)
hadzic.filip@etf.rs
Канцеларија 26А
Консултације после наставе и по договору

Програм предмета

- *Механизам прекида*
- *Магистрала и меморија*
- *Улаз-Излаз*
- *Архитектура процесора*

Механизам прекида

- ***Опслуживање захтева за прекид***
- ***Повратак из прекидне рутине***
- ***Приоритети прекида***
- ***Селективно маскирање маскирајућих прекида***
- ***Маскирање свих маскирајућих прекида***
- ***Прекид после сваке инструкције***
- ***Инструкција прекида***
- ***Гнеждење прекида***
- ***Прихватање захтева за прекид***

Магистрала

- ***Основни појмови***
- ***Арбитрација***
- ***Циклуси на магистрала***
- ***Системи са више магистрала***

Улаз-Излаз

- ***Основни појмови***
- ***Контролери без директног приступа меморији***
 - ***организација и програмирање***
- ***Контролери са директним приступом меморији***
 - ***организација и програмирање***
- ***Повезивање контролера и периферије***
- ***Повезивање контролера***
- ***Прекиди од периферија***

Архитектуре CISC и RISC процесора

- ***Програмски доступни регистри***
- ***Типови података***
- ***Формати инструкција***
- ***Начини адресирања***
- ***Скуп инструкција***
- ***Механизам прекида***

Лабораторијске вежбе

- 5 Лабораторијских вежби
- Свака вежба 4 поена
- Преглед вежби:
 - *Механизам прекида (две вежбе)*
 - *Синхронизација рада процесора и контролера са DMA при коришћењу системске магистрале*
 - *Улаз/излаз са контролером без DMA*
 - *Програмирани улаз/излаз помоћу контролера са DMA*
- Једна надокнада
- Важе годину дана

Преглед симулатора

The image displays a complex software interface for a computer system simulator, titled "Edukacioni racunarski sistem - LAB1". The interface is divided into several main sections:

- Hardware Overview (Top):** Shows a block diagram of the system with components like "PROCESOR", "MEMORIJA", "PERIFERIJA 1", and "PERIFERIJA 2". It also identifies bus types: "sistemska magistrala" (system bus), "magistrala podataka DBUS" (data bus), "adrsna magistrala ABUS" (address bus), and "upravljacka magistrala FBUS" (control bus).
- Timing Diagrams (Middle):** A central window displays a series of digital waveforms for signals such as "time", "Tclk", "CLK_cpu", "CLK_mem", "CLK_dma", "ABUS", "DBUS", "read", "Oeread", "RDBUS", "write", "DEwrite", "WRBUS", "FCBUS", and "anFFC". A table below the waveforms shows signal values at specific time intervals (5, 12, 18, 24, 30, 36, 42, 48, 54, 60, 66).
- Operational Unit (Left):** A block diagram of the "Operaciona jedinica" (operational unit) showing "Registri" (registers) and "Operacije" (operations) connected to a bus labeled "M15...M0 - intern".
- DMA Controller (Bottom):** A detailed diagram of the "DMA kontroler periferije" (DMA peripheral controller) showing its internal components: "Periferija", "Registri", "Interfejs", and three "Upravljacka jedinica DMA" (DMA control units) for "Periferija", "Memorija", and "Processor".
- Simulation Parameters (Right):** A panel with settings for "Simulation parameters" including "n * (Clk+) stop", "n * (Ins+) stop", and "n * (Prg+) stop", along with "time = 750" and "inst. = STORE".
- Sequence and Status (Bottom):** A table showing the current state of the simulation:

Sequence	Status	Navigation	Misc	Simulation
Tprc=00, Tbus=00, Tmem=00, Tdevice=00	PC = 0107	UP	More	Clk+
DmaPer: T=00 if [(CH2*not(done)*pm, stRDDRper] if [(CH2*not(done)*mp, cWRDDRper]	T = 23	CPU hier.	Clear	Ins+
DmaCPU: T=00 if [(ids+ws+intas), OEicbus]	Tclk = 125	Main	Help	Prg+
DmaMEM: T=00 if [(CH2*done, stSR0)]				

Предиспитне обавезе студената

- **Колоквијум 1 – 25 поена**
 - Област: Механизам прекида ($T(5+5) + 3(15)$)
 - Могућност надокнаде само у термину другог колоквијума
- **Колоквијум 2 – 25 поена**
 - Области: Магистрала и меморија, Улаз-Излаз без прекида
($T(5_M+5_{UI}+5_{UI}) + 3(10_M)$)
- **Лабораторијске вежбе**
 - Свака по 4 поена укупно 20 поена
 - Важи за текућу школску годину
- **Присуство настави**
 - Кроз лабораторијске вежбе

Начин полагања испита

- **Испит – 30 + 25* поена**

- Област (30): Улаз-Излаз са прекидом, Архитектура процесора

- $(T(5_{уИ}+5_{А}+5_{А}) + 3(15_{уИ}))$

- Области (25*): Магистрала и меморија, Улаз-Излаз без прекида

- $(T(5_{М}+5_{уИ}+5_{уИ}) + 3(10_{М}))$

- * Студенти задовољни бројем поена освојеним у термину другог колоквијума не раде ове задатке

- * Студенти незадовољни бројем поена освојеним у термину другог колоквијума раде ове задатке, а поени освојени у термину другог колоквијума им се не рачунају

Начин полагања испита

Коначна оцена се формира на основу броја бодова на следећи начин:

- $91 \leq X < 100$ – оцена 10
- $81 \leq X < 91$ – оцена 9
- $71 \leq X < 81$ – оцена 8
- $61 \leq X < 71$ – оцена 7
- $51 \leq X < 61$ – оцена 6
- $0 \leq X < 51$ – студент није положио испит

Литература

На српском језику:

- Материјали за предавања : Проф. др Јован Ђорђевић
- Материјали за вежбе
- Архитектура рачунара: Едукациони рачунарски систем: Архитектура и организација рачунарског система: Проф. др Јован Ђорђевић
- Архитектура рачунара: Едукациони рачунарски систем: Приручник за симулацију са задацима: Ј. Ђорђевић, Н.Грбановић, Б. Николић, З. Радивојевић, М. Пунт
- Архитектура рачунара: Збирка решених задатака - Радна верзија

Питања?

<http://rti.etf.bg.ac.rs/rti/ef2ar/>
Електротехнички Факултет
Универзитет у Београду

